

dietz621

Minicomputer Familie 621 X

Systembeschreibung Hardware

Heinrich Dietz
Solinger Straße 9
433 Mülheim-Ruhr
Tel. 0208/485024
Telex 856770

DIETZ Computer
SYSTEME

Inhaltsverzeichnis

- 1. Allgemeines
- 2. Aufbau der Zentraleinheit
- 3. Struktur der Zentraleinheit
 - 3.1 Bus
 - 3.2 Rechnerkern
 - 3.2.1 CPU
 - 3.2.2 PMM
 - 3.2.3 I/O-Board
 - 3.2.4 Arithmetik-Prozessor
 - 3.3 Speicher
 - 3.3.1 621 - X1
 - 3.3.2 621 - X2
 - 3.4 Peripherie am internen Bus
 - 3.4.1 Multi-Interface
 - 3.4.2 Controller
 - 3.4.3 Interface-Träger
 - 3.5 Bedienungskonsole
 - 3.5.1 Standardkonsole
 - 3.5.2 Komfortkonsole
- 4. Technische Daten
- 5. Befehlsausführungszeiten

1. Allgemeines

Die Minicomputer DIETZ 621 X weisen dieselben strukturellen Merkmale auf wie die bereits bewährten Typen 621/2 bzw. 621/8:

Multibyte-Struktur
Mehrebenenstruktur
Registerpool und
Universalbus.

Beide Typenreihen sind bis hinunter zur Maschinencodeebene softwarekompatibel, außerdem sind die Peripheriean Kopplungen über den Universalbus hardwarekompatibel. Somit steht für die neuen Zentraleinheiten das gesamte Hard- und Softwareangebot uneingeschränkt zur Verfügung.

Die Typenreihe 621 X besteht aus dem 621 X1 und dem 621 X2, wobei der X2 das leistungsfähigere Modell ist.

Die Zentraleinheiten sind so modular aufgebaut, daß bis auf wenige Ausnahmen alle Baugruppen des X1 auch beim X2 verwendet werden können.

Die vorliegende Dokumentation beschreibt die spezifischen Merkmale der Typenreihe X; strukturelle Merkmale der 621-Familie sind dem "Handbuch DIETZ 621" zu entnehmen.

2. Aufbau der Zentraleinheit

Die Abbildungen 1 und 2 zeigen den physikalischen Aufbau der Zentraleinheiten X1 und X2. Beide Gehäuse sind als zwangsbelüftete 19"-Einschübe von 4 Höheneinheiten (1 HE = 44 mm) bzw. von 6 HE (X2) ausgelegt.

Die Belüftung erfolgt von vorn nach hinten, die an der Front eingesaugte Luft wird mittels eines auswechselbaren Filters gereinigt.

Netzstecker (Netzeingang und Ausgang für geschaltetes Netz), Netzsicherung, Peripherie- und Busstecker sind an der Rückseite untergebracht. Die Steckerträgermodule für die Peripheriestecker sind leicht austauschbar und können somit den anzuschließenden Geräten angepaßt werden.

Beim X2 befindet sich unter dem untersten Modul Einbauraum für max. 8 Batterien, beim X1 können hinter der Steckerträgerkarte max. 3 Pufferbatterien untergebracht werden.

Die Trafo-Kondensatoreinheit ist beim X1 und X2 als komplettes Modul austauschbar.

Die elektronischen Baugruppen sind über Steckerträgerbausteine ("Motherboards") miteinander verbunden; wegen der Vielzahl der Signale ist ein zweilagiger Baustein (4 nutzbare Seiten!) notwendig.

Die Steckung der Module ist direkt, die Speicherbausteine sind mit zwei 80-poligen Steckern ausgerüstet, die anderen Baugruppen mit je zwei 100-poligen Steckern.

Die Steckung der X1-Module erfolgt von vorn, die Frontplatte ist aus diesem Grunde schwenkbar. Beim X2 sind die Module aus konstruktiven Gründen um 90° gedreht, beide Seitenwände des Gehäuses sind ohne Beeinträchtigung der Stabilität abnehmbar.

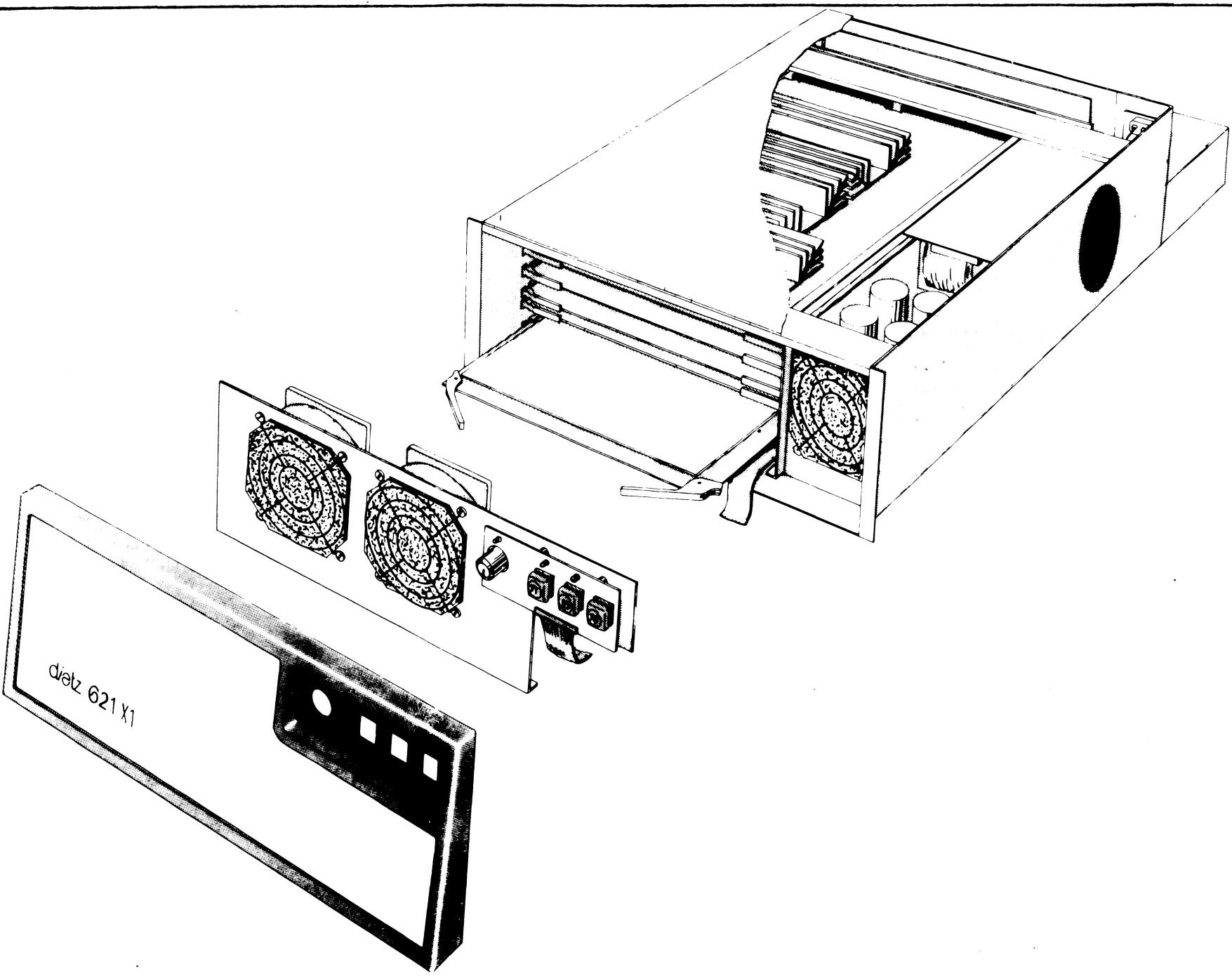
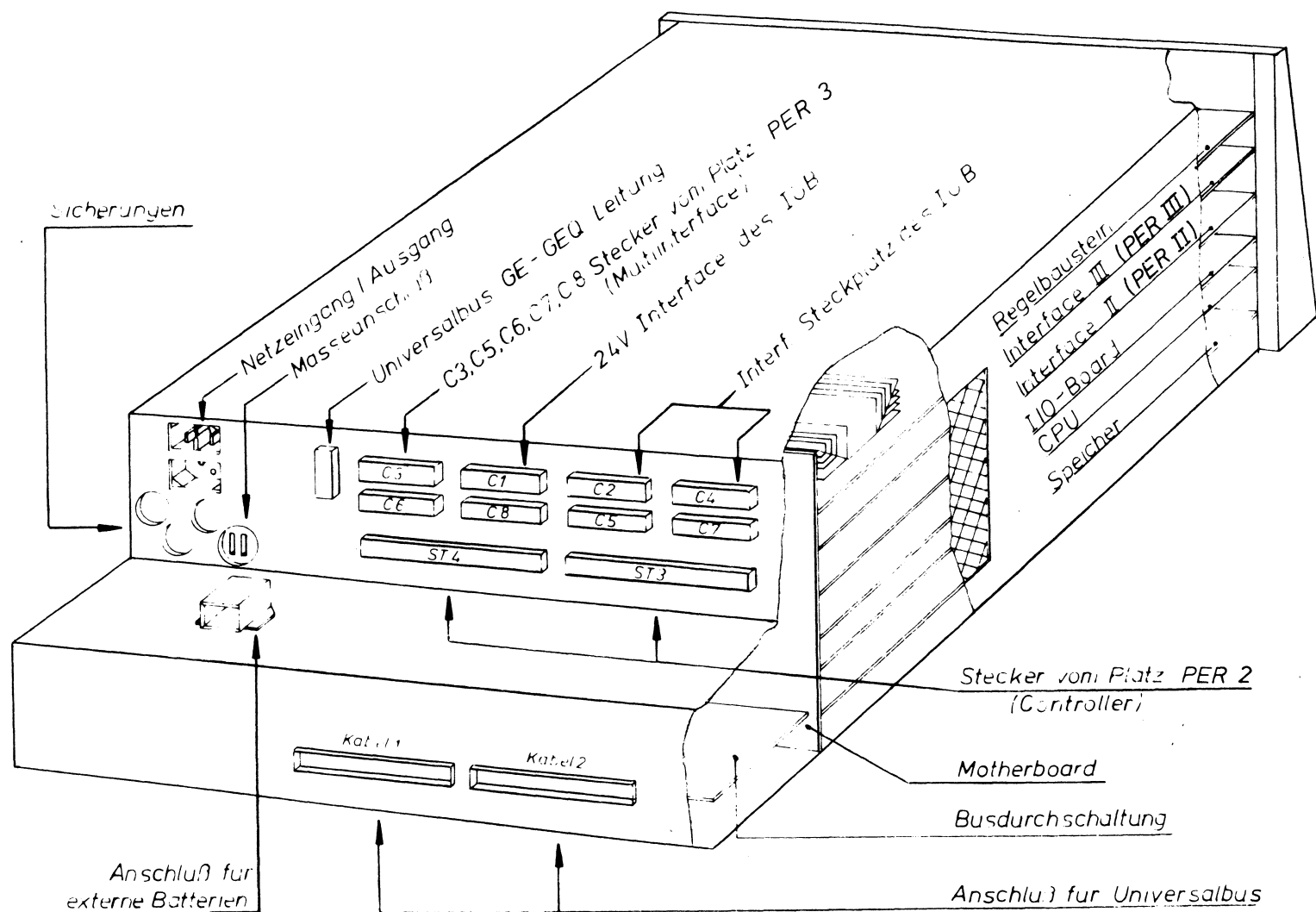


Abb. 1a: Aufbau des 621-X1

Abb. 1b: Aufbau des 621-X1



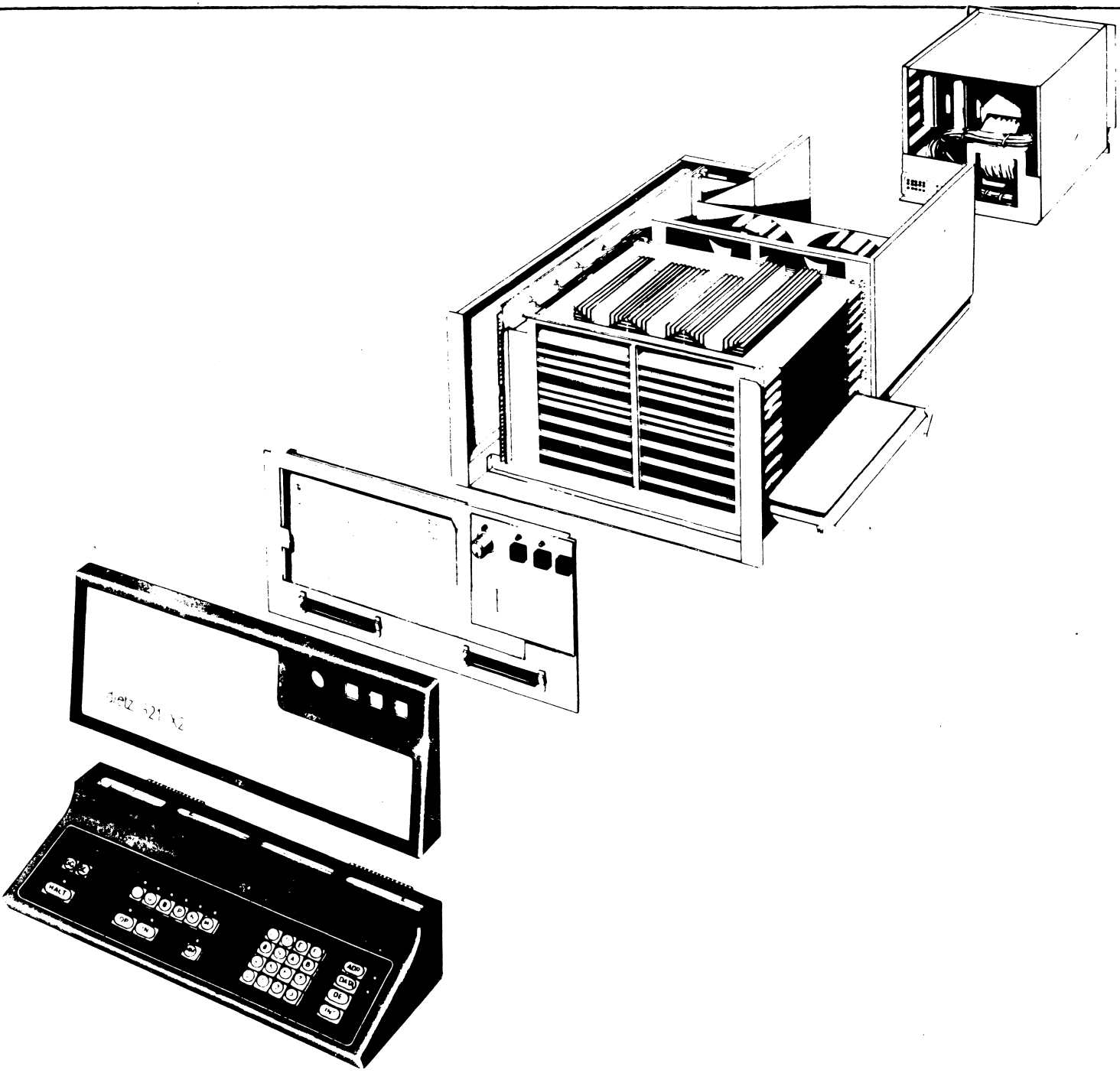


Abb. 2a: Aufbau des 621-X2

2.0-5

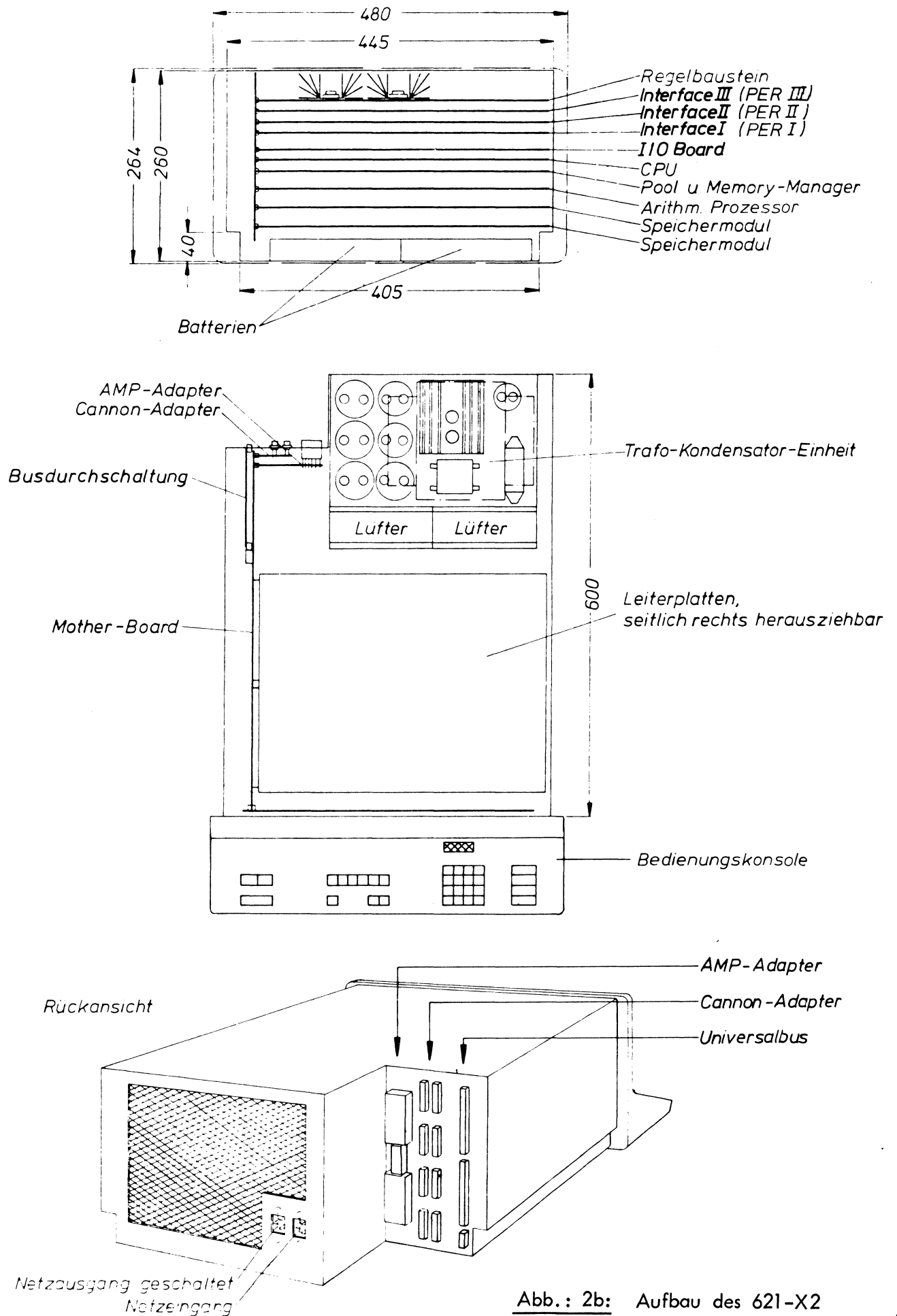


Abb.: 2b: Aufbau des 621-X2

3. Struktur

Die Abbildungen 3 und 4 zeigen die Struktur der Zentraleinheiten X1 und X2 auf Modulebene.

3.1 Bus

Rückgrat beider Prozessoren ist der Bus, der trotz seiner logischen und strukturellen Identität physikalisch aus zwei Bereichen besteht: dem internen Bus und dem externen Bus bzw. dem Universalbus.

Beide Bereiche sind voneinander entkoppelt, so daß z.B. ein Datentransfer zwischen CPU und internem Speicher nur den internen Bus belegt (s. I/O-Board).

Diese Entkopplung, die nur dann eine gleichzeitige Belegung beider Busbereiche erfordert, wenn Transferquellen und -senken auf beide Bereiche verteilt sind, mindert bei großen Systemen den Störpegel auf dem Bus und erhöht den Datendurchsatz:

Interner und externer Bereich können unabhängig voneinander gleichzeitig belegt werden.

Die Zentraleinheiten stellen aus der Sicht des Universalbus aktive Elemente dar, die eine Belegung anmelden und sich mit anderen aktiven Elementen des Universalbus synchronisieren müssen. Die Belegungswünsche haben unterschiedliche Prioritäten und werden durch die GE-GEQ-Steuerung geregelt: Jedes Element meldet einen Belegungswunsch an (GE wünscht) und bekommt eine Quittung (GE-Quittung), wenn der Bus für ihn reserviert ist.

Die Prioritäten auf dem externen Bus sind unabhängig von der Lage des Elements am Bus, intern nimmt die Priorität von Platz PER 3 über PER 2 und PER 1 zur CPU hin ab. Der externe Bus besitzt aus der Sicht des internen Bus die höhere Priorität, d.h. das I/O-Board ist bei einem Belegungswunsch extern → intern das interne Element höchster Priorität.

Eine Belegung beider Busbereiche läuft zeitsequentiell ab:

So belegt z.B. die CPU zuerst den internen Bus, anschließend wird der Belegungswunsch für den externen Bus angemeldet.

Der interne Bus ist als gedruckte Schaltung (Motherboard) realisiert und verbindet den eigentlichen Rechnerkern (CPU und I/O-Board) mit den internen Speicher- und Peripheriemodulen.

Der Universalbus besteht aus zwei 64-adrigen Flachkabeln und verbindet die Einschübe des Systems mit der Zentraleinheit.

Der Bus weist als einzigen Unterschied zum Universalbus des 621 einen 16 bit-Datenkanal auf, der sowohl den Byte- als auch den Worttransfer erlaubt. Die Kompatibilität beider Bussysteme ist (aufwärts!) dadurch nicht beeinträchtigt.

Die Übertragungsrate auf dem internen Bus beträgt ca. 6,6 Millionen Bytes oder 3,3 Millionen Wörter pro Sekunde.

Auf dem externen Bus nimmt die Bandbreite mit wachsender Kabellänge ab; bei einer Länge von 15 m kann noch eine Übertragungsrate von ca. 3 Miobyte bzw. 1,5 Miowörter pro Sekunde erreicht werden.

Bei Buszyklen, die beide Bereiche belegen, liegt die Übertragungsrate bei ca. 2 m externem Bus im Bereich von 4 Miobyte bzw. 2 Miowörter pro Sekunde.

Diese Werte lassen sich jedoch nicht mit einer Folge von Einzelbelegungen erreichen. Übertragungen müssen in Form von "Bursts" (mind. 8 Transfers ohne Unterbrechung!) ablaufen. Bei Einzelbelegungen sinkt die Übertragungsrate bis auf ca. 3 Miobyte pro Sekunde.

Wie aus den Abbildungen 3 und 4 ersichtlich ist, unterscheiden sich der Bus des X1 und der des X2 bei voller Kompatibilität nur in der Breite des Adreßkanals und in der Ausbaufähigkeit des internen Bus'.

Der externe Bus - der Universalbus - des 621 X weist neben dem 16 bit Datenkanal einen ebenfalls aufwärts-kompatiblen auf 24 bit erweiterten Adreßkanal auf, von dem 20 bit bzw. 16 bit zur Speicheradressierung und 4 bit zur Prozessor- bzw. Moduladressierung dienen.

Die Entkopplung von internem und externem Bus zusammen mit der Möglichkeit, bis zu 16 Prozessoren bzw. Module zu adressieren, erlaubt die direkte Buskopplung mehrerer 621-X, die sich die Peripherie am externen Bus (öffentlicher Bus!) teilen, jeder aber zur Peripherie am internen Bus nur allein zugreifen kann (privater Bus!). Diese vom Bus-Design her gegebene Möglichkeit der Prozessorkopplung, die durch entsprechende Hard- und Softwaremodule unterstützt wird, erlaubt den Aufbau leistungsstarker und sicherer Mehrprozessorsysteme nahezu beliebiger Struktur.

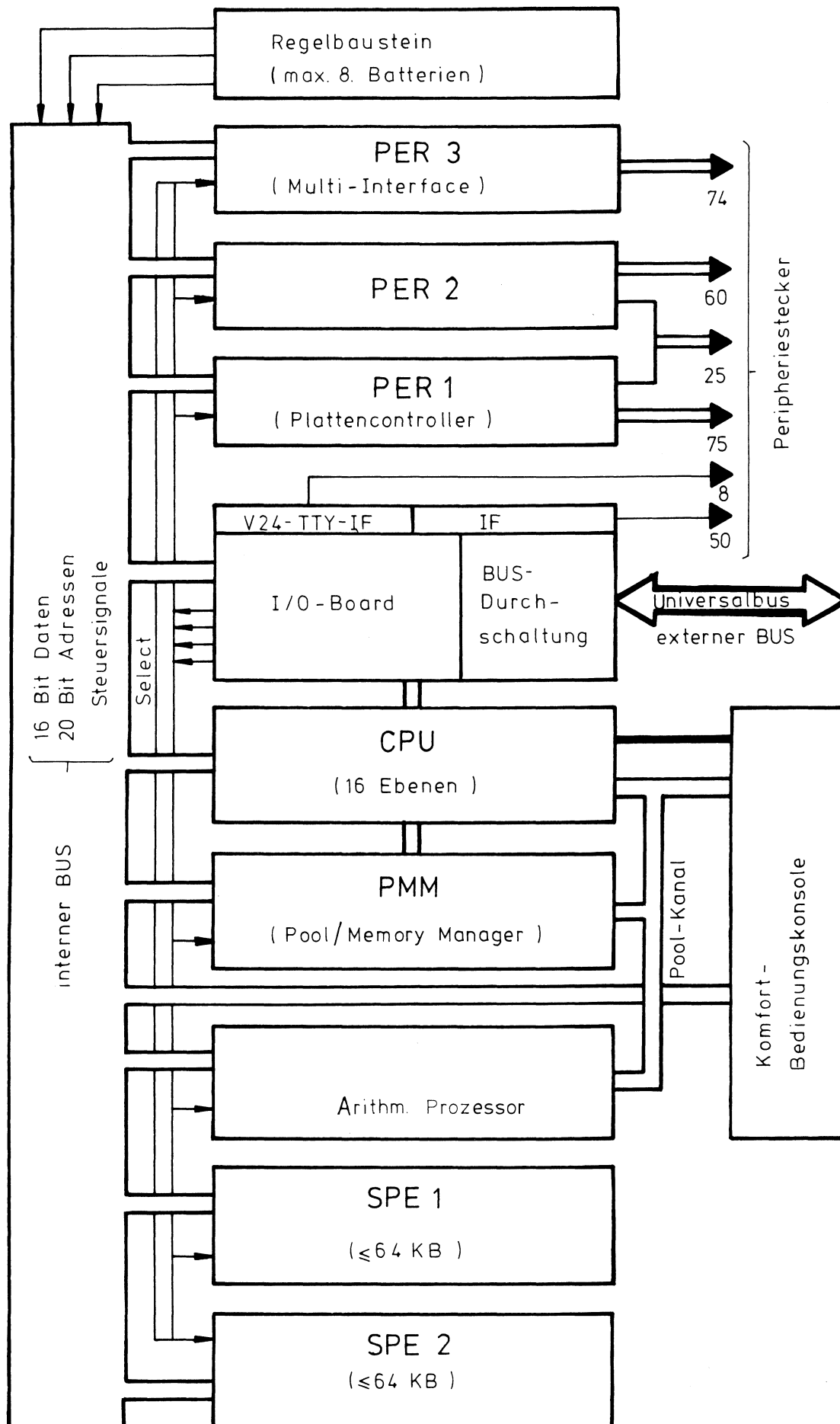


Abb.: 3

Struktur des 621 X2 - Zentralgehäuses

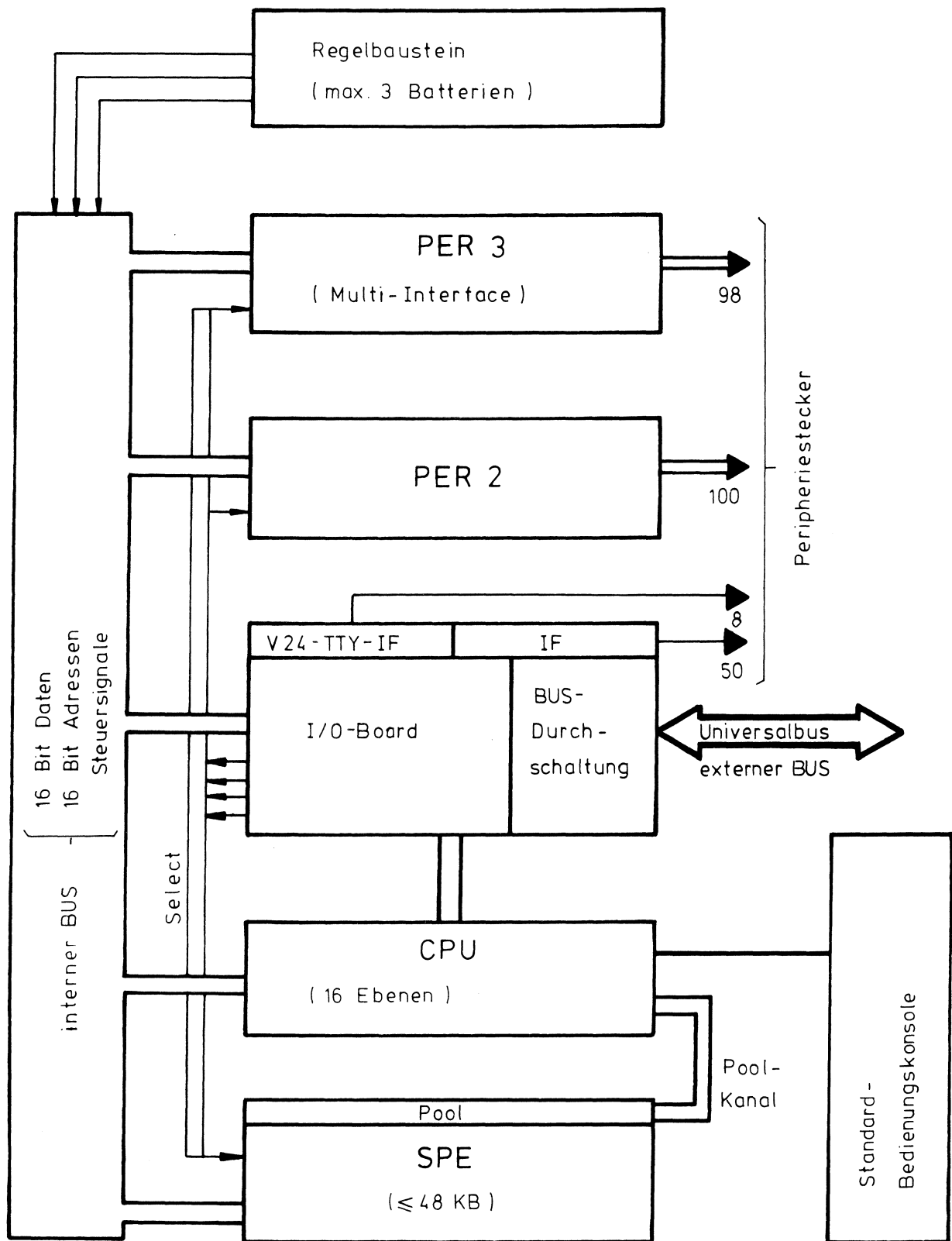


Abb.: 4 Struktur des 621 X1 - Zentralgehäuses

3.2 Rechnerkern

Der eigentliche Rechnerkern beider Zentraleinheiten 621 X besteht aus der CPU mit ausgelagertem Registerpool und dem I/O-Board.

Die unterschiedliche Verarbeitungsgeschwindigkeit von X1 und X2 hat ihre Ursache in der Auslegung des Pools. Beim X1 ist er als Bestandteil des Hauptspeichermoduls in der gleichen Technologie (dynamische MOS-RAMs) realisiert, beim X2 ist er mit schnellen bipolaren, statischen RAM-Bausteinen auf dem Sondermodul PMM aufgebaut.

Das Modul PMM (Pool und Memory Manager), das neben dem bipolaren Pool auch den Memory-Manger umfaßt und den Adresskanal auf 20 bit verbreitert, ist ein Merkmal des X2.

Die Moduln CPU, PMM, I/O-Board und Speicher sind untereinander über den Bus und diverse Steuersignale verbunden. Außerdem verbindet ein schneller, asynchroner Poolkanal entweder den langsamen Pool des X1 oder den schnellen Pool des X2 mit der CPU.

3.2.1 CPU

Der CPU-Baustein ist auf Maschinencodeebene kompatibel geblieben, einziger Unterschied ist die Verbreiterung des Datenkanals auf 16 bit, die das wortweise Lesen (Wort = 16 bit) von Befehlsbytes erlaubt. Die interne Befehlsverarbeitung erfolgt nach wie vor byteseriell.

Die für X1 und X2 identische CPU ist grundsätzlich mit 16 Hardwareebenen und 128 Registern pro Ebene ausgestattet.

Die adressierbaren, aber nicht vorhandenen weiteren 128 Register pro Ebene - ein Adreßraum von 1 Kbyte - stehen zum Einbinden spezieller Hardwareoptionen in den Befehlsvorrat des 621-X zur Verfügung.

3.2.2 PMM

Das Modul PMM, das beim X2 als CPU-Erweiterung dient, besteht aus einem bipolaren 2 KB-Registerpool und dem Memory-Manager des 621/8.

In der Entwicklung befindet sich ein erweitertes Memory-Manger-Konzept, das sowohl die direkte Adressierung des gesamten Adreßraumes von 1024 KB

als auch die Vergrößerung der Benutzerpartitionen auf maximal 128 KB erlaubt.

Diese erweiterte Speicherverwaltungshardware ist nicht wie der Memory Manager des 621/8 über Peripherieadressen ansprechbar, sondern direkt über die freien Registeradressen an die CPU gekoppelt.

3.2.3 I/O-Board

Das Input-Output-Board stellt das zentrale Verwaltungsmodul für Bus, Speicher- und Peripheriemodule dar. Es umfaßt folgende Funktionsgruppen:

- Netzausfallschutz mit automatischem Start (programmierbar!) bei Netzwiederkehr. Entweder Start von Ebene 0 auf Adresse '4000 oder automatisches Bootstrapping.
- Watchdog auf dem internen Bus oder beider Busbereiche. Die Kontrolle von Belegungen des externen Bus allein erfordert eine weitere Überwachungsschaltung.
- Echtzeituhr, ansprechbar über die Adresse '3FFF und das Datenbit 0. Die Uhrstartintervalle sind einstellbar auf 1; 10; 100; 1000 ms.
- V-24 Konsolgeräte-Interface zum Anschluß eines TTY-kompatiblen Terminals.

Das Interface (IF) entspricht in seinen Daten und Spezifikationen dem Interface 602 058, Adaptierung des Terminals erfolgt über einen 25-poligen Cannonstecker.

Die Adresse des IF kann durch Lötbrücken beliebig definiert werden, standardmäßig wird es die Adresse '100X aufweisen.

Die Rückmeldung ist nicht an Ebene 0 gebunden.

- Steckplatz für ein frei wählbares Standard-Einkarteninterface (EKI). Adresse und Rückmeldeebene sind frei bestimmbar, die Anzahl der peripheren Signale kann wie beim Standard EKI max. 50 betragen. Die Adaptierung erfolgt über zwei 25-polige Cannonstecker. Aus Sicherheitsgründen sollten keine Prozeßinterfaces eingesetzt werden. (Störpegel, Kurzschlußfestigkeit bei höheren Spannungspegeln!)

- Device-Selektor zur Anwahl und Steuerung aller Peripheriebausteine innerhalb des Zentralgehäuses. Ist eine angewählte Peripherieadresse nicht in der Zentraleinheit vorhanden, schaltet der Device-Selektor auf den externen Bus um.

Die folgende Tabelle zeigt alle Anwahlsignale und deren Zuordnung zu Adressen bzw. Steckplätzen:

Signal	Adresse X1	Adresse X2	Steckplatz
SEL-31 SEL-32	entfällt	frei	PER 3
SEL-21 SEL-22	frei	frei	PER 2
SEL-11 SEL-12	frei	frei	PER 1
SEL-V24	frei('100X)	frei('100X)	
SEL-3FFF SEL-INT	'3FFF frei	'3FFF frei	I/O-Board
SEL -PMM1 SEL-PMM2	entfällt	frei('13XX)	PMM(Memory Manager)
SEL-AP	entfällt	'160X \\ (nur bei GKP)	Arithmetischer Prozessor

Die Rückmeldungen der Interfaces auf dem I/O-Board sind mittels Lötbrücken auf die Ebenen 0, B,C, D oder E zu legen, die Rückmeldungen aller anderen Peripheriemoduln können einer von allen 16 Ebenen zugeordnet werden.

Im Gegensatz zum Device-Selektor der UIE des 621-Systems können nun auch Interfaces mit einer beliebigen Zugriffszeit angeschlossen werden, da die Interfaces die FE-Meldung des Device-Selektors auf dem I/O-Board durch das Signal FE-Disable steuern können. (Pufferspeicher auf Interfaces!)

- Speichersteuerung für max. 2 Speichermodule von je 16, 32, 48 oder 64 Kbyte Kapazität.
(Beim X1 nur 1 Modul mit max. 48 Kbyte!)

Die Speichersteuerung erkennt den Modultyp eines jeden Steckplatzes und generiert aus den Busadressen die entsprechenden Modulelektsignale. Weisen die Module SPE 1 und SPE 2 die gleiche Kapazität auf, so werden sie automatisch wechselweise betrieben, d.h. das niederwertigste Adreßbit schaltet die Module um (zweifaches Memory-Interleaving).

Liegt die Adresse außerhalb des im Zentralgehäuses vorhandenen Speicherbereiches, schaltet die Speichersteuerung auf den externen Bus um.

Die Logik der Speichersteuerung ist mit ROMs implementiert. Da beim X1 nur ein Modul vorhanden ist und sich somit sehr einfache Randbedingungen ergeben, können die ROM-Bausteine beim Einsatz des I/O-Boards im X1 entfallen.

Ein weiterer Bestandteil ist die Paritylogik, die bei Schreibzyklen ein ungerades Paritybit generiert und dieses bei Lesezyklen prüft.

Die Speichersteuerung arbeitet asynchron, so daß bei logisch gleicher Schnittstelle Speichertypen unterschiedlicher Technologien und Daten eingesetzt werden können.

- Bussteuerung zur Synchronisierung von internem und externem Bus.
Wie bereits erwähnt, sind beide Bereiche des Systembus voneinander entkoppelt, so daß rein interne und rein externe Buszyklen parallel ablaufen können. Bei übergreifendem Transfer, d.h. Quelle und Senke in verschiedenen Bereichen, sind der interne und der externe Bus gleichzeitig zu belegen und die Belegungen mit denen anderer aktiver Elemente zu synchronisieren.
- Busdurchschaltung als eigentliche Entkopplung von internen und externen Signalen. Das Funktionsmodul Busdurchschaltung ist - obwohl logisch zugehörig - nicht auf dem I/O-Board implementiert, sondern als Adapter für das Buskabel auf das Motherboard steckbar.

- Zur Funktionseinheit Busdurchschaltung gehört ein 4 bit-Adresskomparator, der die Adreßbits 20 bis 23 des externen Bus mit seiner per Schalter eingestellten Prozessorkennung vergleicht und bei Übereinstimmung den Zugriff zum internen Bus freigibt. Die Prozesserkennung selbst wird bei jedem Zugriff auf den externen Bus ebenfalls aufgeschaltet, so daß der gerade belegende Prozessor identifizierbar ist.

Die Prozessorkennungs- und Komparatorlogik ist abschaltbar und muß für Mehrprozessorsysteme aktiviert werden.

3.2.4 Arithmetik-Prozessor

Auf einem besonderen Steckplatz des 621 X2 ist ein arithmetischer Prozessor montierbar, der entweder der Gleitkommaprozessor GKP des 621/8 - Systems oder der neu entwickelte Arithmetik-Prozessor AP des 621-X-Systems sein kann.

Der GKP, der über Peripherieadressen angesprochen wird, ist für die vier Grundrechnungsarten mit 24 bit Festkomma- oder 32 Gleitkommazahlen ausgelegt. (Der 621 X1 kann nur mit dem GKP ausgerüstet werden, der dann im Erweiterungseinschub zu montieren ist!)

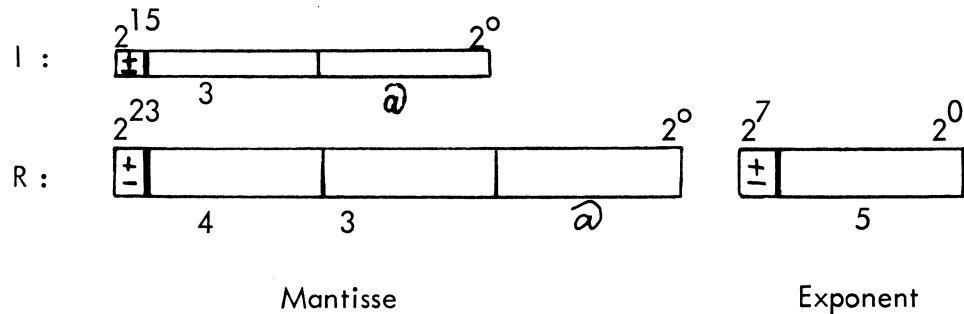
Im Gegensatz dazu sind die Funktionen des AP in den Befehlsvorrat des 621 X2 eingebunden; der AP wird aktiviert durch den Maschinen-code 'ØC (ein noch freier Code der Gruppe Steuerbefehle), holt sich dann Operanden und Betriebsart im direkten Poolzugriff, führt die Betriebsart aus und legt Ergebnis und Fehlerwort wiederum im direkten Poolzugriff ab. Die CPU geht während dieser Zeit in den Wartezustand, so daß kein Ebenenwechsel oder erneuter Zugriff zum AP erfolgen kann.

Operanden, Ergebnisse und Parameter wie Betriebsart und Fehlerwort sind entsprechend dem Einsprung in die Softwarearithmetik den Registern R bis '11 und '19 zugeordnet.

Register	2 3	4 5	6 7 8 9	A B	C D	E F 10 11
Integer 16 bit	I 1			I 2		
Integer 32 bit	ID 1			ID 2		
Real 32 bit	R 1			R 2		
Real 64 bit	D 1			D 2		
BCD	BCD 1			BCD 2		

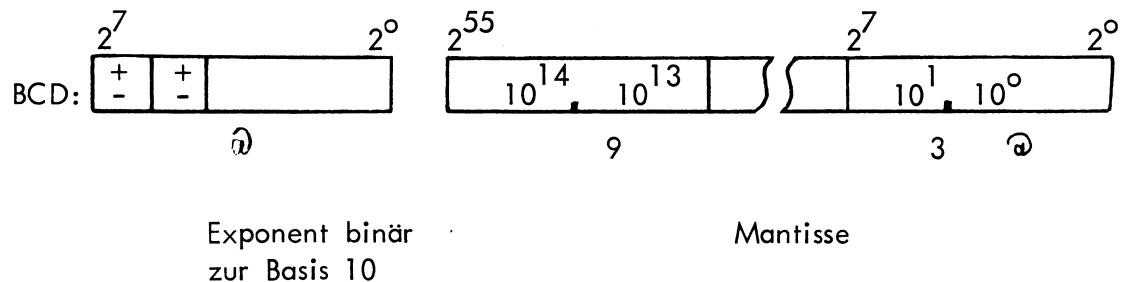
Mit Ausnahme der BCD-Operanden sind alle Zahlendarstellungen der Zweierkomplementarithmetik angepaßt, die Dezimalzahlen sind nach Betrag und Vorzeichen dargestellt.

Zahlenformate:



Rechtskommadarstellung

Die Zahlenformate für 32 bit-Festkommazahlen (ID) und 64 bit-Gleitkommazahlen sind analog zu den Formaten I und R. Die angegebenen Registerzuordnungen beziehen sich auf den 1. Operanden und gelten für Operand 2 sinngemäß.

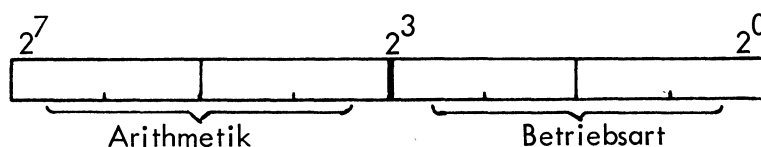


2^6 = Signum Exponent

2^7 = Signum Mantisse

Detailliertere Angaben zu den Zahlenformaten sind dem Benutzer-Handbuch "Übersetzungssystem XOS" zu entnehmen.

In Register '19 wird die Betriebsart, in 7E das Fehlerwort übergeben:



0 : 16 bit Integer	0 : +
1 : 32 bit Integer	1 : -
2 : 32 bit Real	2 : x
3 : 64 bit Real	3 : /
4 : BCD	

Nach Ausführung der Betriebsart steht im Register '7E das Fehlerwort:

'00	: fehlerfrei
'55	: Überlauf
'56	: Operation nicht durchführbar
'57	: Hardware nicht funktionsbereit

Die in der folgenden Tabelle aufgeführten Rechenzeiten des AP umfassen das Holen der Operanden, die Ausführungszeit und das Ablegen des Ergebnisses und Fehlerwortes im Pool. Die Operanden können unnormalisiert sein, das Ergebnis ist normalisiert.

	+ -	*	/
16 bit Integer	5	11	12
32 bit Integer	7	33	29
32 bit Real	14 - 34	40 - 47	39 - 46
64 bit Real	34 - 84	124 - 155	98 - 129

Alle Angaben in μs !

Die Arithmetiken und Rechenarten obiger Tabelle stellen die Standardversion des AP dar.

Als Option steht eine BCD-Arithmetik zur Verfügung, die in Form einer mikroprogrammunterstützten Sonderhardware realisiert ist. Die Rechenzeiten liegen im Bereich von 100 bis 200 μ s.

Der Arithmetische Prozessor AP besteht im Kern aus kaskadierten Bit-Slices von je 4 bit Breite, einem Mikroprogrammwerk und einem Mikroprogrammspeicher, der bis max. 4 k Wörter ausgebaut werden kann, das Wort zu 40 bit.

Die 4 Arithmetiken für die Grundrechnungsarten belegen ca. 3/4 kW des Mikroprogrammspeichers, die BCD-Arithmetik belegt weitere 1/4 kW. Summa summarum bleiben 3 kW des Speichers frei für eventuelle spätere Erweiterungen der Funktionen des arithmetischen Prozessors. Der Code der Erweiterungsfunktionen ist den freien Codes des Betriebsartenregisters zuzuordnen.

Die Grundausstattung des AP ist außerdem mit einem Adapterstecker ausgerüstet, der den Anschluß spezieller Hardware an die Struktur und das Mikroprogramm des AP gestattet, z.B. die bereits erwähnte BCD-Hardware. Die Möglichkeit zur Adaptierung von Sonderhardware zusammen mit der Mikroprogrammierbarkeit erlauben die Anpassung des AP an die unterschiedlichsten Problemkreise.

3.3 Speicher

Die bei den Rechnern 621-X eingesetzten Speichermodule sind baugleich mit den Kernspeichern des 621, die Schnittstelle ist jedoch geringfügig modifiziert: die Module des 621-X sind nur bedingt kompatibel.

Obwohl alle "X-Module" von der Schnittstelle her identisch sind, muß beim Einsatz im X1 oder X2 auf noch zu erläuternde Randbedingungen geachtet werden.

Für den 621-X stehen sowohl Halbleiter- als auch Kernspeicher zur Verfügung, wobei der Halbleiterspeicher zusätzlich mit einem 2 Kbyte-Registerpool ausgestattet sein kann.

Beiden Speichertypen gemeinsam ist die Möglichkeit gegeben, sowohl Byte- als auch Worttransfer zuzulassen.

Die Speicher besitzen außerdem eine 2bit-Modulkennung, mit deren Hilfe auf dem I/O-Board die Zuordnung von Moduln zu bestimmten Adreßbereichen automatisch erfolgt:

Speicherkapazität	$\overline{MX-1}$	$\overline{MX-0}$
Kein Speicher	H	H
16 oder 128 Kbyte	H	L
32 Kbyte	L	H
64 Kbyte	L	L

Eine feinere Abstufung ist wegen der bereits vorgegebenen Steckerbelegungen nicht möglich.

3.3.1 621-X1

Im X1 ist nur ein Steckplatz für Speichermodule vorhanden, die neben dem Arbeitsspeicher auch den Registerpool enthalten müssen. Diese Bedingung macht zwingend die Verwendung von Halbleiterspeichern erforderlich.

Der Halbleiterspeicher ist in Stufen von 4 Kbyte bis max. 64 Kbyte ausbaubar, sinnvoll ist jedoch wegen des nicht vorhandenen Adreßraums ein Maximalausbau von 48 Kbyte.

Anmerkung: Ausstattung des X1 mit Kernspeicher ist prinzipiell möglich. Erforderlich ist die Implementierung eines Sonderbausteins für den Registerpool, der im Raum hinter dem Motherboard untergebracht werden kann.

3.3.2 621-X2

Beim X2 sind 2 Steckplätze für Speichermodule vorgesehen. Der maximale (interne) Speicherausbau reicht somit bis 128 Kbyte.

Halbleiter- und Kernspeichermodule sind mischbar, sinnvoll ist der Einsatz von Modulen gleicher Kapazität auf den Plätzen SPE 1 und SPE 2, da dann automatisch auf Memory-Interleaving umgeschaltet wird.

Im X2 sind nur Module von 16, 32 oder 64 Kbyte einsetzbar, da die Modulkennung nur diese identifizieren kann.

Die folgende Tabelle stellt die beim X2 möglichen Konfigurationen zusammen :

Speicherkapazität			Anfangsadresse				Interleaving
	SPE2	SPE1	SPE1	SPE2		Extern	
		16 K	'4000			'8000	-
		32 K	'4000			'C000	-
		64 K	'4000			'14000	-
	16 K	16 K	'4000	'8000		'C000	ja
	16 K	32 K	'4000	'C000		'10000	-
	32 K	32 K	'4000	'C000		'1400	ja
	32 K	64 K	'4000	'14000		'1C000	-
	64 K	64 K	'4000	'14000		'24000	ja

3.4 Peripherie am internen Bus

Verwaltung und Ausstattung der Steckplätze PER für Peripheriemodule ist, wie bereits dargestellt, Aufgabe des I/O-Boards.

Zu jedem Steckplatz führen zwei Anwahlsignale, so daß jeweils zwei Hauptadressen zugeordnet werden können, die Module selbst können sowohl passiv als auch aktiv, d.h. DMA-fähig ausgelegt sein.

Einschränkungen sind nur gegeben durch physikalische Grenzen, wie Abmessungen, Strombedarf und Anzahl der Signale an der Geräteschnittstelle.

Beim X2 sollten aus Sicherheitsgründen (Störpegel, Kurzschlußfestigkeit) nur Geräteschnittstellen auf TTL-Basis eingesetzt werden.

3.4.1 Das Multi-Interface

Das Multi-Interface besteht aus fünf unabhängigen V24-TTY-Interfaces, baugleich mit dem Standardinterface 602 058, und einem Leser-Interface zum Anschluß eines Lochstreifenlesers.

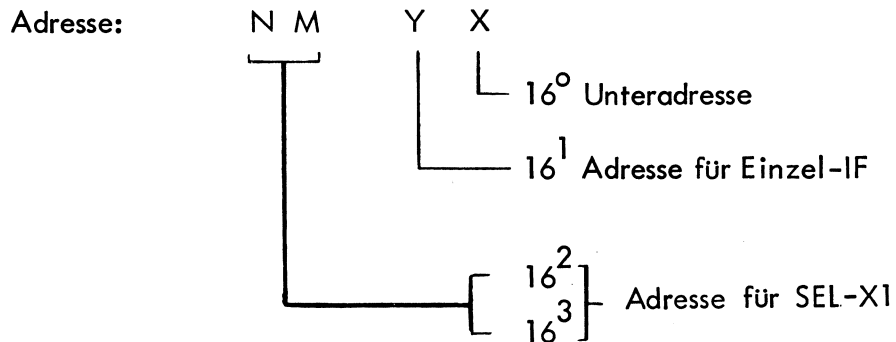
Die Rückmeldungen der V 24-TTY-Interface können durch einen sogenannten READY-Scanner zusammengefaßt und gemeinsam unter einer Adresse verwaltet werden.

Die Motherboards und die Steckeradapter an den Gehäuserückständen sind so ausgelegt, daß den Multi-Interfaces auf den Plätzen PER 3 jeweils fünf 25-polige Cannonstecker (V 24-Norm) zugeordnet sind. Auf anderen Steckplätzen müssen externe Steckeranpassungen oder Kabelverteiler vorgesehen werden.

Die Signale der Leserschnittstelle sind mit einem V 24-Anschluß in einem Stecker zusammengelegt, so daß bei gleichzeitigem Anschluß beider Geräte ein Spezialkabel vorgesehen werden muß. Bei Alternativbetrieb (Leser nur als Service- und Generierungshilfe) können Standardkabel verwendet werden.

Bei der Festlegung der Adressen der Einzelinterfaces ist zu beachten, daß das Leserinterface oder alternativ dazu der READY-Scanner durch das Signal SEL-x2 (x = Steckplatznummer) angewählt wird, die V24-IF durch SEL-x1.

Das Leserinterface oder der READY-Scanner kann eine beliebige Adresse zugewiesen bekommen, bei den V24-IF gilt folgende Adreßstruktur:



Y : Programmierung durch Lötbrücken auf dem I/O-Board entfällt, Einzeladressen werden durch ROM auf dem Multi-IF-Modul festgelegt. (ROM-IF auswechselbar, um Abweichungen von Standardadressen zuzulassen !)

N, M: Gesamtadresse für alle fünf V24-Schnittstellen. (Unterschiedliche Gesamtadressen sind nicht möglich. Wenn erforderlich, muß weiteres Multi-IF vorgesehen werden).

Der READY-Scanner (Standardadresse '25 YX) ist grundsätzlich zunächst ausgeschaltet und muß per Software gezielt eingeschaltet werden. (Ausgabe von ARM (Bit 4) und/oder LOCK (Bit 3) nach Adresse '25 Y1!)

Bei Abfrage der Adresse '25 Y1 nach einer Rückmeldung des Scanners gibt das höherwertige Halbbyte die Kennung (Ø bis F) des Scanners, das niederwertige Halbbyte die Kennung (Ø bis 4) des sich meldenden Interfaces an.

3.4.2 Controller

Aktive Elemente oder auch Controller können auf allen Steckplätzen PER montiert werden. Zu beachten ist lediglich die Frage der Prioritäten bei Busbelegungen.

Die Prioritäten der Plätze PER sind durch das Motherboard vorgegeben, sie nehmen von PER 3 über PER 2 und PER 1 zur CPU ab. Die höchste Priorität noch über PER 3 besitzt das I/O-Board, das einen externen Belegungswunsch an den internen Bereich weiterleitet.

Die Controller besitzen alle dieselbe Standard-Busschnittstelle und können sowohl am internen Bus als auch am externen Bus im Erweiterungseinschub montiert werden.

Die Standardschnittstelle besteht neben der Adreßdekodierung, den Empfängern und Treibern etc. aus einem adreßgebenden Register von 24 bit Länge (4 bit Prozessoradresse, 20 bit absolute Speicheradresse) und einem Pufferspeicher für 128 Bytes. Die Buszugriffe können sowohl byte- als auch wortweise erfolgen, wobei vorzugsweise der Wortzugriff durchgeführt wird. Der Bytetransfer kommt lediglich am Anfang oder am Ende einer DMA-Sequenz bei einer ungeraden Anfangs- oder Endadresse zum Tragen.

Die DMA-Zyklen laufen aus Gründen der Busbelegungsoptimierung in Bursts ab, wobei jeder Burst aus 8, 16 oder 32 Einzeltransfers besteht, zwischen denen der Bus nicht freigegeben wird.

3.4.3 Interface-Träger

Der Interface-Träger ist eine Hilfskonstruktion zur Unterbringung zweier Standard-Interfaces (...doppelte Europakarte) auf dem Steckplatz PER eines Peripheriemoduls. Sie dient lediglich dazu, in Grenzfällen eine UIE zu sparen.

Das Anwahlsignal SEL-X1 selektiert das Interface 1, SEL-X2 das Interface 2. Interface 1 ist das IF am direkten Stecker des IF-Trägers und kann maximal 50 Peripheriesignale bedienen. Bei Interface 2 ist nur die a-Reihe des Geräteanschlußsteckers zum Stecker an die Gehäuserückwand geführt, das IF 2 darf maximal 25 Peripheriesignale aufweisen.

Anmerkung: Sollen IF1 und IF2 bestückt werden, darf IF1 nur 25 externe Anschlüsse aufweisen.

3.5 Bedienungskonsole

Die Bedienungskonsole des 621-X ist in zwei Ausbaustufen verfügbar, und zwar als Standardversion für den 621-X1 und als Komfortversion nur für den 621-X2. (s. Abb. 5)

Die Standard-Bedienungskonsole erlaubt mit den Funktionen Netzschalter, Start- und Nullstelltaste und dem Bootstrap eine Routinebedienung des Rechners.

Die Komfort-Bedienungskonsole erweitert diese Grundfunktionen um

- Daten- und Adreßanzeige (binär, hexadezimal)
- Adreßstop (Instruktions- oder Operanden-Zugriff)
- Hexadezimaltastatur zur Dateneingabe
- Zugriff zu den CPU-Registern
- Zugriff zum 1 Mbyte-Adreßraum
- Einzelschrittbetrieb auf Instruktions- oder Mikrozyklusebene.

Diese Ausstattung der Konsole unterstützt Inbetriebnahmen und Tests von Programmen und Systemen, wobei Zugriffe zum Rechnerkern (CPU-Register) und zum gesamten Adreßraum ohne Änderungen eines Systemzustandes möglich sind.

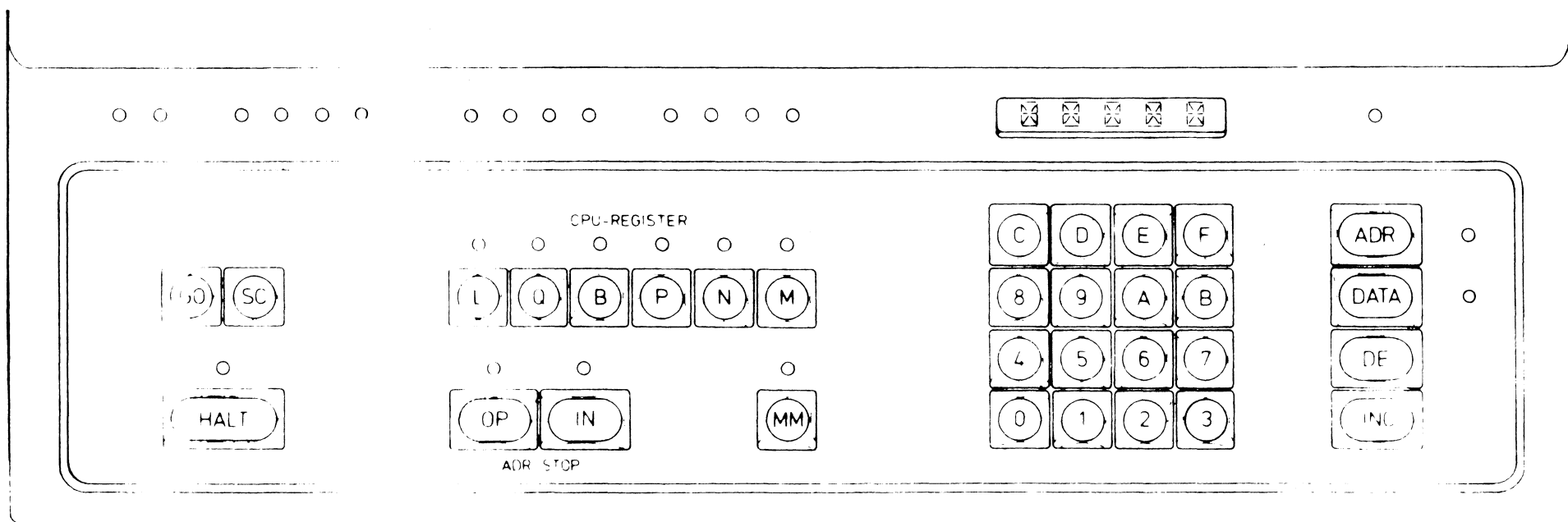
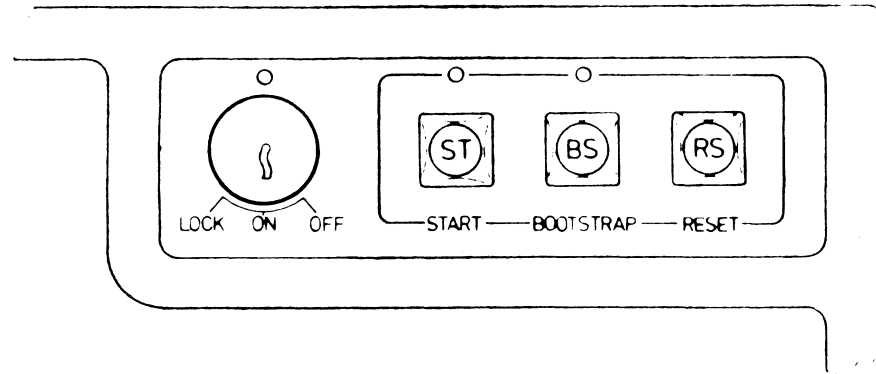
Die Funktionen von Schaltern, Tasten und Anzeigen werden in den folgenden Abschnitten detailliert dargestellt.

Anmerkung:

Die Komfort-Bedienungskonsole des X2 kann für Test- und Wartungsarbeiten auch an den X1 adaptiert werden. Hierzu ist ein Adapterbaustein erforderlich, der auf die Wrapstifte des Steckerträgerbausteins gesteckt wird, und an den das Bedienungsmodul über Flachkabel angeschlossen wird.

Diese Montage ist nicht als Standardaufbau geeignet!

Standard - Bedienungskonsole



Komfort - Bedienungskonsole

3.5.1 Standardkonsole

- SCHLÜSSELSCHALTER mit drei Stellungen

OFF	Netz aus
ON	Netz ein
LOCK	Netz ein und Tasten verriegelt

Die Leuchtdiode über dem Schlüsselschalter zeigt "Netz ein" an.

- ST Starttaste

Lösen einen Rechnerstart auf Ebene \emptyset aus. Die Leuchtdiode über der Starttaste zeigt die Belegung der CPU an.

- RS Resettaste (Nullstellung)

Beim Betätigen der Nullstelltaste wird zunächst die CPU angehalten (Stop am Ende des gerade laufenden Befehls!), anschließend wird nach ca. 20 - 50 ms Verzögerung für die restliche Zeit des Tastendruckes eine Systemnullstellung generiert. (Ausschaltprozedur zur Verhinderung von Systemfehlern durch asynchrone Nullstellungen!)

- BS Bootstrap-Schalter

Die Bootstrap-Taste ist als elektronischer Schalter ausgelegt, die Leuchtdiode über der Taste zeigt den Zustand "BS eingeschaltet" an.

Beim Drücken der Taste läuft zunächst die RS-Funktion ab (CPU anhalten, Systemnullstellung generieren), beim Loslassen wird der BS-Schalter eingeschaltet und ein Rechnerstart auf Ebene \emptyset erzeugt; die CPU beginnt mit der Abarbeitung des Bootstrap-Programms, das in einem ROM (max. 1 Kbyte) abgelegt ist.

Das Ausschalten des BS-Schalters erfolgt entweder durch erneuten Tastendruck oder programmgesteuert durch Ausgabe des Datums '04 mit der Adresse '3FFF.

Das programmgesteuerte Rücksetzen der BS-Funktion erlaubt den Übergang vom Bootstrapping zu Systemprogrammen ohne manuellen Eingriff.

Neben dem Start des BS-Programms durch Tastendruck besteht die Möglichkeit, bei Netzwiederkehr automatisch den Bootstrap zu starten. Die Umschaltung zwischen Urstart auf Adresse '4000 (ohne BS!) und Bootstrap - Start erfolgt durch einen von außen nicht zugänglichen Schalter, der beim Systemaufbau entsprechend einzustellen ist.

Anmerkung: Automatisches Starten grundsätzlich nur bei Stellung Lock des Schlüsselschalters!

- Ablauf des Bootstrappings

Die Ausbaufähigkeit des BS-Programms bis maximal 1 kB erlaubt ein sehr flexibles Generieren des Systems sowohl im Dialog über die Operator-konsole (Adresse '1000) als auch automatisch ohne manuellen Eingriff.

Das Programm besteht aus zwei unabhängigen Teilen, dem Generierungs- und dem Ladeprogramm.

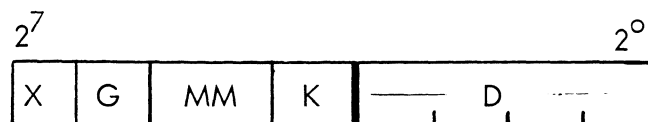
Das Generierungsprogramm prüft den Registerpool und den Hauptspeicher durch Schreiben des Hintergrundmusters '02 (entspricht dem Befehl HLT) und anschließendes Kontrolllesen. Läuft der Speichertest fehlerfrei ab, wird auf der Operatorkonsole "ok" ausgeschrieben und zum Ladeprogramm verzweigt.

Im Fehlerfall erfolgt die Ausgabe von "NO" und Stop des Programms. Der Inhalt der Register 4 und 5 zeigt auf die Anfangsadresse des 256 Byte-Blocks, in dem der Fehler auftrat. (Beim Test mit Memory Manager ist zum Registerinhalt der Inhalt von Adresse '1300 und '1301 zu addieren.)

Die Speichergenerierung ist zum einen bei ungepufferten Halbleiterspeichern notwendig, zum anderen sagt der fehlerfreie Programmablauf aus, daß sowohl Speicher als auch Rechnerkern funktionstüchtig sind.

Das Ladeprogramm legt einen Datenstring von einem (anwählbaren!) Gerät und transferiert ihn in den Hauptspeicher, beginnend bei der Adresse '4000. Nach Beendigung des Ladevorganges, der auch im DMA-Betrieb stattfinden kann, schaltet es die BS-Funktion aus und verzweigt zur Adresse '4000, der Startadresse des geladenen Programms.

Der Ablauf des Generierungs- und Ladeprogramms kann durch Sieuercodes definiert werden, die entweder über die Operatorkonsole oder durch einen verdeckten Schaltersatz - abfragbar mit dem Befehl `Get Switch (GS)` vorgegeben werden:



X : frei

G : Einschalten von G ($G = 1$) verhindert die Pool- und Speichergenerierung.

(...bei Kernspeichern oder Batteriepufferung)

MM: Hauptspeichergenerierung ohne Memory Manger (MM = 1)

K : Bei K = 1 erwartet das BS-Programm das Steuerwort als zweistellige Hexazahl von der Operatorkonsole.
Falls der Schlüsselschalter nicht auf LOCK steht, wird das BS-Programm grundsätzlich durch den Operator parametrisiert. ($\overline{\text{LOCK}} = K = 1!$)

Die erste Hexaziffer entspricht dem höherwertigen Halbbyte des Schaltersatzes, die zweite Hexaziffer dem niederwertigen Halbbyte D.

Beispiele:

'40 : ohne Speichergenerierung, Device 0

'22 : mit Speichergenerierung, ohne Memory Manager, Device 2.

D : Devicenummer des Bootstrapgerätes.
Das niederwertigste Bit unterscheidet bei Plattenlaufwerken zwischen Unit 1 und Unit 0.
Die folgende Devicezuordnung gilt auch bei der Parametrisierung über die Operatorkonsole:

D = 0 : Lochstreifenleser

2 : DIETZ-Disk Unit 0

3 : DIETZ-Disk Unit 1

4 : Floppy-Disk Unit 0

5 : Floppy-Disk Unit 1

6 : 12-Sektoren-Platte Unit 0

7 : 12-Sektoren-Platte Unit 1

8 : 24-Sektoren-Platte Unit 0

9 : 24-Sektoren-Platte Unit 1

A : 60 Mbyte-Platte Unit 0

B : 60 Mbyte-Platte Unit 1

(Beim Standardprogramm sind die Geräte Lochstreifenleser, DIETZ-Disk 24-Sektoren-Platte implementiert.)

Der Übergang vom BS-Programm zum Systemprogramm erfolgt grundsätzlich automatisch, d.h. durch programmgesteuertes Ausschalten der BS-Funktion und Sprung zum Anfang des Systemprogramms.

3.5.2 Komfortkonsole

Die Erweiterung der Standardkonsole zur Komfortkonsole besteht aus einem Anzeigefeld und einem Tastenfeld in Form eines Keyboards. Das Anzeigefeld umfaßt von links nach rechts eine 6 bit-Binär-, eine 8 bit-Binär - und eine 5-stellige Hexadezimalanzeige. Daneben zeigt eine einzelne Leuchtdiode die Belegung der CNP-Ebene der CPU an.

Die mehrstelligen Anzeigen stellen die niederwertigste Einheit (Bit oder Hexadezimalzahl) grundsätzlich rechtsbündig dar.

Die Hexadezimalanzeige ist per Programm über die Adresse '3FFF ansprechbar:

$\text{0000 L00X} \Rightarrow \text{'3FFF}$ Anzeige löschen

$\text{YYYY L00X} \Rightarrow \text{'3FFF}$ YYYY anzeigen

Es lassen sich maximal 4 Hexacodes darstellen, die Ziffern werden von rechts nach links durchgeschoben.

Anmerkung: Das Bit $2^0 = X$ ist der Echtzeituhr zugeordnet!

Das Tastenfeld besteht aus den Funktionsgruppen:

Einzelschrittsteuerung (HALT, GO, SC)

Adreß-Stop (OP, IN)

Registeranwahl (L....M, MM)

Hexadezimaltastatur

Manipulationstasten (ADR, DATA, DE, INC)

Mit Ausnahme der HALT-Taste sind alle Tasten nichtrastend, Schalterfunktionen werden elektronisch nachgebildet. Die Leuchtdioden direkt über oder rechts neben den Tasten signalisieren den Zustand EIN.

Achtung: Alle Tasten werden nur wirksam bei eingeschalteter HALT-Taste! Im folgenden Text sind Tasten mit (T) und Schalter mit (S) gekennzeichnet.

Einzelschrittsteuerung:

- | | |
|----------|---|
| HALT (S) | Nach dem Einschalten geht die CPU am Ende des gerade laufenden Befehls in den Wartezustand. |
| GO (T) | Beendigung des Wartezustandes der CPU und weitere Programmverarbeitung wenn HALT-Raste nicht mehr eingeschaltet, andernfalls nur Ausführung des nächsten Befehls. |
| SC (T) | Single Cycle bewirkt Weiterschalten der CPU um einen Mikroschritt. Späteres Betätigen von GO läßt alle weiteren Mikrozyklen bis zum Befehlsende ablaufen. |

Die 6 Leuchtdioden ganz links im Anzeigenfeld zeigen während des Einzelschrittbetriebs die (binäre) Nummer ('0 ... '3F) des Mikroschrittes an, der als nächster von der CPU ausgeführt wird.

Adreßstop:

Bei Zugriff der CPU auf eine definierte Adresse wird am Ende des folgenden Mikrozyklus angehalten, d.h. die CPU geht in den Wartezustand, die HALT-Leuchtdiode signalisiert den Stop. Anschließend muß der HALT-Schalter eingelegt werden.

Wegen des 16 bit-Zugriffs beim Lesen von Befehlen ist der Stop nur bei geraden Adressen möglich. Bei Vorgabe einer ungeraden Adresse N wird bei N-1 angehalten.

Bei Operandenzugriffen wirkt der Stop bei geraden und ungeraden Adressen.

- | | |
|--------|---|
| OP (S) | Stop bei Zugriff auf Operanden (N-Register nicht adreßgebend) |
| IN (S) | Stop bei Instruktionszugriff (N-Register adreßgebend) |

Bedienungsablauf für Stopadreßvorgabe:

HALT ↓ einschalten

OP, IN ↓ Art des Stops anwählen

Tastatur ↑...↑ Stopadresse eingeben, max. 5 Stellen (Anzeige hexadezimal)

HALT ↑
GO ↑ Programmausführung zulassen

Nach dem automatischen Stop und Einschalten von HALT sind Systemzugriffe bzw. -manipulationen über die Konsole durchführbar.

Beendigung des Stopzustandes durch Ausschalten von OP oder IN, HALT und Drücken von GO.

Registeranwahl:

Die Schalter L, Q, B, P, N, M erlauben die Anwahl von CPU-internen Registern. Die Schalter schließen sich gegenseitig aus, so daß immer nur ein Register angewählt werden kann.

(Einschalten eines Schalters setzt die anderen Schalter zurück. Soll kein Register mehr angezeigt werden, ist ADR einzuschalten!)

Register	Binäranzeige (8 bit)	Hexaanzeige	setzbar
L	<L>	<L>	Nein
Q	<Q>	<Q>	Ja
B	< V <L>>		Ja
P	<<P> V <L>>	<P>	Ja
N	N	<N>	Ja
M	M	<M>	Ja

<Reg> = Inhalt des Registers

<<Reg>> = Inhalt der durch das Register
vorgegebenen Adresse

Die bei den Registern B und P durch die Ebenenbindung erzeugte absolute Adresse, deren Inhalt in der Binäranzeige erscheint, kann durch Betätigen von ADR in der Hexaanzeige sichtbar gemacht werden.

MM (S) Memory Manager

Die Bedienung dieses Schalters ist nur möglich im Zusammenhang mit der Registeranwahl N oder M.

MM eingeschaltet bedeutet, daß in der Hexaanzeige die vom Memory-Manager generierte Operanden- oder Instruktionsadresse (5 Hexastellen) erscheint, die Binäranzeige enthält das zugehörige Datum.

Anmerkung: Bei der Registeranwahl wird der Registerinhalt grundsätzlich in das konsolinterne Adreßregister geladen und dann angezeigt!

Manipulationstasten und Hexadezimaltastatur:

ADR (S) Adreßregister der Konsole (20 bit)
Nach dem Einschalten von ADR erscheint der Inhalt des konsolinternen Adreßregisters in der Hexaanzeige, der Dateninhalt in der Binäranzeige.

Laden des Adreßregisters:

HALT ↓

ADR ↓	A	B	C	D	E	Hexaanzeige
1 ↑ Tastatur	0	0	0	0	1	
2 ↑ "	0	0	0	1	2	
3 ↑ "	0	0	1	2	3	
4 ↑ "	0	1	2	3	4	
5 ↑ "	1	2	3	4	5	
6 ↑ "	2	3	4	5	6	

Die erste Tastatureingabe nach ADR ↓ löscht das Adreßregister.

DATA (S) Datenregister der Konsole (8 bit)
Einschalten von DATA ist nur möglich, wenn bereits durch eine Registeranwahl oder durch ADR eine Adresse in das konsolinterne Adreßregister transferiert wurde.

DATA ↓ bewirkt, daß der Adreßinhalt (das Datum) in der Hexaanzeige erscheint und das Datenregister nun ebenso wie das Adreßregister über die Tastatur manipuliert werden kann (2 Stellen).

Die Schalter ADR und DATA bilden mit den Registeranwahlschaltern und den Adreßstopschaltern OP, IN eine sich gegenseitig verriegelnde Schalterbank, d.h. immer nur einer dieser Schalter kann eingeschaltet sein.

DE (T)

Deposit

Drücken der DE-Taste löst einen Transfer des Datenregisterinhalts aus. Das Transferziel kann entweder die durch das Adreßregister vorgegebene Adresse oder ein CPU-Register sein.

Loslassen der DE-Taste initiiert einen Kontrolllesezyklus, der die "neuen" Adreß- oder Registerinhalte liest und anzeigt.

Beispiele:

Änderung eines Speicherplatzes

HALT ↓

ADR ↓ <Adreßregister> → Hexaanzeige

Tastatur ↑ Adreßeingabe

DATA ↓ Adresse Hexaanzeige

Tastatur ↑ Dateneingabe

DE ↓ (drücken) Daten → Adresse

DE ↑ (loslassen) <Adresse> → Datenregister, Hexaanzeige

ADR ↓ Adresse in Hexaanzeige
 <Adresse> in Binäranzeige

HALT ↑ }
GO ↓ } Ende

Änderung des Registerinhalts

HALT ↓

REG ↓

⟨Register⟩ → Hexaanzeige, Adreßregister

⟨⟨Register⟩⟩ → Binäranzeige

Tastatur ↑

Dateneingabe (Hexaanzeige)

DE ↓ (drücken)

Daten → Register

DE ↑ (loslassen)

⟨Register⟩ → Hexaanzeige

⟨⟨Register⟩⟩ → Binäranzeige

HALT ↑

GO ↓

} Ende

Änderung eines durch (z.B.) M adressierten Datums

HALT ↓

M ↓

⟨M⟩ → Hexaanzeige; Adreßregister

⟨⟨M⟩⟩ → Binäranzeige

DATA ↓

⟨⟨M⟩⟩ → Hexaanzeige

Tastatur ↑

Dateneingabe

DE ↓ (drücken)

Daten → ⟨M⟩

DE ↑ (loslassen)

⟨⟨M⟩⟩ → Hexaanzeige

HALT ↑

GO ↓

} Ende

Der Inhalt des M-Registers bleibt unverändert.

INC (T)

Increment

Schließen des Tasters inkrementiert das konsolinterne Adreßregister; Öffnen initiiert einen Lesezyklus, bei dem der Inhalt der inkrementierten Adresse gelesen und angezeigt wird.

Beispiel 1:

HALT ↓	
ADR ↓	
Tastatur ↑	Adreßeingabe
DATA ↓	Ende der Adreßeingabe, Adresse lesen und anzeigen (hexa)
INC ↓ (drücken)	inkrementieren Adreßregister
INC ↑ (loslassen)	⟨Adresse⟩ → Hexaanzeige
	etc.

Beispiel 2:

HALT ↓	
N ↓	⟨N⟩ → Hexaanzeige, Adreßregister ⟨⟨N⟩⟩ → Binäranzeige
DATA ↓	⟨⟨N⟩⟩ → Hexaanzeige
INC ↑	⟨⟨N+1⟩⟩ → Hexaanzeige
INC ↓	⟨⟨N+2⟩⟩ → Hexaanzeige

Der Inhalt von N bleibt unverändert.

4. Technische Daten

Die Daten sind angegeben für den 621-X2, abweichende Daten des X1 eckig eingeklammert.

Universalcomputer für Prozeßanwendungen, technisch-wissenschaftliche Zwecke und allgemeine Datentechnik.

Besondere Merkmale:

- Bytestruktur mit Multibyte-Verarbeitung

Alle Operationen sind auf 1 Byte oder mehrere Bytes (max. 128 bzw. 256) zogen, die Kettung erfolgt durch vorgeschalteten DO-Befehl.

- Mehrebenenstruktur

mit 16 unabhängigen Registersätzen, die jeweils den hierarchischen Ebenen zugeordnet sind. Alle Ebenen benutzen abwechseln entsprechend ihrer Priorität die eigentliche Recheneinheit. Ebenenumschaltung erfolgt durch externe Interrupts oder Organisationsbefehle.

- Register-Pool

enthält die Registersätze aller Ebenen. Pro Ebene stehen maximal 128 Universalregister zur Verfügung, die als Akkumulator, Indexregister aber auch als schneller Daten- oder Programmspeicher verwendet werden können.

Mehrebenenstruktur und Register-Pool bewirken kurze Interruptreaktionszeiten, da kein Kontextaustausch durch Umladen der Registerinhalte notwendig ist.

- Universalbus

als zentrale Verbindung von CPU, Speicher und Peripherie, sowohl programmgesteuerte Datentransfers als auch direkte Speicherzugriffe bedienen sich des gleichen Datenkanals.

- Vielfältige bedingte Sprungbefehle

erlauben einfache Programmierung von Programmschleifen und Test von einzelnen Bits oder Bitgruppen.

Technische Daten :

CPU Wortlänge:	8 bit (1 byte) mit Multibyteverarbeitung
Ebenen:	16 Programmebenen mit getrennten Registern
Register :	128 Register pro Ebene
Interrupts:	16 Interrupteingänge, Umschaltung bei Instruktionsende Reaktionszeit 1,5 μ s [2,7 μ s]
Befehle :	5 Steuerbefehle 1 DO-Befehl (Mehrfach-Ausführung) 1 Zustandsabfragebefehl 4 Schiebebefehle 32 bedingte Sprungbefehle 9 Busbezogene Befehle 6 Konstanten-Befehle
Befehlslänge:	1 bis 5 byte
Ausführungszeit:	0,84 bis 5,28 us [0,88 bis 6,68 us]
Adressierung:	Constant (Operand im Adreßteil) Register (ebenengebundene Register) Relativ (+ 127, - 128) Absolut (64 Kbyte direkt) Indirekt (1 byte- oder 2 byte-Indexregister)
	Register-, relative und absolute Adressen können außerdem indiziert werden.
Adreßraum:	X2 = 1024 Kbyte adressierbar durch Memory Manager, davon 64 Kbyte direkt adressierbar. X1 = 64 Kbyte direkt adressierbar
Speicher:	<u>Hauptspeichermodule</u> mit 375 ns Zugriffszeit und 550 ns Zykluszeit als Halbleiterspeicher, alternativ 300 ns Zugriffszeit und 650 ns Zykluszeit als Kernspeicher. Maximalausbau eines Moduls 64Kbyte

Zugriff sowohl byte- als auch wortweise (16 bit) möglich, Datensicherung durch Paritybit.

Registerspeicher als 2 Kbyte-Modul in bipolarer [MOS]-Technologie.

Zugriffszeit max. 70 ns (330 ns), grundsätzlich Byte-Zugriff. (Beim X1 Datensicherung durch Paritybit!)

Batteriepufferung für Halbleiterspeicher max. 8 (3) Batterien intern, 20 Ah [7,5 Ah]

Pufferzeiten: 7 h bei 64 Kb, 5 h bei 128 Kb.

Anschluß einer externen Puffereinheit vorgesehen.

Universalbus:

Aufgeteilt in internen und externen Bus.

20 bidirektionale Adreßleitungen [16]

16 bidirektionale Datenleitungen

16 Interruptleitungen

4 Ebenenleitungen

6 Steuerleitungen

Externer Bus als Flachkabel ausgelegt, Wellenwiderstand ca. 120Ω , Laufzeit ca. 5 ns pro Meter. Maximale Übertragungsrate ca. 6,6 Mbyte/sec. Maximale Länge des Buskabels ca. 15 m.

Standardfunktionen:

Bedienungskonsole [Standardkonsole]

Echtzeituhr

Netzausfallschutz

Auto Restart

Parity-Prüfung

Bus-Watchdog

Bootstrap

TTY-V24-Anschluß

5. Befehlsausführungszeiten

Die CPU der Rechner 621-X1 bzw. X2 arbeitet mit einem Grundzyklus von 160 ns. Die asynchrone Kopplung von CPU und Speicher über den Universalbus und von CPU und Registerpool über den Poolkanal führt bei Speicherzugriffen innerhalb des Zentralgehäuses zu folgenden mittleren Zykluszeiten der CPU:

	Kern- speicher	MOS- speicher	bipolarer Pool	MOS Pool	Puffer register
Lesen	760	840	360	720	280
Schreiben	440	440	240	280	-

- alle Angaben in ns! -

Da das Lesen von Instruktionsfolgen wortweise erfolgt, kann als mittlere Zugriffszeit pro Befehlsbyte der lineare Mittelwert von Speicher- und Pufferregisterzugriff angesetzt werden.

$$\text{Kernspeicher: } (760 + 280) / 2 = 520 \text{ ns}$$

$$\text{MOS-Speicher: } (840 + 280) / 2 = 560 \text{ ns}$$

Die folgende Tabelle umfaßt sowohl die Ausführungszeiten des 621-X1 als auch die des 621-X2 unter den Voraussetzungen:

- Das Arbeitsregister ist stets der Standardakkumulator $\mathcal{Q} = '02$
Wird mit einem spezifischen Register gearbeitet, sind zu den Zeiten zu addieren
400 ns beim X1
360 ns beim X2.
- Indirekte bzw. indizierte Adressierung beziehen sich auf einen 1-Byte-Index.
Bei 2-Byte-Indizes sind zu addieren
880 ns beim X1
520 ns beim X2.

- Die Zeiten der bedingten Sprungbefehle gehen von nicht erfüllter Sprungbedingung aus. Ausführung des Sprunges verlängert die Befehlszeit um

560 ns beim X1
520 ns beim X2

- Der X1 ist ausgerüstet mit Halbleiterspeicher und MOS-Pool. Die Refreshzyklen der dynamischen Speicher verlangsamen die Befehlsverarbeitung pauschal um ca. 2 %!
- Der X2 ist ausgestattet mit Kernspeicher, bipolarem Pool und Memory Manager, der jedoch ausgeschaltet ist. Ausrüstung des X2 mit Halbleiterspeicher verlängert die angegebenen Ausführungszeiten im Mittel um

40 ns pro Befehlsbyte
80 ns pro Operandenzugriff (Lesen aus dem Speicher)

(Refreshzyklen pauschal mit 1,5 % zu veranschlagen!)

Bei eingeschaltetem Memory Manager müssen bei den Busbefehlen

120 ns pro Ausführung (DO!)

addiert werden.

- Sind beim X2 Programme in einem Speicher außerhalb des Zentralgehäuses abgelegt, erhöht sich die Befehlsverarbeitungszeit um ca. 100 ns pro Befehlsbyte und um 200 ns pro Operandenzugriff.

Befehl	X1 μ s	X2 μ s
Steuerbefehle		
NOP	1,20	1,16
HLT	1,20	1,16
ECL	1,20	1,16
DCL	1,20	1,16
SEL, LEV	1,60	1,52
HSL, LEV	1,60	1,52
DO-Befehle		
2-fach DO	0,88	0,84
n-fach DO	1,28	1,20
Zustandsabfragen		
GS	1,00	0,92
GL	1,16	1,08
Schiebebefehle		
SRO/SRC	1,84 (1,02)	1,44 (0,76)
SLO/SLC	1,84 (1,02)	1,44 (0,76)
Bedingte Sprungbefehle		
BZ/BNZ	1,92 (1,04)	1,52 (0,68)
IZ/INZ	2,20 (1,32)	1,76 (0,92)
BP/BNP	1,92 (1,04)	1,52 (0,68)
IP/INP	2,20 (1,32)	1,76 (0,92)
B x C / BN x C	2,32 (1,44)	1,88 (1,04)
I x C / IN x C	2,58 (1,72)	2,10 (1,28)
B x R / BN x R	3,04 (1,60)	2,24 (0,88)
I x R / IN x R	3,59 (2,15)	2,48 (1,12)
x = E, Z oder O		
BUS-Befehle (Gesamtzeit = Adreßrechnungszeit + Ausführungszeit)		
Lesen + Adreßrechnung		
.. C	0,72	0,68
.. X	2,16	1,72
.. R	1,28	1,20
.. R indiziert	2,72	2,24
.. L	1,44	1,36
.. L indiziert	2,88	2,40
.. A	1,84	1,72
.. A indiziert	3,28	2,76
Ausführung		
LD ..	1,12	1,00
AD ..	1,84	1,40
SB ..	1,84	1,40
AN ..	1,84	1,40
OR ..	1,84	1,40
EO ..	1,84	1,40
ST ..	1,16	0,80
JP ..	0,32	0,32
CS ..	1,15	0,80
Ebenenwechsel	2,72	1,52

(Angaben in Klammern für eine Wiederholung bei DO-Befehl)

Tab.: Befehlsausführungszeiten