

Funkschau

Radio, Fernsehen, Elektroakustik, Elektronik

Über die zukünftige Entwicklung
unserer Farbfernsehempfänger

B 3108 D

Vielfachinstrument mit FET-Eingang

Verbesserte Farbbildröhren

Einfaches Experimentiersystem
für Transistorschaltungen

22

Zum Titelbild: Eine Amateurfunk-Antennenanlage der Spitzenkasse
für die Bänder 40 und 20 m (vorn) und für 15 und 10 m im Hintergrund.
Siehe unsere Titelgeschichte auf Seite 694. Aufnahme: H. Merkle

2.— DM



In diesem Heft:
**Weihnachtsangebote über
Franzis-Fachbücher
in der Mitte des Textteiles**

Ein selbstgebauter elektronischer Rechner

2. Teil

Taktgeber und Ringschalter

Die Ursache alles Geschehens im Rechner sind die Taktimpulse TKT (Bild 5). Mit einem Schalter kann man zwischen Multivibratorakt und Einzeltakt wählen. Bei Einzeltaktbetrieb bestimmt der Bedienende mittels Tastendruck die Geschwindigkeit des Programmablaufs und kann somit die Einzelaktionen des Rechners an Signallämpchen oder durch Spannungsmessungen verfolgen. Mit jedem Tastendruck wird ein Flipflop so gesetzt, daß sein Ausgang ein O-Signal an den Umschalter liefert; beim Loslassen der Taste wird das Flipflop jeweils wieder rückgesetzt. Am anderen Pol des Schalters liegen die Multivibrator-Rechteckspannungen mit einer Frequenz von 1,4 kHz.

Je nach Schalterstellung gelangt eines der Signale an das NOR-Glied TKT, bewirkt aber noch keinen Ausgang, da das END-Signal noch nicht aufgehoben ist. Vor jedem Rechengang müssen mit dem Signal LFF (Lösche Flipflop) bestimmte Flipflops in Anfangsstellung gebracht werden. Die Angaben von L und 0 auf allen Bildern mit logischen Schaltungen kennzeichnen den Zustand der Elemente oder Leitungen nach Auslösung des Signals LFF.

Das erste Flipflop WTR-ZIB des Ringschalters wird von LFF in Stellung L0 gebracht. Die Stellung des zweiten Flipflops ZSP-ZL0 ist unbestimmt und soll im Augenblick mit L0 angenommen werden. Mit dem Startsignal STA, das man mit einer Taste auslöst, wird der Rechengang eingeleitet, indem beide Flipflops von STA auf OL ge-

bracht werden. Die durch das Umschalten erzeugte positive Flanke von ZIB erwirkt nun die Umkehr von END über die Operationssteuerung. Jetzt ist also das END-Signal O, so daß das NOR-TKT die Taktimpulse freigibt.

An dieser Stelle sei erwähnt, daß alle Leitungsenden mit einem Pfeil nach rechts durch Zahlen auf die Bilder hinweisen, zu denen sie führen. Entsprechend zeigen von links ins Bild führende Leitungen mit ihren Zahlen Herkunftsbild und Entstehungsort an. Das möge aber nicht dazu verleiten, gewisse Voraussetzungen von Signalen und Zuständen, die bei der Erklärung des Rechners gemacht werden müssen, voreilig zu ergründen. Die Entstehung von z. B. END kann erst bei der Behandlung der Operationssteuerung erklärt werden.

Die nun am Ringschalter vorhandenen Taktimpulse schalten bis zum Rechenende in zyklischer Form die beiden Flipflops. Die erste positive Flanke von TKT kann nur den oberen Ausgang von FF-WTR-ZIB auf L setzen, nicht den unteren, da dieser bereits gesetzt ist; aus demselben Grunde auch nicht den unteren von FF-ZSP-ZL0. Der obere Ausgang von FF-ZSP-ZL0 kann nicht gesetzt werden, da der O-Wert von WTR in diesem Moment noch nicht die UND-Bedingung von Eingang 1 erfüllt. Diese

Überlegungen klären die ganze Funktion des Ringschalters.

Die erste positive Flanke von TKT, um es zu wiederholen, wirkt also am Eingang 2 von FF-WTR-ZIB und setzt dieses auf L0. Die zweite positive Flanke schaltet FF-ZSP-ZL0 auf L0 über Eingang 1, der dritte TKT-Impuls kehrt wieder den Zustand des ersten Flipflops um, diesmal über Eingang 3; schließlich wird das zweite Flipflop vom vierten TKT-Impuls umgesetzt, worauf der Vorgang wieder von vorn beginnt.

Der Ringschalterzyklus läuft damit in vier Phasen ab, die in zeitlicher Reihenfolge den Signalen WTR, ZSP, ZIB und ZL0 entsprechen. Ihren positiven Flanken sollen die Zeitpunkte XT 1, XT 2, XT 3 und XT 4 zugeordnet werden, um den Programmablauf nach Zeitrelationen zu orientieren. XT 1–3 bedeutet beispielsweise die Dauer von XT 1 bis XT 3. T heißt Zeit, und der Buchstabe X soll sich auf den Ringschalter beziehen. Bei Bezug auf den Schrittschalter wird X durch andere Zeichen ersetzt, die den zeitabhängigen Zuständen der Schrittschalterflipflops entsprechen.

Die vier Impulse vom Ringschalter haben Takt- und Befehlsaufgaben und zwar:

XT 1 WTR Weiterschalten zur nächsten Stelle, XT 1–3,
XT 2 ZSP Zwischenspeichern, XT 2–4..

Tabelle 2. Bezeichnungen der Bauelemente, Leitungen, Funktionen und Signale

Bezeichnung	in Bild	Bedeutung	Bezeichnung	in Bild	Bedeutung
AA 1, 2, 3	9	Ausgänge Speicher A	REW	11	Rechnung Weiter
AB 1, 2, 3, U	8	Impulsausgänge Speicher B	SAX	9	Von Speicher A, WAHR wenn L-Bit
ADD	11	Addition	SB 1, 2, 3, U	8	Speicher B
ADK	9	bei Addition Komplement	SBX	9	WAHR, wenn L-Bit aus Speicher B
ADX	9	WAHR, wenn Addition und L-Bit	SCN	11	Speicher C Null
AOS	11	Addition oder Subtraktion	SGO	11	Schrittschalter weiter bei Multiplikation oder Division
AOB	9	NICHT Speicher A und NICHT Speicher B	SHA, B, 1, 2, 3, U	7	Schrittschalter-Flipflops
AOM	11	Addition oder Multiplikation	STA	11	Start
DDN	10	Dividend Null	SUB	11	Subtraktion
DHA	11	Division Halt	SOD	11	Subtraktion oder Division
DIV	11	Division	SUK	9	Komplement bei Subtraktion
DPZ	11	Zählimpuls bei Division	SUX	9	WAHR, wenn Subtraktion und kein L-Bit
DST	11	Division Stop	TKT	5	Takt
DVS	11	Verhindert bei Division	UBJ	9	Übertrag bei jetziger Rechnung
		den ersten Zählimpuls	UBV	9	Übertrag von voriger Rechnung
EB 1, 2, 3, U	8	Eingänge Speicher B	UTJ	9	Übertrag von jetziger Rechnung
END	11	Ende der Rechnung	UTV	9	Übertrag von voriger Rechnung
HOU	9	NICHT erster Halbbaddierer und NICHT Übertrag	V01	10	Vergleichsglied 2. Nr. 1
LFF	11	Lösche Flipflops	VGL	10	Speicher C und Zähler gleich
LSB	11	Lösche Speicher B	WTR	5	Weiterschalten zur nächsten Stelle
LZA	11	Lösche Zähler	ZA 1, 2, 3, 4	10	Zählerflipflops
MOD	11	Multiplikation oder Division	ZIB	5	Inhalt des Zwischenspeichers in den Speicher B bringen
MPV	11	Vergleichsimpuls für Multiplikation	ZLO	5	Zwischenspeicher Löschen
MPZ	11	Zählimpuls bei Multiplikation	ZSP	5	Zwischenspeicher
MUL	11	Multiplikation	ZWS	8	Zwischenspeicher
NDN	10	Nur Divisor Null	1 HA	9	Erster Halbbaddierer
NUM	11	Vergleichsimpuls für Null-Multiplikation	1 HU	9	Erster Halbbaddierer und Übertrag
PUV	11	Vergleichsimpuls	1 US	9	Erste Stelle und Subtraktion
PUZ	11	Zählimpuls	2 HA	9	Zweiter Halbbaddierer
RES	11	Rechnung Stop			

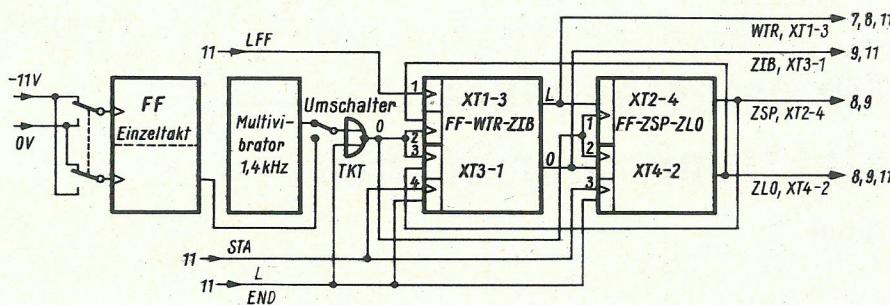


Bild 5. Ringschalter. Die Einzeltakt- oder Multivibratorimpulse setzen zwei Flipflops in zyklischer Form

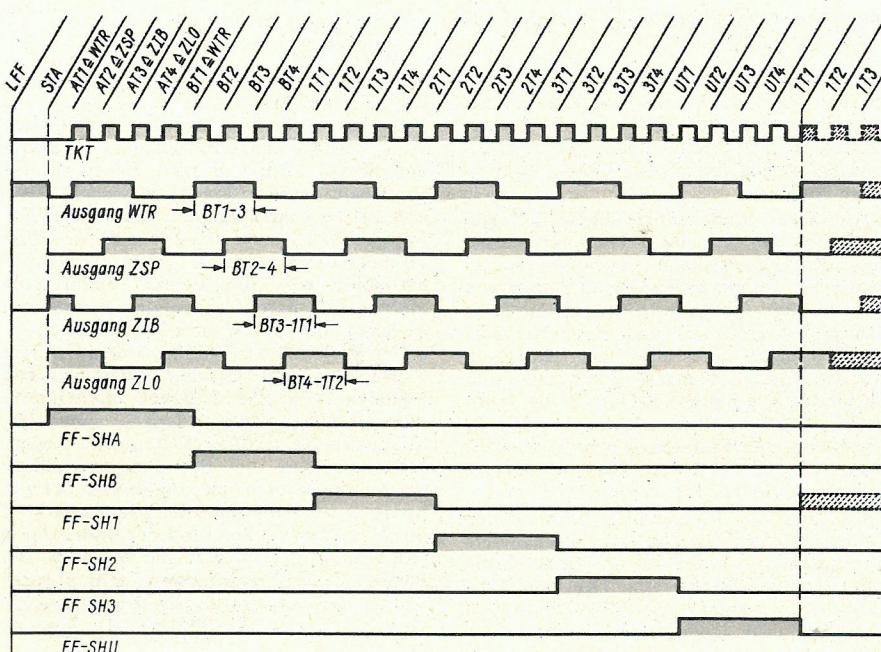


Bild 6. Impulschema des Ring- und Schrittschalters

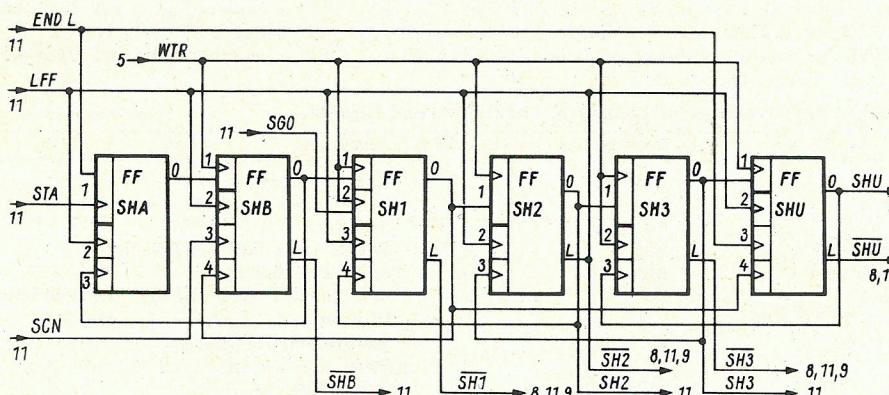


Bild 7. Der Schrittschalter wird vom Ringschalter derartig gesteuert, daß die sieben Flipflops nacheinander setzen. Mit einem Durchgang ist die Addition beendet

XT 3 ZIB Inhalt des Zwischenspeichers in den Speicher B tasten, XT 3-1,

XT 4 ZL0 Zwischenspeicher löschen.

Die Impulsstrukturen sind schematisch in Bild 6 wiedergegeben, wobei man mit dem Signal LFF beginnt.

Der Schrittschalter

Das Schaltbild des Schrittschalters zeigt Bild 7. Die sechs verwendeten Flipflops werden nacheinander vom Ringschalter gesetzt und rückgesetzt. Dabei werden als vornehmliche Aufgabe des Schrittschalters die Stellen der Zahlen in den Speichern A und B

schrittweise von den Flipflops SH 1, SH 2 und SH 3 ins Addierwerk übertragen. FF-SHA und SHB treffen dafür vorbereitende Maßnahmen, FF-SHU verwertet den Übertrag der Rechnung und beendet das Programm.

Die Schaltung wurde so ausgelegt, daß mit dem Setzen des nächsten Flipflops das zuletzt gesetzte wieder in seine Ursprungsstellung zurückkehrt. Zu Anfang stehen alle Flipflops, schon durch das Löschesignal LFF, in Stellung 0L. Der Schrittschalter-Durchlauf beginnt wie beim Ringschalter mit dem Startsignal STA. Obwohl END mit STA über den Ringschalter und die Operationssteuerung FALSCH wird, läßt die

Verzögerung über den Umweg gerade noch so viel Zeit, um die Setzbedingung für FF-SHA am Eingang mit STA und END zu erfüllen.

SHA bereitet nun den ersten Eingang von SHB vor. Mit WTR zur Zeit XT1 werden darauf SHB und später entsprechend alle weiteren Flipflops über Eingang 1 gesetzt. Das mit dem Setzen von SHB am oberen Ausgang erscheinende L-Signal bereitet Eingang 1 von Flipflop SH 1 vor und bringt FF-SHA über Eingang 3 wieder in Grundstellung. Dieser Ablauf wiederholt sich bei den folgenden Flipflops, bis FF-SHU gesetzt ist.

Das Flipflop SHU kann bei Addition und Subtraktion von keinem folgenden Flipflop zurückgesetzt werden. Der Ausgang SHU bewirkt aber über die Operationssteuerung zum nächsten Zeitpunkt von XT 1 ein WAHRES END-Signal, das über Eingang 3 FF-SHU wieder in Grundstellung bringt. Addition und Subtraktion sind damit beendet.

Anders liegen die Verhältnisse bei Multiplikation und Division. Sie werden auf eine wiederkehrende Addition bzw. Subtraktion zurückgeführt. Die Operationssteuerung wird deswegen auch nicht nach einmaligem Schrittschalterdurchgang ein WAHRES END-Signal liefern, sondern mit dem Signal SGO den zweiten Eingang von FF-SH 1 vorbereiten, so daß mit dem nächsten WTR der Schrittschalterdurchgang erneut eingeleitet wird.

Mit dem erneuten Setzen von FF-SH 1 bringt in diesem Fall der Ausgang SH 1 das Flipflop SHU über Eingang 4 wieder in Stellung 0L. Der Durchlauf wird so oft wiederholt, bis die Operationssteuerung das Ende der Rechnung feststellt und END WAHR macht. Da die Flipflops SHA und SHB schon beim ersten Schrittschalterdurchgang ihre Aufgabe erfüllt haben und am eigentlichen Rechengang, der von den übrigen vier Flipflops besorgt wird, unbeteiligt sind, bleiben sie bei wiederholten Durchläufen unberücksichtigt.

In Bild 6 sind die Impulse des Schrittschalters in Relation zu den Ringschalterimpulsen aufgetragen. Die punktierten Impulse bedeuten die Zustände bei wiederholtem Schrittschalterdurchlauf.

Speicher B

Der Speicher B (Bild 8) hat zwei Aufgaben: Er soll Operanden und Rechenergebnisse speichern. Bei Addition, Subtraktion und Division werden ihm ein Summand oder der Minuend bzw. der Dividend mit den Schaltern S 1, S 2, und S 3 eingegeben. Als Resultate halten die Flipflops die Summe, die Differenz oder das Produkt bzw. den Rest der Division fest, bis durch Tastendruck (Operationssteuerung) die Löschesignale LFF oder LSB (Lösche Speicher B) alle vier Flipflops in Stellung 0L bringen.

FF-SBU enthält nach der Addition und Multiplikation den eventuell auftretenden Übertrag, den ein Lämpchen als Überlauf des Speichers B anzeigt. Bei Subtraktion und Division macht FF-SBU mit seiner Stellung L0 eine negative Zahl kenntlich.

Den Flipflops SB 1, SB 2 und SB 3 sowie den Schaltern S 1, S 2 und S 3 entsprechen der Reihe nach die Stellenwerte 2^0 , 2^1 und 2^2 der Dualzahlen. In Tabelle 3 sind die Dualzahlen von 0 bis 15 aufgeführt. Da nur drei Schalter vorhanden sind, kann der Rechner auch nur mit dreistelligen Binärzahlen, d. h. bis zur Dezimalzahl 7, operieren.

Will man z. B. die Zahl 5 eingeben, so muß entsprechend LOL der erste und der letzte Schalter betätigt werden. Dabei bringt

das L-Signal, das der Spannung von 0 V entspricht, die Flipflops SB 1 und SB 3 in Stellung L0. Ihre unteren Ausgänge schalten mit den 0-Werten über Treiber die Lämpchen 2⁰ und 2² ein ($2^0 + 2^2 = 5$) und erzeugen, nachdem man mit der Starttaste den Schrittschalter in Tätigkeit gebracht hat, L-Impulse an den NOR-Glied-Ausgängen AB 1 und AB 3.

Der Impuls AB 1 erscheint mit dem L-Wert von SH 1 für die Dauer von 1 T 1 bis 2 T 1 (siehe Bild 6). AB 2 ist von 2 T 1 bis 3 T 1 WAHR, AB 3 von 3 T 1 bis UT 1 und AB 4 von UT 1 bis zum Anfang von END bzw. 1 T 1. Die Ausgänge führen aufgrund der NOR-Bedingung aber nur dann einen Impuls, wenn die entsprechenden Flipflops im Speicher B gesetzt sind. Der Speicherinhalt wird also stellenweise über AB 1, AB 2 und AB 3 im Takte des Schrittschalters in das Addierwerk gegeben.

Das Ergebnis einer Stellenrechnung ist zur gleichen Zeit mit 0 oder L am Eingang des Zwischenspeichers ZWS als 2 HA vorhanden und setzt, wenn 2 HA WAHR ist, das Flipflop ZWS mit dem Befehl ZSP (Zwischenspeichern). Ist das Rechenergebnis L, so steht FF-ZWS auf L0; ist das Resultat dagegen 0, so findet man den Zustand OL vor. Beide Ausgänge des Flipflops liegen an bestimmten Setz- bzw. Rücksetzeingängen sämtlicher Flipflops des Speichers B.

Die Ausgänge der NOR-Glieder EB 1 bis EBU liefern durch die NOR-Verknüpfung der Schrittschaltersignale mit WTR einen WAHREN Impuls für die Dauer von XT 3–1 zu einem Zeitpunkt, der der Stellenzahl des Schrittschalters entspricht. Während also die Stelle 2⁰, 2¹, 2² oder Überlauf (gemäß der Schrittschalterstellung) bearbeitet wird, erscheint ein WAHREN Impuls EB 1, EB 2, EB 3 oder EBU (gleichzeitig mit ZIB) am Eingang des Flipflops SB 1, SB 2, SB 3 oder SBU. EB 1, EB 2, EB 3 oder EBU setzt nun zur Zeit XT 3 die Seite des entsprechenden Flipflops im Speicher B, die entweder von ZWS oder ZWS vorbereitet wurde.

An einem Beispiel mit der zweiten Binärstelle soll der Vorgang noch einmal erklärt werden: Der Schalter S 2 wurde vorher gedrückt, so daß FF-SB 2 auf L0 steht. Für die Zeit 2 T 1 bis 3 T 1 ist \overline{SH}_2 WAHR. \overline{SH}_2 erzeugt mit dem unteren Ausgang von FF-SB 2, der auch FALSCH ist, für die Zeit 2 T 1 bis 3 T 1 einen WAHREN Impuls AB 2. Zur gleichen Zeit führt 2 HA das Rechenergebnis, das mit 0 angenommen werden soll. FF-ZWS wurde spätestens zur Zeit 1 T 4 durch ZL0 in den Zustand OL gebracht. ZSP wird zum Zeitpunkt 2 T 2 WAHR, kann aber FF-ZWS nicht setzen, da 2 HA FALSCH ist. Damit ist das Resultat gespeichert. ZWS hat nun L-Wert und bereitet an jedem Flipflop des Speichers B einen Rücksetzeingang

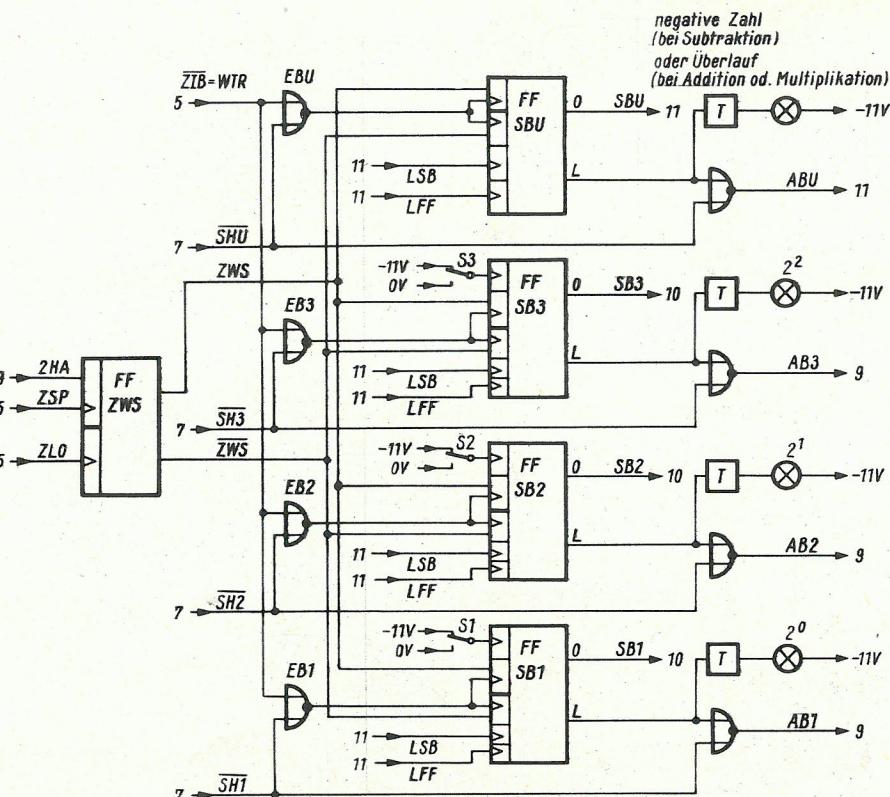


Bild 8. Speicher B (Akkumulator) enthält das Rechenergebnis, das mit Lämpchen angezeigt wird.
T kennzeichnet Treiber für Lämpchen

vor. WTR wird zur Zeit 2 T 3 FALSCH (entspricht dem WAHREN Befehl ZIB) und macht zu diesem Zeitpunkt den Ausgang EB 2 WAHR. Somit wird FF-SB 2 zum Zeitpunkt 2 T 3 zurückgesetzt. Das Signal \overline{SH}_2 nimmt zur Zeit 3 T 1 wieder WAHREN Wert an und schließt damit den Rechengang der zweiten Binärstelle ab.

Addition und Subtraktion

Die Addition von Binärzahlen ist ein sehr einfacher Rechenvorgang, wenn man sich folgendes merkt:

$$\begin{aligned} 0 + 0 &= 0 \quad \text{Übertrag } 0 \\ 0 + L &= L \quad \text{Übertrag } 0 \\ L + L &= 0 \quad \text{Übertrag } L \end{aligned}$$

Der hier beschriebene Rechner arbeitet nach dem Serienprinzip, d. h. bei mehrsteligen Operanden werden jedes Bit einzeln, alle Bits nacheinander addiert, wobei der Schrittschalter mit der niedrigsten Binärstelle beginnt. Dabei führen zwei Halbaddierer die Addition einer Stelle in zwei Schritten durch.

Mit dem ersten Schritt werden die beiden von den Speichern A und B kommenden Zahlen verglichen. Sind sie gleich, gibt der erste Halbaddierer die Summe 0 aus. Haben sie dazu noch einen L-Wert, so wird ein Übertrag ausgegeben, den der Rechner bis zur nächsten Stellenaddition speichert. Im zweiten Halbaddierer vollzieht sich der gleiche Prozeß. Mit ihm wird der Übertrag der vorigen Rechnung zur Summe der beiden vom ersten Halbaddierer verarbeiteten Stellen addiert. Dabei kann wieder ein Übertrag auftreten. Niemals aber erhält man von beiden Halbaddierern einen Übertrag. Deswegen kann man mit beiden Übertragsausgängen ein Flipflop setzen.

Die Subtraktion führt man durch, indem man das Zweierkomplement des Subtrahenden zum Minuenden addiert. Das Zweierkomplement einer Dualzahl bildet die Differenz zwischen Subtrahend und der Dualzahl

einer Zweierpotenz, deren Exponent gleich der Stellenzahl des binären Subtrahenden ist. Das Zweierkomplement von LOL ist somit $L000 - LOL = LOL$.

Der Subtrahend ist aber beliebig lang, wenn man ihm eine Reihe von Nullen voranstellt; also ist das Zweierkomplement von ...000LOL auch

$$L00000000 - \dots 000LOL = 0L...LLLOL$$

Das Einerkomplement bildet man, indem der Subtrahend nicht von L...000, sondern von L...LLL abgezogen wird. Damit ist das Einerkomplement um Eins kleiner als das Zweierkomplement. Man erhält das Zweierkomplement wieder, wenn man zum Einerkomplement L addiert. Das Einerkomplement von LOL ist

$$LLLL - LOL = 0L00$$

Dabei erkennt man, daß das Einerkomplement die inverse Bitfolge des Subtrahenden aufweist, d. h. 0 und L werden gegeneinander vertauscht.

Der Rechner subtrahiert bei dem Beispiel LL0 – LOL folgendermaßen: Das 2⁰-Bit des Subtrahenden wird invertiert und zur gleichen Stelle des Minuenden addiert:

$$0 + \text{NICHT } L = 0 + 0 = 0, \quad \text{Übertrag } = 0$$

Zusätzlich addiert der Rechner einmalig ein L zur Formung des Zweierkomplements:

$$0 + L = L, \quad \text{Übertrag } = 0$$

Das ist die erste Stelle des Ergebnisses. Die zweite Stelle:

$$L + \text{NICHT } 0 = L + L = 0, \quad \text{Übertrag } = L$$

Dritte Stelle:

$$L + \text{NICHT } L + \text{Übertrag } = L + 0 + L = 0, \quad \text{Übertrag } = L$$

Ist der dreistellige Minuend größer als der dreistellige Subtrahend, so ergibt die Addition der dritten Stelle immer einen Übertrag.

Der größte Operand, der dem Rechner eingegeben werden kann, ist dreistellig. Der Schrittschalter führt aber mit seinem Flipflop FF-SHU einen vierten Rechengang

Tabelle 3. Dualzahlen von 0...15

Dezimal	Dual			
0	0	0	0	0
1	0	0	0	L
2	0	0	L	0
3	0	0	L	L
4	0	L	0	0
5	0	L	0	L
6	0	L	L	0
7	0	L	L	L
8	L	0	0	0
9	L	0	0	L
10	L	0	L	0
11	L	0	L	L
12	L	L	0	0
13	L	L	0	L
14	L	L	L	0
15	L	L	L	L

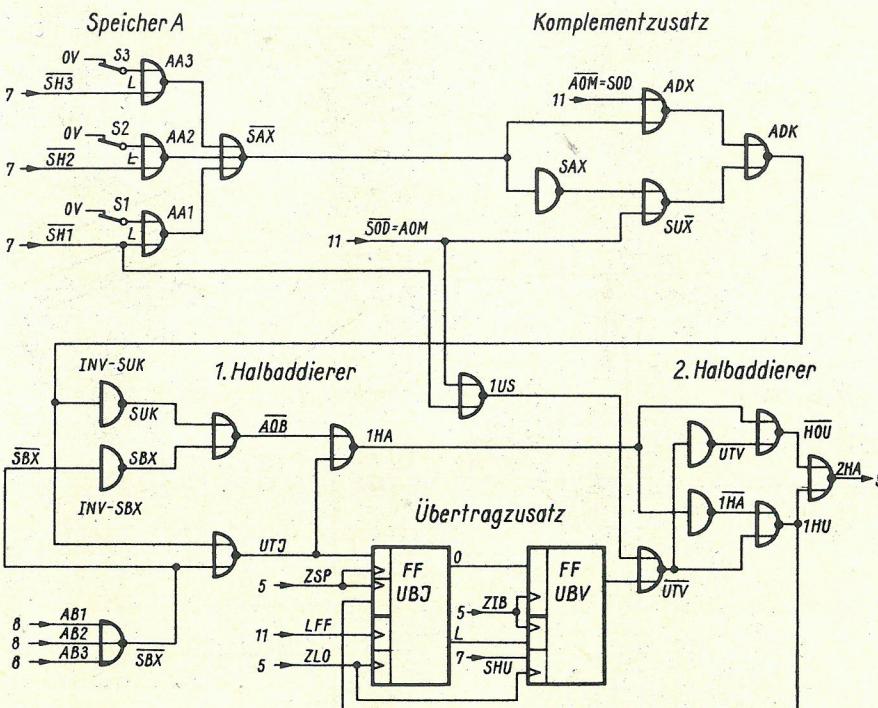


Bild 9. Speicher A, Komplement- und Übertragzusatz und Addierwerk, das aus zwei Halbaddierern besteht

durch, wofür im Speicher B das Flipflop SBU vorgesehen ist. Bei der Berechnung der vierten Stelle sind immer der Minuend und Subtrahend 0. Der Subtrahend wird aber invertiert und addiert. Der Übertrag ist L. Also:

$$0 + \text{NICHT } 0 + \text{Übertrag } L \\ = 0 + L + L = 0, \text{ Übertrag } L$$

Der Übertrag der vierten Stelle wird nicht mehr verwertet. Das angeführte Beispiel ergab somit:

$$LLO - LOL = 000L$$

Ist der Minuend kleiner als der Subtrahend, erhält man nach Berechnung der dritten Stelle keinen Übertrag, und die vierte Stelle ergibt:

$$0 + \text{NICHT } 0 + \text{Übertrag } 0 \\ = 0 + L + 0 = L$$

Das Flipflop SBU im Speicher B wird damit gesetzt und zeigt mit seinem Lämpchen 2³ eine negative Zahl an. Die negative Zahl wird aber als Komplementwert gespeichert, z. B. ist $-1 = 0 - L = \dots LLLL$.

Speicher A und Addierwerk

Die Schaltung in Bild 9 läßt sich unterteilen in Speicher A, Addierwerk, Komplement- und Übertragzusatz. Bei Addition, Subtraktion, Multiplikation und Division wird dem Speicher A entsprechend ein Summand, der Subtrahend, der Multiplikand oder der Divisor eingegeben.

Während im Speicher B die Eingabedaten durch Ergebnisspeicherung verlorengehen, bleibt im Speicher A der Operand erhalten, solange die Stellschalter S 1, S 2, S 3, die allein den Speicher A bilden, in ihrer Stellung der Binärverschlüsselung des Operanden entsprechen.

Ein geöffneter Schalter entspricht dem L-Bit einer Zahl. Bestimmt zum Beispiel der Schrittschalter im Augenblick den Rechengang der zweiten Stelle mit seinem FALSCHEN Signal SH 2, so wirkt das NOR-Glied AA 2, wenn der Schalter S 2 geöffnet ist, als Inverter und erzeugt als einziges der drei NOR-Glieder AA 1...AA 3 ein L-Signal,

was zu einem 0-Ausgang von NOR-SAX führt. SAX ist also 0, wenn der Operand ein L-Bit aufweist. Dabei soll hier und auch weiterhin vorausgesetzt werden, daß der Schrittschalter sich in der zur besprochenen Binärstelle gehörigen Stellung befindet.

SAX ist das Eingangssignal des Komplementzusatzes. Je nach der eingestellten Operation ist entweder AOM (Addition oder Multiplikation) oder SOD (Subtraktion oder Division) WAHR. Danach nimmt ADX L-Wert an, wenn addiert werden soll und eine Zahl vorhanden ist; SUX ist WAHR, wenn subtrahiert werden soll und keine Zahl vorhanden ist. Am Ausgang ADK des Komplementzusatzes sollte bei Subtraktion eigentlich der Komplementwert erscheinen, er tritt jedoch bei Addition auf. Das hat

Tabelle 4. Der 1. Halbaddierer mit Komplementbildung und der 2. Halbaddierer

Bit-Speicher A	Bit-Speicher B												
	SAX	SAX	AOM	SUX	SOD	ADX	ADK	SUK	SBX	SBX	AOB	UTJ	1. HA
0 L 0	L 0 0 0 0	0	L 0 0 0 0	L 0 0 0 0	L 0 0 0 0	L 0 0 0 0	L 0 0 0 0	L 0 0 0 0	0	0	0	0	0
0 L 0	L 0 0 0 0	0	L 0 0 0 0	L 0 0 0 0	L 0 0 0 0	L 0 0 0 0	L 0 0 0 0	L 0 0 0 0	0	0	0	0	L
L 0 L	L 0 0 0 L 0	0	L 0 0 0 L 0	L 0 0 0 L 0	L 0 0 0 L 0	L 0 0 0 L 0	L 0 0 0 L 0	L 0 0 0 L 0	0	0	0	0	L
L 0 L	L 0 0 0 L 0	0	L 0 0 0 L 0	L 0 0 0 L 0	L 0 0 0 L 0	L 0 0 0 L 0	L 0 0 0 L 0	L 0 0 0 L 0	0	0	0	0	L
0 L 0	0 L 0 0 L 0	0	0 L 0 0 L 0	0 L 0 0 L 0	0 L 0 0 L 0	0 L 0 0 L 0	0 L 0 0 L 0	0 L 0 0 L 0	0	0	0	0	L
0 L 0	0 L 0 0 L 0	0	0 L 0 0 L 0	0 L 0 0 L 0	0 L 0 0 L 0	0 L 0 0 L 0	0 L 0 0 L 0	0 L 0 0 L 0	0	0	0	0	L
L 0 L	0 L 0 0 L 0	0	0 L 0 0 L 0	0 L 0 0 L 0	0 L 0 0 L 0	0 L 0 0 L 0	0 L 0 0 L 0	0 L 0 0 L 0	0	0	0	0	L
L 0 L	0 L 0 0 L 0	0	0 L 0 0 L 0	0 L 0 0 L 0	0 L 0 0 L 0	0 L 0 0 L 0	0 L 0 0 L 0	0 L 0 0 L 0	0	0	0	0	L

1. HA Entweder 1 US oder UBV	2. HA						
	UTV	UTV	1. HA	HOU	1. HA	2. HA	
0 0	L 0	0 L	0 L	L L	0 0	0 0	0
0 L	0 L	L 0	L L	0 0	0 0	0 L	L
L 0	0 L	0 L	0 0	0 0	0 0	0 L	L
L L	0 L	0 L	0 0	0 0	L 0	0 0	0

seine Ursache in der ausschließlichen Verwendung von NOR-Gliedern, deren Eigenschaft der Signal-Umkehrung sich manchmal vorteilhaft und zuweilen ungünstig auswirkt. Deswegen muß man wie hier mit INV-SUK und INV-SBX invertieren, nur weil ein NOR-Glied das Signal umgedreht hat.

AB 1, AB 2 und AB 3 sind die Ausgänge des Speichers B, von denen jeweils nur einer aktiv ist und bei L-Bit SBX FALSCH macht. Sind SBX und ADK beide 0, d. h. addiert man L und L, erhält man einen WAHREN Übertragsausgang UTJ (jetzige Rechnung), der den Setzeingang von FF-UBJ vorbereitet und mit dem FALSCHEN Signal AOB [nicht (Speicher A oder B)] einen FALSCHEN Ausgang des ersten Halbaddierers erwirkt.

FF-UBV speichert den Übertrag der vorigen Stellenrechnung, der zur Summe des ersten Halbaddierers im folgenden zweiten Halbaddierer zugezählt werden muß. Beim Rechengang der ersten Stelle hat UBJ – da keine vorige Operation erfolgte – den Inhalt 0, und UBV kann nicht WAHR sein. Dafür wird bei erster Stelle und Subtraktion mit WAHREM 1US aus dem Einerkomplement das Zweierkomplement erstellt.

Entweder 1 US oder UBV wird mit NOR-UTV invertiert. Als Eingänge des letzten NOR-Gliedes des zweiten Halbaddierers findet man die Signale 1 HU (erster Halbaddierer und Übertrag) und HOU (nicht (erster Halbaddierer oder Übertrag), das ist dasselbe wie nicht erster Halbaddierer und nicht Übertrag), die mit 2 HA das WAHRE Ergebnis des Rechengangs liefern. 1 HU ist zugleich der Übertrag des zweiten Halbaddierers, der zwecks Addition zur nächsten Stelle in FF-UBJ gespeichert wird.

Beim Übertragzusatz, der aus den beiden Flipflops UBJ und UBV besteht, läuft der gleiche Vorgang ab wie beim Zwischenspeicher. Der Übertrag der jetzigen Rechnung wird mit ZSP zur Zeit XT 2 auf das Flipflop UBJ übertragen; im nächsten Moment zur Zeit XT 3 übernimmt ihn FF-UBV in gleicher Weise wie der Speicher B. Vorher mußte aber der Übertrag der vorigen Rechnung verwertet werden. Das geschah mit dem Zwischenspeicher, der zur gleichen Zeit durch denselben Befehl ZSP das Ergebnis 2 HA der augenblicklichen Rechnung aufnahm wie FF-UBJ ihren Übertrag.

Während FF-UBJ vor jeder nächsten Stellenrechnung mit ZLO wieder gelöscht wird, müssen die Zustände des Flipflops UBV die Zeit für die Verarbeitung aller Binärstellen überdauern. Erst am Ende der Rechnung erlaubt SHU das Löschen, damit bei einer neuen Rechenoperation das Ergebnis durch den eventuell noch bestehenden Übertrag nicht verfälscht wird.

Die Zustände der Signalleitungen für sämtliche möglichen Additionen und Subtraktionen sind zur besseren Übersicht in Tabelle 4 zusammengestellt. Der erste Teil bezieht sich auf die Komplementbildung und den ersten Halbaddierer, der zweite, kleinere Teil auf den zweiten Halbaddierer.

(Fortsetzung folgt)

Der vierte Farbfernseh-Übertragungswagen

Im Text dieses Beitrages in der FUNKSCHAU 1968, Heft 18, Seite 566, kam nicht zum Ausdruck, daß die vier Farbfernsehkameras mit jeweils drei Plumbicon-Aufnahmeröhren von der Firma Philips geliefert wurden.