



NOTE: This page provides a running history of changes for a multi-page drawing which cannot conveniently be re-issued completely after each change. When making a change, list for each page all before-and-after numbers (within reason; use judgement, and use "extensive" revision note if loss of past history is tolerable, or retype complete page) and associate with each a symbol made up of the change letter and a serial subscript to appear here and on the page involved (there enclosed in a circle, triangle, or other attention-getting outline).

[illegible]

Model No.	9820	Stock No.	
Title	FINAL TEST PROCEDURE - SYSTEM TEST		
Description			Date 12. August 1974
By	Dezider Hulko		Sheet No. 11 of 5
Supersedes			Drwg. No. A-09820-95009-1

FINAL TEST PROCEDURE

9820 SYSTEM TEST

=====

1.1 ALLGEMEINES

=====

Diesen Test müssen alle 9820 passieren, die von -hp-
GmbH verkauft werden.

1.2 TEST METHODE

Peripherie Geräte werden mit ET 7092 nachgebildet.
Ein absolutes Programm steuert den Datenfluß vom
Calculator zu ET 7092 und übernimmt auch den Vergleich
von geänderten Daten die von ET 7092 zurückgegeben werden.

1.3 TEST GERÄTE

- a) Vier ET 7092 eingestellt auf select code 1, 2, 4, 8
- b) Cassette & Special Program Block 11223A
- c) Magnet Karte mit System Test Programm

				TITLE FINAL TEST PROCEDURE 9820 SYSTEM TEST	
				BY Dezider Hulko	DATE 12. August 1974
				APPROVED	SHEET NO 2 OF 5
LTR	PC	NO	APPR.	DATE	SUPERSEDED DWG. NO A-09820-95009-1

1.4

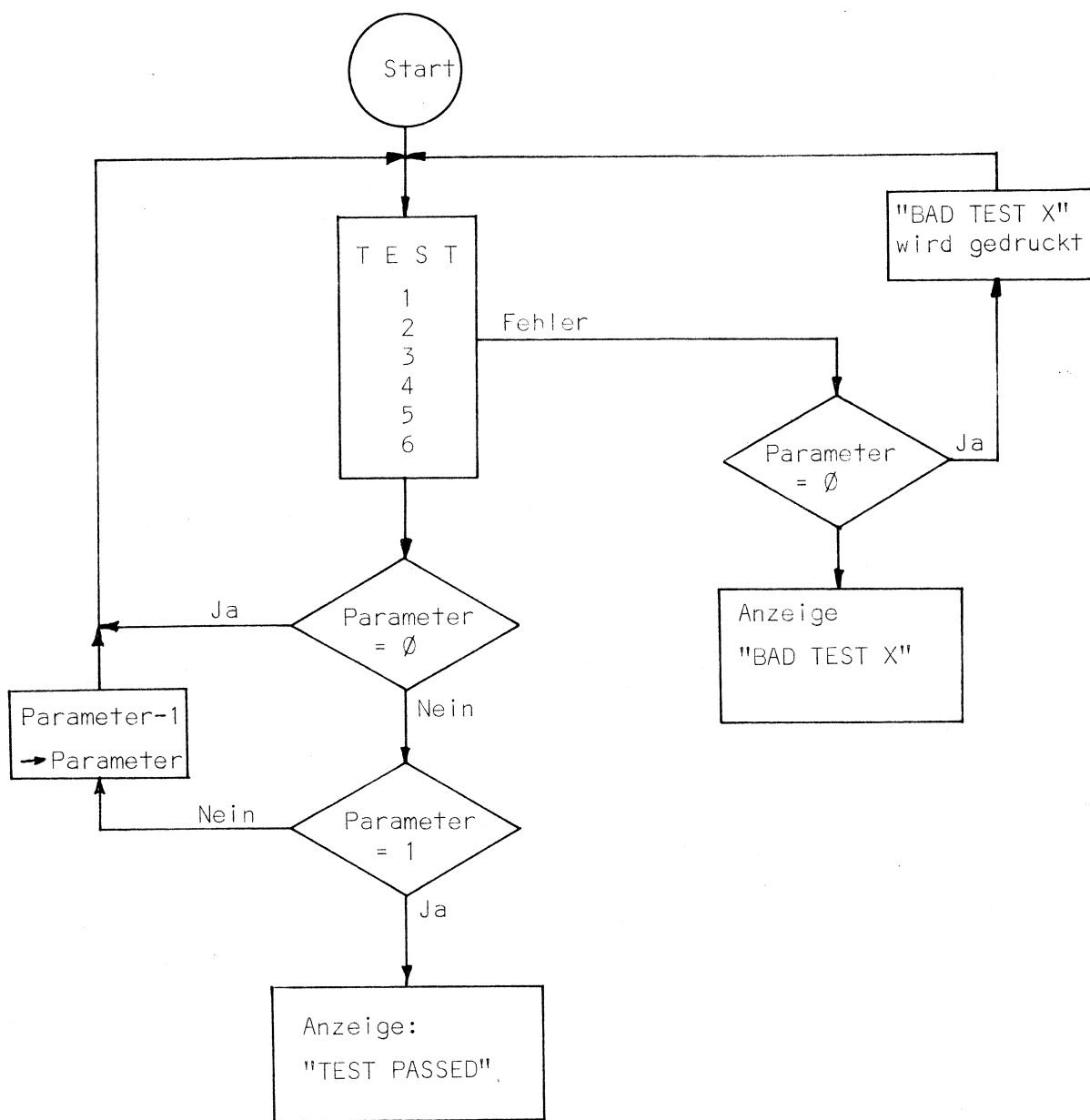
THEORIE

Test besteht aus 6 Teilen.
Einzelheiten über den Ablauf sind aus dem Fluß-
diagramm 1.5 zu entnehmen.

- a) Test No. 1 - Select Code Test
Geprüft wird, ob ET's mit SC 1, 2, 4, 8 ansprechbar sind. Zusätzlich werden alle anderen Select Codes auf nicht vorhandensein geprüft.
- b) Test No. 2 - Pattern test
Verschiedene Datenmuster werden zu ET 7092 geleitet und geprüft, ob von ET 7092 das jeweils invertierte Muster eingelesen werden kann.
- c) Test No. 3 - STC 1, C instruction test
Das Control Signal (CEO) wird nur kurz angelegt, trotzdem müssen die Daten richtig eingelesen werden.
- d) Test No. 4 - OTA Ø Test
8 bit Übertragung wird getestet.
- e) Test No. 5 - STF 1 Test
Das Einlesen von STATUS bits mit instruction STF wird überprüft.
- f) Test No. 6 - Interrupt Test
Die Schaltung für Interrupt Process an ET 7092 wird freigegeben und das Programm will Fehler anzeigen.
ET muß das Programm unterbrechen und zum Überspringen der Fehleranzeige zwingen.

				TITLE FINAL TEST PROCEDURE 9820 SYSTEM TEST	
				BY	DATE 12. August 1974
				APPROVED	SHEET NO 3 OF 5
				SUPERSEDED	DWG. NO A-09820-95009-1
LTR	PC	NO	APPR.	DATE	

1.5. Flußdiagramm 9820



X - Test No.

				TITLE FINAL TEST PROCEDURE 9820 SYSTEM TEST			
				BY		DATE 12. August 1974	
				APPROVED		SHEET NO 4 OF 5	
				SUPERSEDED		DWG. NO A-09820-95009-1	
LTR	PC	NO	APPR.	DATE			

1.6 TEST
====

1.6.1 Calculator ausschalten.
Alle vier ET 7092 einstecken, 11223A Block in
slot 1 stecken.

1.6.2 Calculator einschalten.

1.6.3 Programm einlesen: LOAD EXECUTE

1.6.4 Programm starten: *per Taste* CSP "I/O" EXECUTE

1.6.5 Programm ende: TEST PASSED

wird angezeigt, wenn Calculator in Ordnung ist.
Andernfalls angezeigte Fehlermeldung aufschreiben
und an Testtechniker weiterleiten.

Erhöhe die Tests
CSP "I/O", 10; EXECUTE

				TITLE	FINAL TEST PROCEDURE 9820	SYSTEM TEST
				BY		DATE 12. August 1974
				APPROVED		SHEET NO 5 OF 5
LTR	PC NO	APPR.	DATE	SUPERSEDED		DWG. NO A-09820-95009-1