

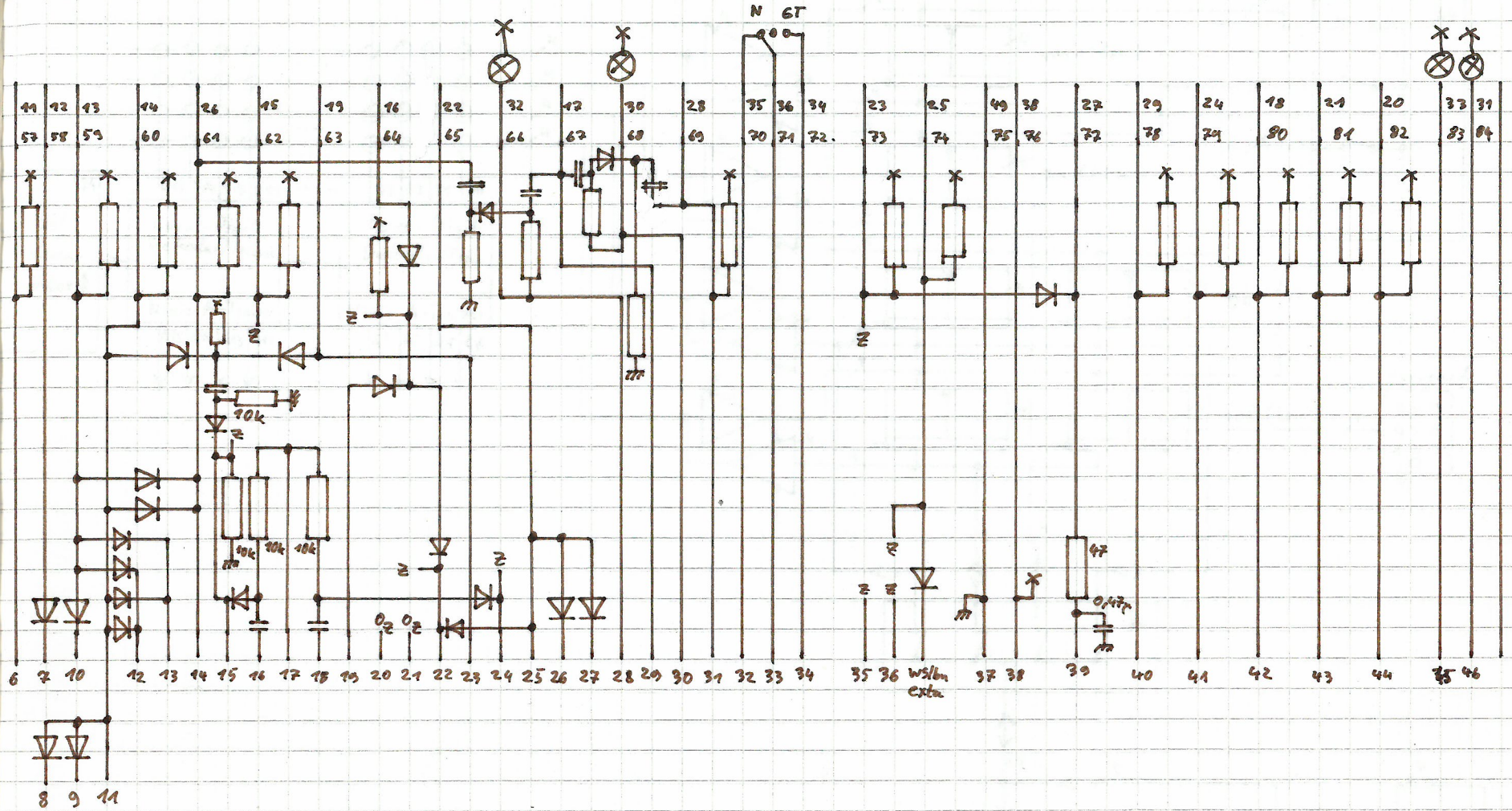
[illegible]

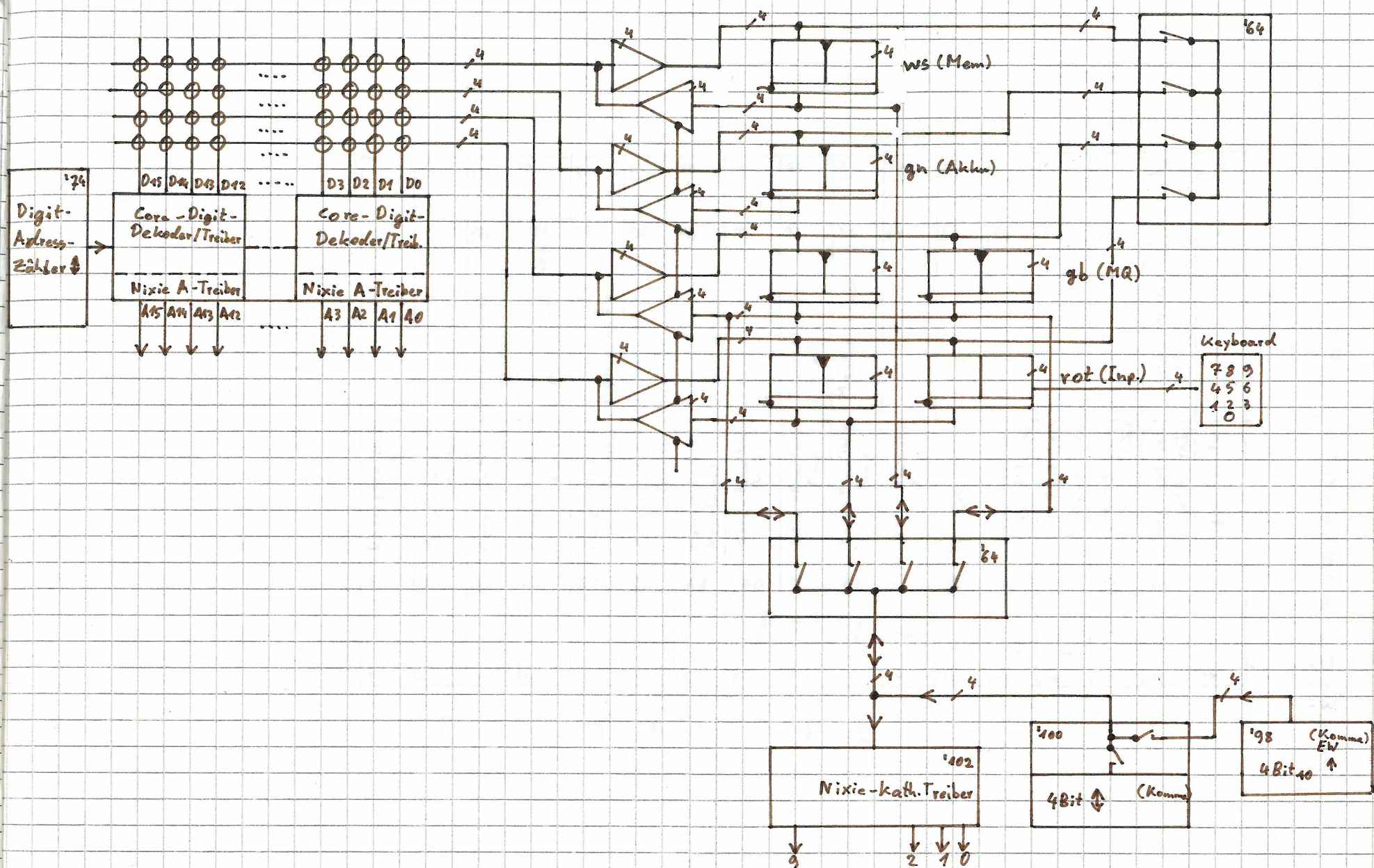
	74	72	72	72	core	70	70	70	70	68	66	66	66	66	64		
	--17--	--16--	--15--	--14--	--13--	--12--	--11--	--10--	--09--	--08--	--07--	--06--	--05--	--04--	--03--	--02--	--01--
							(rt)	(gb)	(gn)	(ws)	(rt)	(rt)	(gb)	(gb)	(gn)	(ws)	
A	..	..	..	..	..		..	..	..	..	..	..	..	..	..	..	.. A
B	===	17F	17H	17J	17K		78	29C	5B	3B	2B	11B 1.28	10B 1.29	1.30	1.32	8B	.. B
	==											===8===	=====				
C	===	=====	dgt3=====				7C	29B	5C	3C	2C	11C 1.25	10C 1.26	1.27	1.28	9C	8C .. C
	==											===4===	=====				
D	===	=====	dgt2=====				7D	28C	5D	3D	2D	11D 1.21	10D 1.22	1.23	1.24	9D	8D .. D
	==											===2===	=====				
E	===	=====	dgt1=====				7E	28B	5E	3E	2E	11E 1.17	10E 1.18	1.19	1.20	9E	8E .. E
	==											===1===	=====				
F	16B	=====	dgt0=====									6J	4M				.. F
												25B	7M	24F	====	..	..
H	15B	=====					6W	4W	3W	2W	t4	..		24C==	..	..	.. H
														====			
J	14B	25C	=====				6V	4V	3V	2V	t3		7F				.. J
K	13B	25D	=====				6U	4U	3U	2U	t2	23W	20T	..	18M	23V	.. K
L	18V	NXa3	NXa7	NXa11	NXa15		6T	4T	3T	2T	t1	23C	21S	..	20S	18S	.. L
M	18C	NXa2	NXa6	NXa10	NXa14		24L					6F	24H	20W	5F		.. M
N																	.. N -12V
P	=17=====	=16=====	=15=====	=14=====	=13=====	=12=====	=11=====	=10=====	=09=====	=08=====	=07=====	=06=====	=05=====	=04=====	=03=====	=02=====	=01=====
							(rt)	(gb)	(gn)	(ws)	(rt)	(rt)	(gb)	(gb)	(gn)	(ws)	
R																	.. R +4.5
S	22S	NT -4.5V										27S	27U	19Z	26B	26D	27V .. S
T	20D	30S +100V	=====				C5	C5	C5	C5		11L 1.1	10L 1.2	1.42	1.41	9L	8L .. T
												===1===	=====				
U	19X	NXa1	NXa5	NXa9	NXa13		C5	C5	C5	C5		11K 1.3	10K 1.4	1.40	1.39	9K	8K .. U
												===2===	=====				
V	25M	NXa0	NXa4	NXa8	NXa12		C5	C5	C5	C5		11J 1.5	10J 1.6	1.38	1.37	9J	8J .. V
												===4===	=====				</

cs: Kernspeicher sense (read/write)-Leitungen NXa : Leitungen zu den Anoden der Nixieanzeige
cd: Kernspeicher digit-Leitungen 1.nn : Anschlüsse Platine 01 (64)

CM CT G vt + R - ÷ gn * vt gn

MLT
Nⁿ RM IM WS qd
= = 11 * 96 WS (-12V)





Tastatur
↑

1	64	Datenpfad-Mux		
2	66	Core-Latch/Counter		
3	66	Core-Latch/Counter	Nixie 1aus 10 Dekoder / Treiber	32 102
4	66	Core-Latch/Counter	Komma Akku, MqH	31 101
5	66	Core-Latch/Counter	Komma EW	30 98
6	66	Core-Latch/Counter	Single Add Div / Mlt-Counter	29 96
7	68	Core-Latch Key-Input	Single Mult Divisions - Normierung	28 96
8	70 SM Mem	Core-Read/Wrt Amp	Transfer - Ctl Clr 92/ws	27 94
9	70 Akku	Core-Read/Wrt Amp	Transfer - Ctl Clr 96/94	26 92
10	70 Ma	Core-Read/Wrt Amp	Master-Clock	25 90
11	70 Ein	Core-Read/Wrt Amp		24 88
12	70	Core		23 86
13	72 12...15	Core Digit-Sel. Nixie-A-Treiber		22 84
14	72 8...11	Core Digit-Sel. Nixie-A-Treiber		21 82
15	72 4...7	Core Digit-Sel. Nixie-A-Treiber		20 80
16	72 0...3	Core Digit-Sel. Nixie-A-Treiber	Display-Select-Latch	19 78
17	74	Digit-Counter		18 76

ws gn gb gb gb rt ws gn gb rt

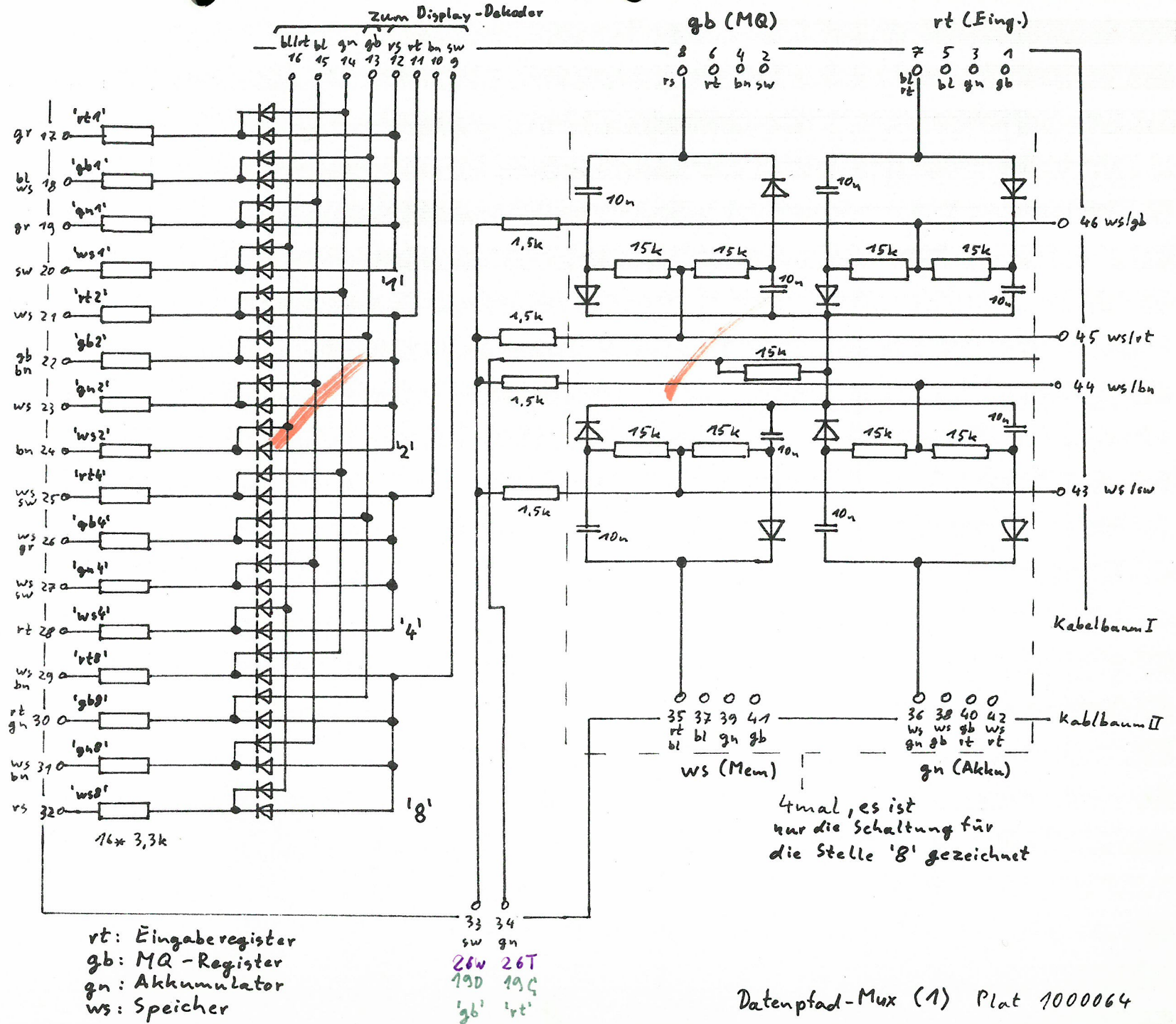
L
N
Y
X
E
C
T
S
P
D
Z
3
1
X
H
F
D
C
B
A

Plat.1 (1000064 2.3.87)

Diese Platine ist nicht steckbar, sondern direkt gelötet.
Auf ihr befinden sich zwei Multiplexer:

1. Der Display-Multiplexer, DSP-MUX (Anschlüsse 9..32) der die Inhalte der 4 Register (EW rt, AKKU gn, MQ gb, MEM ws) zum Displaydekoder auf Plat.32 und damit zu den Nixieröhren weiterleitet. Die Selekt-Eingänge 13..16 werden von den FF auf Plat.19 angesteuert, die Daten kommen von den Speicher-auffangregistern auf den Plat.2..6.
Ausgänge zum Displaydekoder: Anschlüsse 9..12
Der Display-Mux ist eine statische Dioden-UND-Gatteranordnung.

2. Der Datenpfadmultiplexer (Anschl. 1..8, 33..46). Hierbei handelt es sich um dynamische UND-Gatter, die bidirektional arbeiten und von denen jeweils zwei in Reihe geschaltet sind. Über die Anodenwiderstände (15k) werden die Dioden gesperrt oder in den Leitzustand gebracht, so dass Impulse, die von aussen auf die Platine kommen, über die 10nF-Kondensatoren auf den Mittelknoten gelangen, und über eine weitere derartige Kombination die Platine wieder verlassen.
Es müssen also immer zwei dieser UND-Gatter leiten, um einen Datentransport von einem Register zum anderen zu ermöglichen. Da hierbei die Daten der beiden daran beteiligten Register logisch ODER-verknüpft werden, muss das Datenzielregister zuvor gelöscht sein, damit sich ein sinnvolles Ergebnis einstellt.



Plat.2 MEM (ws) (1000066 2.3.87)
Plat.3 AKKU (gn)
Plat.4&5 MQ (gb)
Plat.6 EW (rt)

4 Bit Datenauffanglatch/Dezimalzähler für den Kernspeicher. Die Daten gelangen von den Kernspeicherleseverstärkern BCD-ziffernweise in diese Latches.

Eine weitere Datenquelle ist der Ausgang des Datenpfad-Mux, der sich ebenfalls an den Dateneingängen T..W dieser Platinen befindet: Eine Zahl kann so z.B. vom Ausgang des Leseverstärkers MQ zu Plat.6 (EW) umgeleitet werden, wodurch die Registertransportoperationen realisiert werden.

Die Ausgänge B..E können über Eingänge F gesperrt werden, über J und S kann das Latch gelöscht werden, und über M und H kann der Eingang des Latches gesperrt werden.

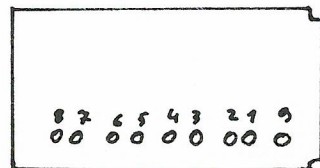
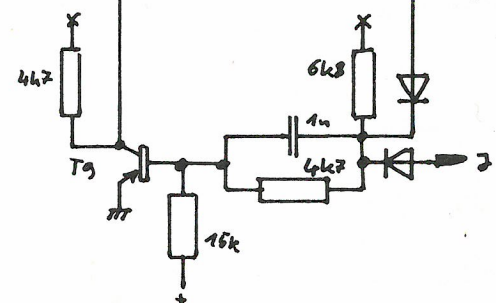
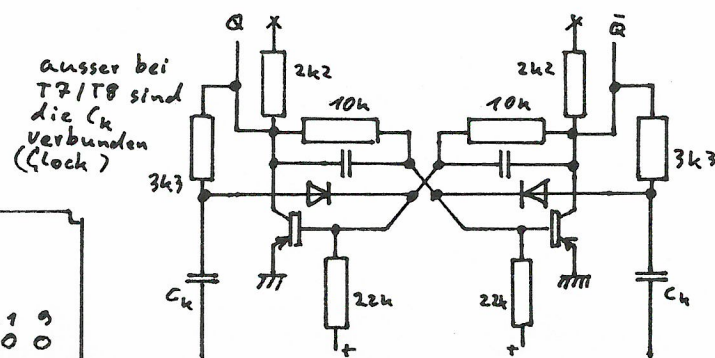
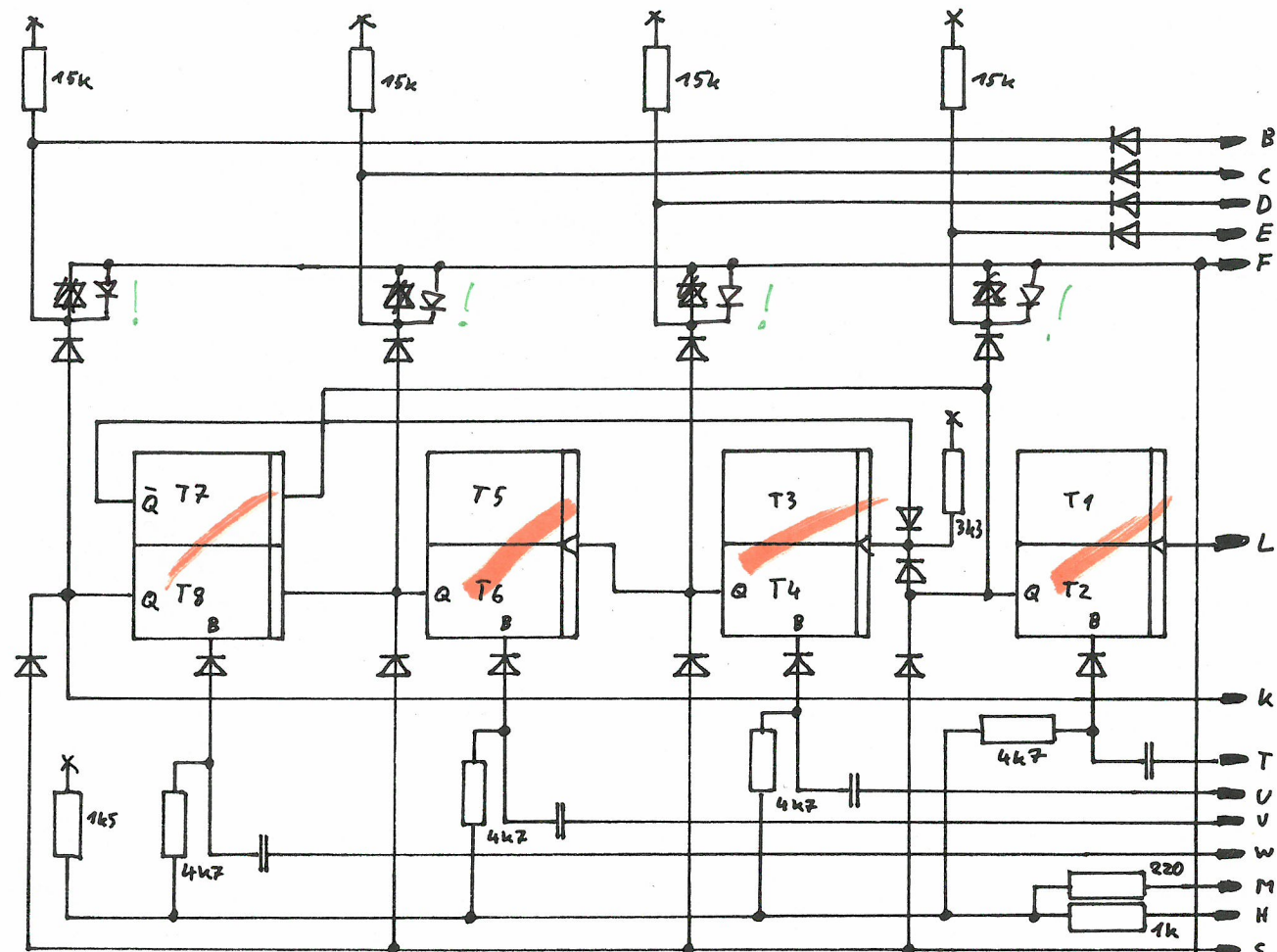
Die Registershiftoperationen des MQ werden dadurch bewirkt, dass die beiden Platinen 4 & 5, gesteuert über M und H immer abwechselnd eine Ziffer vom Speicher übernehmen, und dann das jeweils andere die im Takt zuvor schon gespeicherte Ziffer, gesteuert über F, wieder zurückschreibt. Durch Umkehr der Zählrichtung des Adresszählers auf Plat.17 kann die Shiftrichtung (links/rechts) gesteuert werden. Ähnlich geschieht das Shiften im EW, nur das hierbei nicht zwei Platinen ..66, sondern die Platine ..66/..68 beteiligt sind. AKKU und MEM können nicht shiften.

Eine weitere Möglichkeit liegt im Dezimalzählermodus dieser Platinen. Durch sie werden die arithmetischen Grundoperationen (ADD/SUB) realisiert: Bei der Additionen erhält der EW-Zähler in jeder Dezimalstelle über L zehn Impulse, er zählt also einmal "im Kreis" herum, und befindet sich hiernach wieder in seiner Ausgangsstellung. Ausgelöst durch den Übertragsimpuls, wenn der EW-Zähler von 9 auf 0 schaltet (K), werden die Impulse auch an den Zähl Eingang des AKKU, und in BA-Stellung GT auch an L von MEM angelegt, so dass diese beiden Zähler die Impulse des EW bis zu dessen Ausgangsposition mitzählen, was einer Addition entspricht. Beim Subtrahieren ist es umgekehrt: Die Zählimpulse gelangen von Anbeginn an zu AKKU (und MEM), und werden gestoppt, wenn EW über K seinen Übertrag nach aussen abgibt. Dies entspricht der Addition des Komplements von EW, und somit der Subtraktion.

Die Zählfunktion von Plat.5 (gb) wird bei MLT/DIV noch anders genutzt: Während Plat.4 (gb) bei MLT/DIV die Kernspeicher-Latchfunktion erfüllt, zählt Plat.5 immer die gerade abgearbeitete Stelle des ersten Faktors (MLT), bzw. des Quotienten (DIV).

Bei MLT erhält Plat.5 vor dem Start jeder Teilmultiplikation die entsprechende Stelle des ersten Faktors. Dann erfolgen zehn Registerdurchgänge wobei nach jedem Durchgang der Inhalt von Plat.5 um eins erhöht wird. Analog zur Addition wird mit der Addition EW + AKKU gestartet, wenn nach einem der Registerdurchgänge Plat.5 einen Übertrag an K ausgibt. Bei DIV enthält Plat.5 zunächst den Wert 0, und es wird so oft EW von AKKU subtrahiert, bis AKKU negativ wird. Jede dieser Subtraktionen wird von Plat.5 gezählt. Nach dem Ende der Teildivision mit Rückgängigmachung der letzten (überzähligen) Subtraktion, wird MQ, wie oben beschrieben, nach links geschiftet, wodurch der Inhalt von Plat.5 mit der frisch gebildeten Stelle Quotientenstelle automatisch in die niedrigwertigste Stelle des MQ-Registers geschoben wird.

64

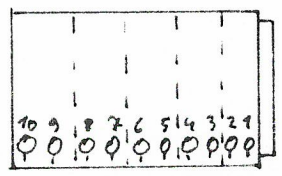
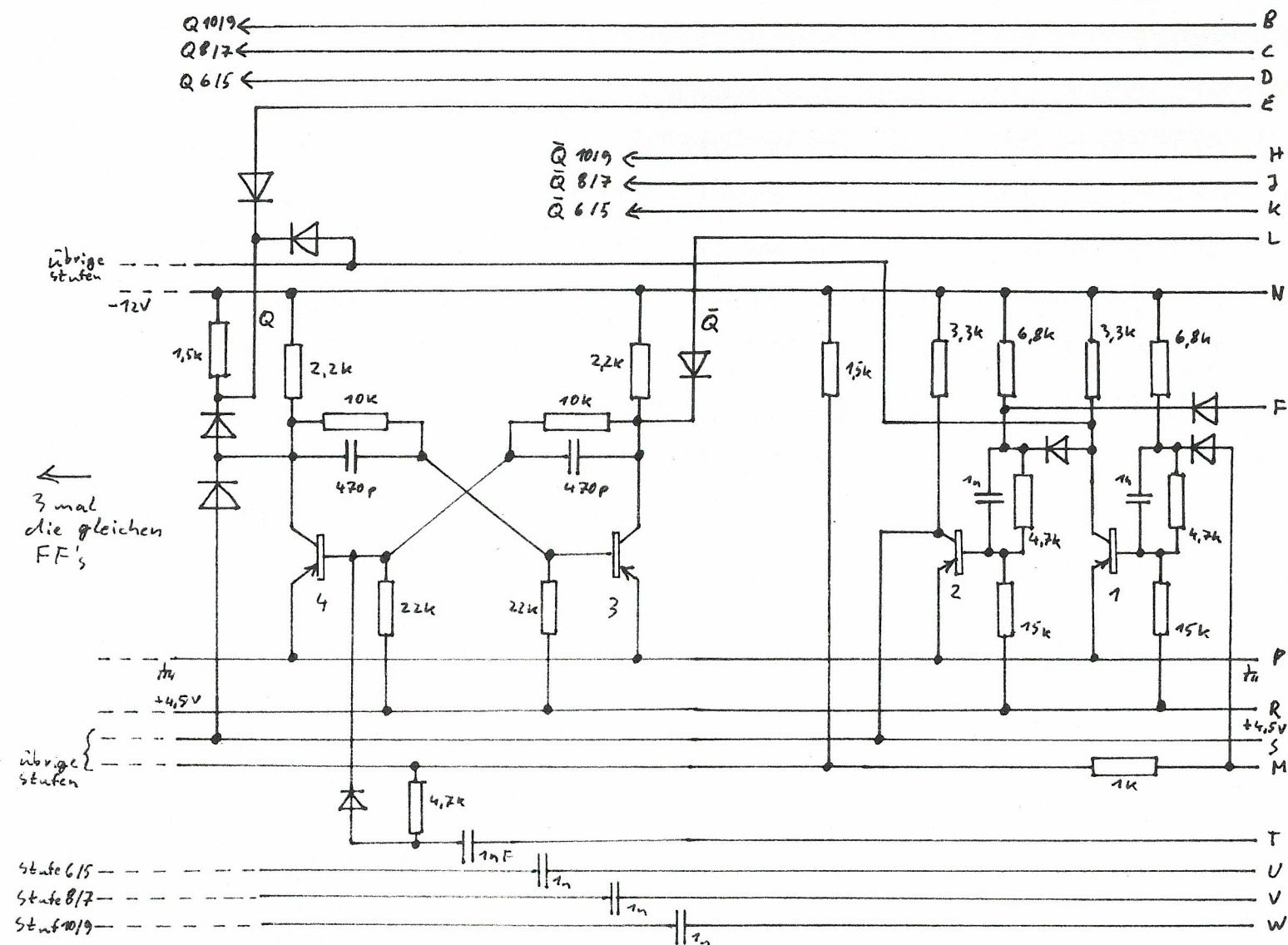


Plat 1000066

Plat.7 (1000068 2.3.87)

Vier FF (T3,4 .. T9,10). Dient wie Plat.2..6 als Speicher-
auffanglatch. Die FF können nicht zählen. Sie haben je
einen zusätzlichen Setzeingang, der an die Zifferntastatur
angeschlossen ist. Beim Drücken einer der Zifferntasten
0..9 wird das Latch gesetzt. Beim Loslassen wird ein Shift-
Left-Vorgang gestartet, wie bei Plat.2..6 beschrieben, wo-
durch die bis jetzt gedrückte Ziffer in die niedrigwertigste
Stelle des EW gelangt.
T1 und T2 arbeiten als Puffer/Inverter. T1 invertiert das
Output-enable-Signal 6F. T2 ist ein Reset-Puffer, analog
T9 auf Plat.2..6

der-
 atur
 ift-
 wo-
 igste
 as
 g



4 Latches

T1: T6056 (NPN?)
 T2..10: T6055

Plat 1000068

Plat.8 MEM (ws) (1000070 2.3.87)
Plat.9 AKKU (gn)
Plat.10 MQ (gb)
Plat.11 EW (rt)

4 Schreibleseverstärker für die Kernspeicherdatenleitungen. T1,2, T5,6, T9,10, T13,14 sind zweistufige Schreibverstärker, deren Eingänge an den Ausgängen des Speicherauffanglatches liegen. Der Schreibimpuls wird über den Strobeingang F vom Taktgenerator 25E ausgelöst. Die Kollektorspannung dieser Stufen beträgt nur -4.5V.

T3,4, T7,8 T11,12, T15,16 sind zweistufige C-gekoppelte Leseverstärker, die über den Eingang M von 25W getaktet werden.

Ausgänge des Schreib- und Eingänge des Leseverstärkers liegen gemeinsam an T..W, die Eingänge der Schreibverstärker liegen an R..E, die Ausgänge der Schreibverstärker führen über H..L zu den Eingängen der Speicherauffanglatches.

Plat.13 Dig. 0..3 (1000072 2.3.87)

Plat.14 Dig. 4..7

Plat.15 Dig. 8..11

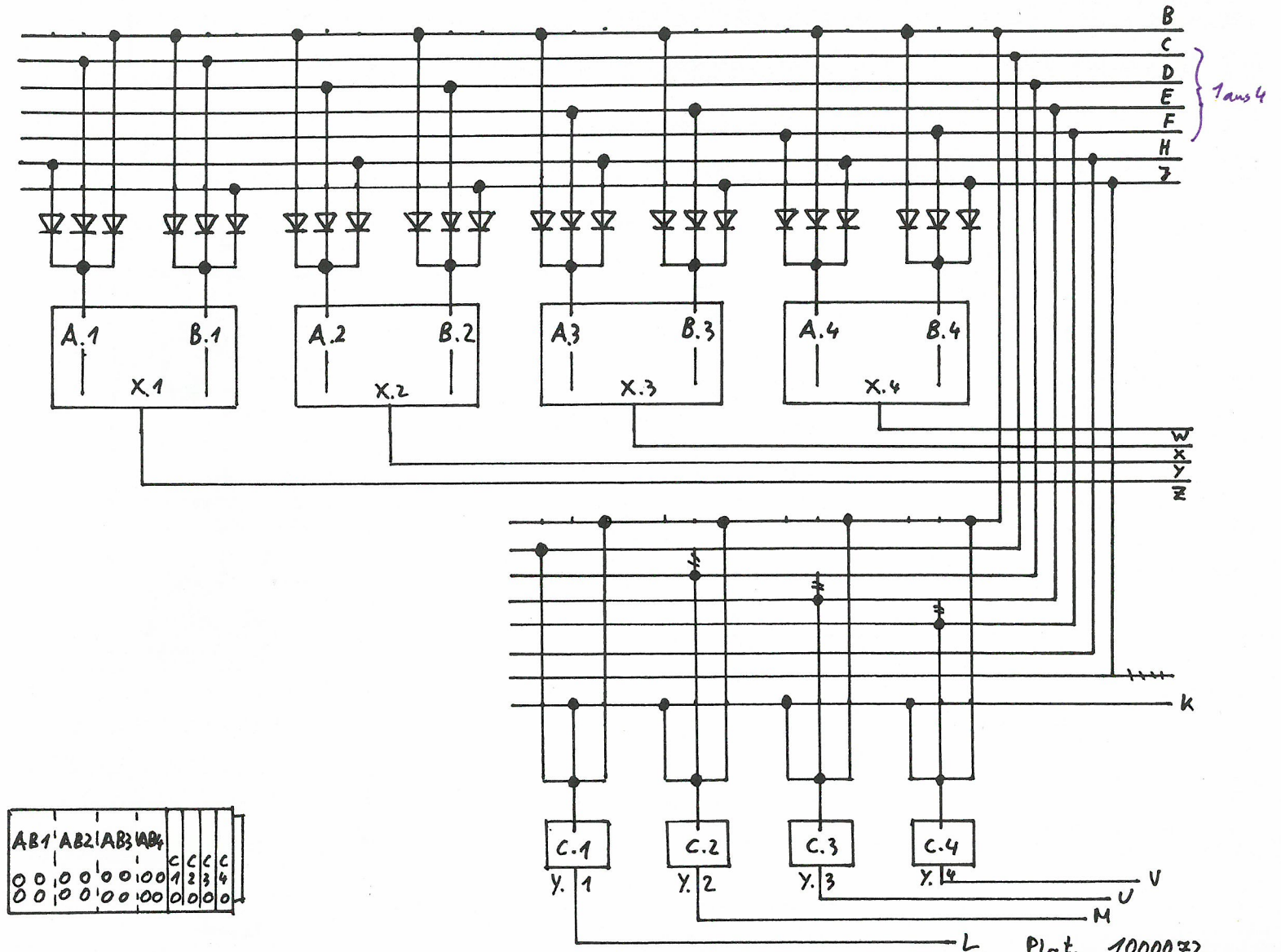
Plat.16 Dig. 12..15

T1..T4 Nixieröhren-Anodentreiber. Die Emitter dieser Treiber liegen auf +100V, ihre positive Basisvorspannung wird über einen gemeinsamen Emitter-R (1.5k) gewonnen. Sie sind kapazitiv an die Ausgänge der (C..)-Dekoder gekoppelt. T5,6, T7,8 .. T17,18, T19,20 sind die Spaltentreiber des Kernspeichers. Es sind zweistufige Gegentakttreiber, die abwechselnd Impulse von +4.5V und -4.5V an die Spalten der Kernmatrix legen.

Die Ansteuerung erfolgt von Plat.17 aus: Ein 1aus4-Code an C..F wählt die einzelne Stelle der Nixie- und Kerntreiber aus, Eingang B selektiert eine der vier Platinen 13..16, und damit eine der vier Zifferngruppen, Eingänge H und J selektieren den Push- oder Pull- Teil der Kerntreiber. Die Spalten der Kerntreibermatrix sind an W..Z angeschlossen.

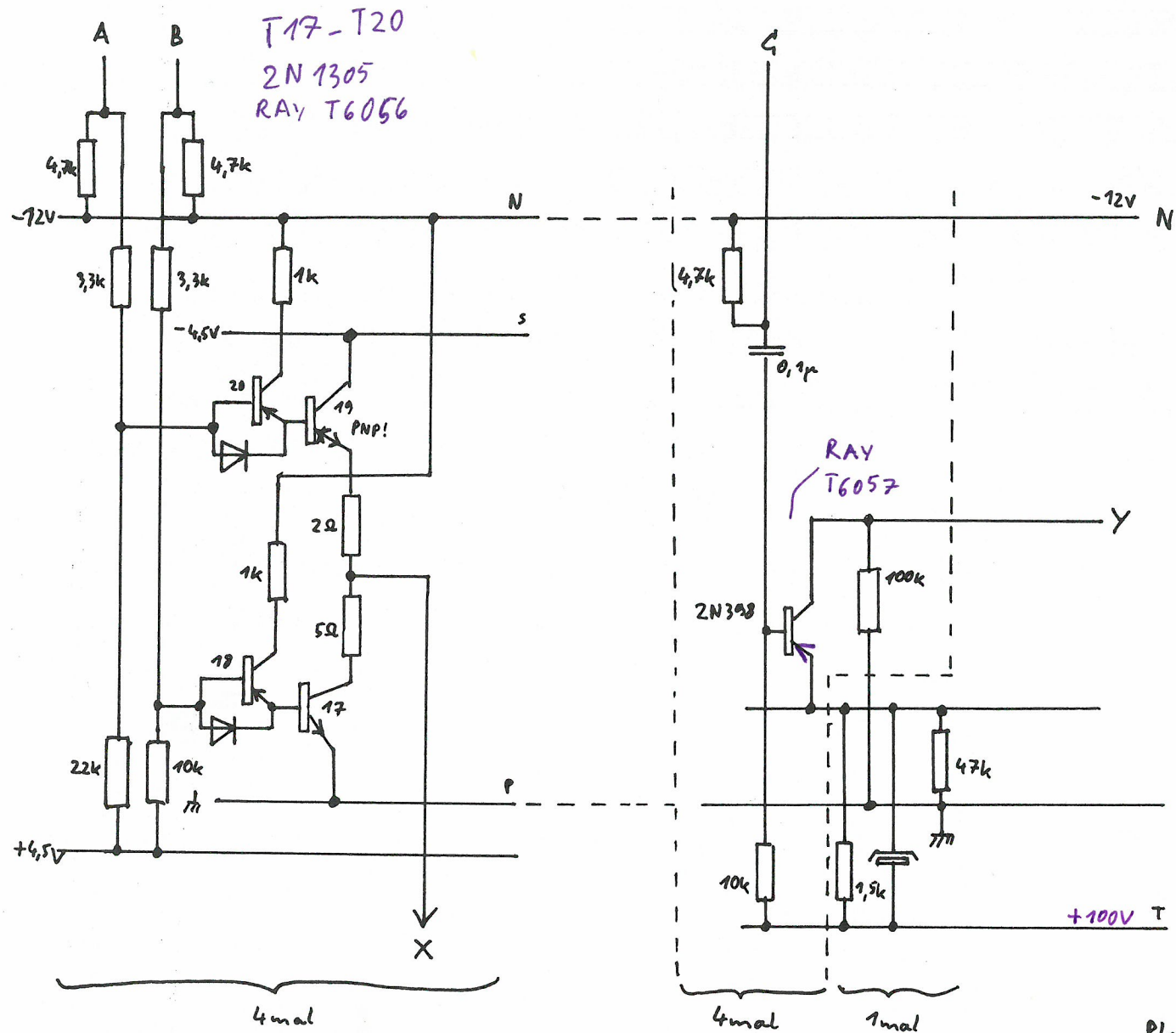
i-
d
nd

er
an
r



AB1	AB2	AB3	AB4	C	C	C	C
0	0	0	0	0	0	1	2
0	0	0	0	0	0	0	3
0	0	0	0	0	0	0	4

Plat. 1000072
2x4 Dekoder/Treiber



Plat 1000072
2x4 Dekoder Treiber

Plat.17 (1000074 2.3.87)
4 Bit up/down-Zähler T1/2(LSB) .. T7/8(MSB)
Inverter T9 steuert Zählrichtung

Eingänge:

T*U steuern Zählrichtung

V*W Takteingänge, werden von Plat.25 angesteuert. Jeder
16. DG-Clock an V wird durch die Dezimalpunktmarke an W
ausgeblendet. Dadurch wird jedes Wort 17 Ziffern lang:
16 Dezimalziffern, 1 Exponentenziffer.

Ausgänge:

Teildekodiert, 2*(1aus4)-Kode. B .. E wählen eine von drei
Ziffern aus einer Gruppe aus, die wieder von F .. K
selektiert wird. Ausserdem wird die Stelle 0 an L und
die Stelle 15 an M extra angezeigt.

Die Ausgänge B .. K steuern Plat.13 .. 16, die Anzeige-
digitdekoder und die Kernspeicher Adresstreiber .
Durch die mögliche Umkehr der Zählrichtung kann bei den
Schiebeoperationen die Schieberichtung umgekehrt werden.

Plat.18 (1000076 2.3.87)

Treiber T1 für Mem-Counter (2L). Wird von Plat.27 aus gesperrt, wenn ein negativer Akkuinhalt rekompentiert wird.

FF T2/3, wird bei jeder Rechenoperation zurueckgesetzt, und gibt einen einzelnen Zählimpuls auf den Speicher, wenn der BA-Schalter auf N steht.

Z.Zt. Ansteuerung defekt, wirkt nur wenn das FF vor Beginn der Operation durch W->GND gesetzt wurde.

FF T5/6 Overflow bei ADD,MLT. Ansteuerung der Overflow-anzeige über Treiber T14. Konditioniertes setzen, nur wenn T4 sperrt(?).

FF T7/8 Vorzeichen bei ADD/SUB. Treiber des -Zeichens ist T13. Ausgang von T13 steuert auch auf Plat.27, ob bei Taste * (TOTAL) der Akku rekompentiert wird, oder nicht.

FF T10/T11 ???

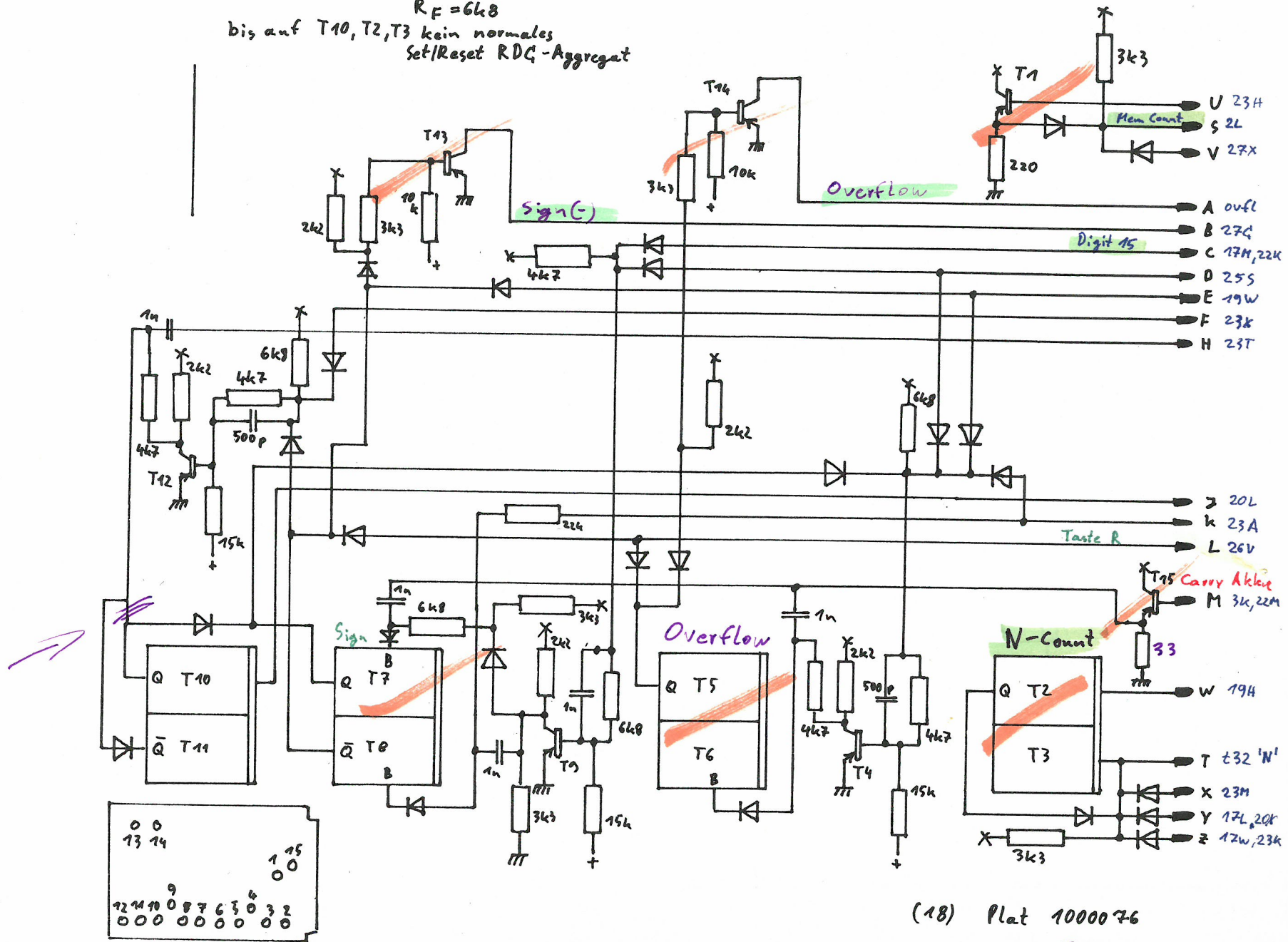
Gatter T12 ???

Puffer T15 entkoppelt das AKKU-Carry zum Inneren der Platine hin.

21

Wann $\rightarrow$ T3 leitet (0V) $\rightarrow$ N zählt Operationen
T2 sperrt (-12V)

Standard-FF mit $R_C = 2k\Omega$
 $C_F = 500p$
 $R_F = 6k\Omega$
bis auf T10, T2, T3 kein normales
Set/Reset RDC-Aggregat



(18) Plat 1000076

18

Plat. 19 (1000078) 2.3.87

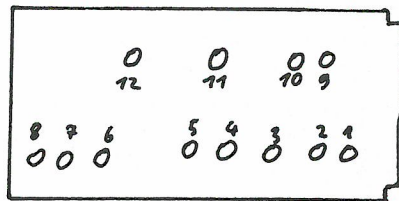
2 FF T2/3, T4/5. Steuern, welches der Register auf dem Display angezeigt wird. Anzeigelampentreiber T9 .. 12. Eingänge 1 aus 4 (S .. V), werden von den REG-Auswahl-tasten, sowie diversen Rechenoperationstasten gesteuert, Ausgänge ebenfalls 1 aus 4 (J .. M), steuern den DSP-MUX auf Plat. 1, und die Lampentreiber.

Unklar ist das Gatter mit Aus/Eingang H. Führt zum Set-Eingang T2/3 auf Plat. 18

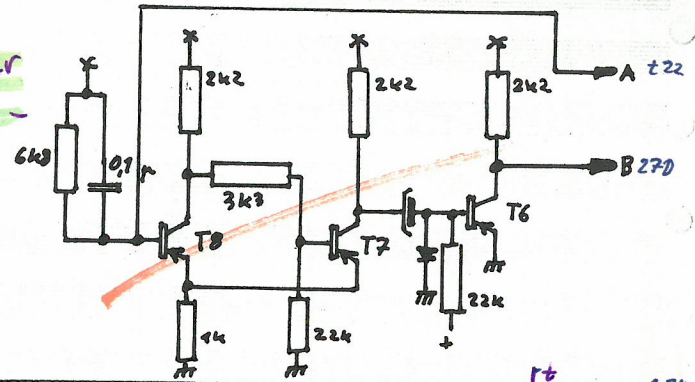
Gatter T1, steuert Löschung des MQ-Registers (gb). Schmitt-Trigger, Treiber T6 .. T8 wirkt als Verzögerungs-glied. Löschung des EW (rt) nach Operation ADD/SUB.

Plat.19 (1000078 2.3.87)
2 FF T2/3,T4/5. Steuern, welches der Register auf dem Display angezeigt wird. Anzeigelampentreiber T9 .. 12. Eingänge 1 aus 4 (S .. V), werden von den REG-Auswahl-tasten, sowie diversen Rechenoperationstasten gesteuert, Ausgänge ebenfalls 1 aus 4 (J .. M), steuern den DSP-MUX auf Plat. 1, und die Lampentreiber.
Unklar ist das Gatter mit Aus/Eingang H. Führt zum Set-Eingang T2/3 auf Plat.18
Gatter T1, steuert Löschung des MQ-Registers (gb). Schmitt-Trigger, Treiber T6 .. T8 wirkt als Verzögerungs-glied. Löschung des EW (rt) nach Operation ADD/SUB.

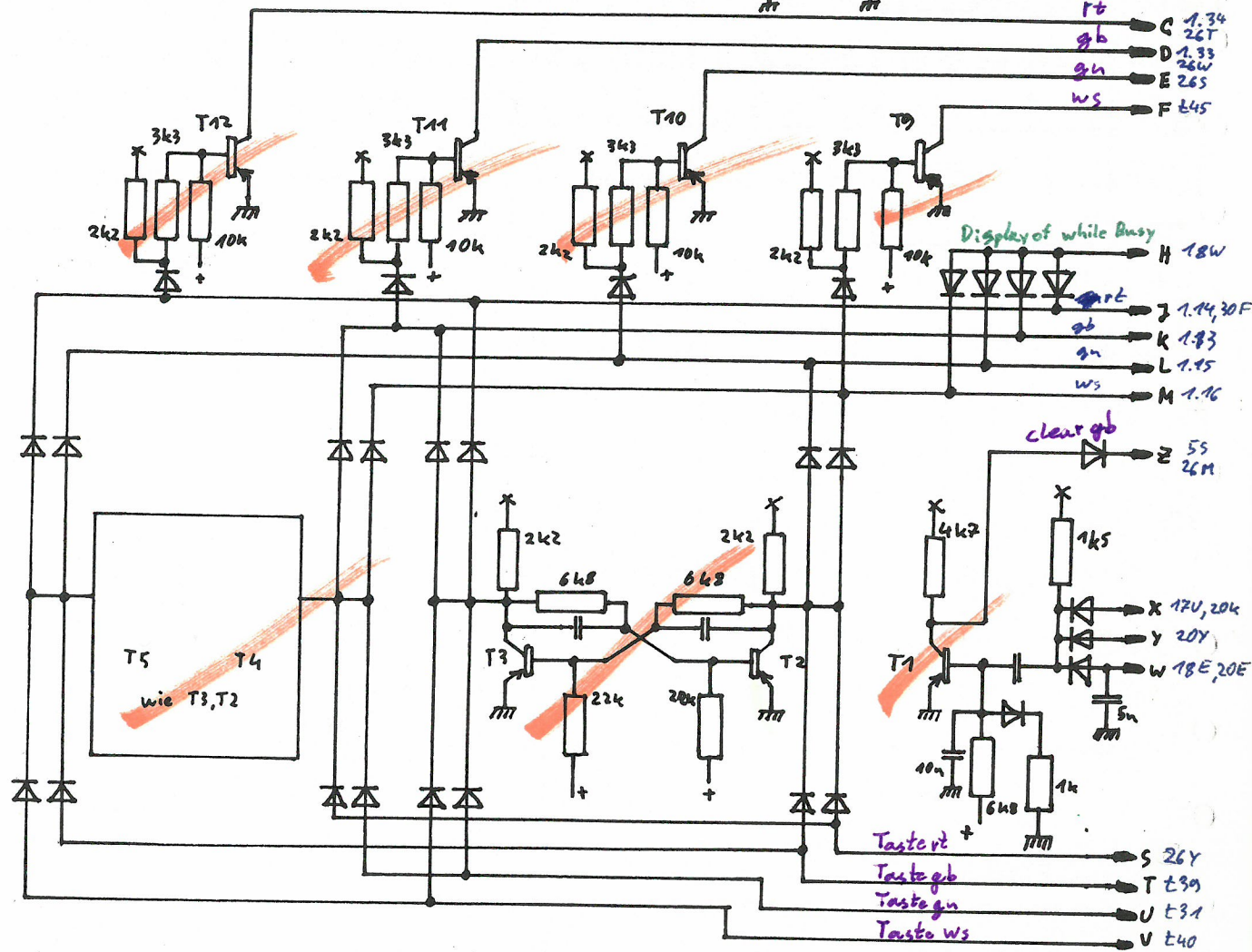
13



Clear
EW
nach +,-



A
B
C
D
E
F
H
J
K
L
M
N
P
R
S
T
U
V
W
X
Y
Z



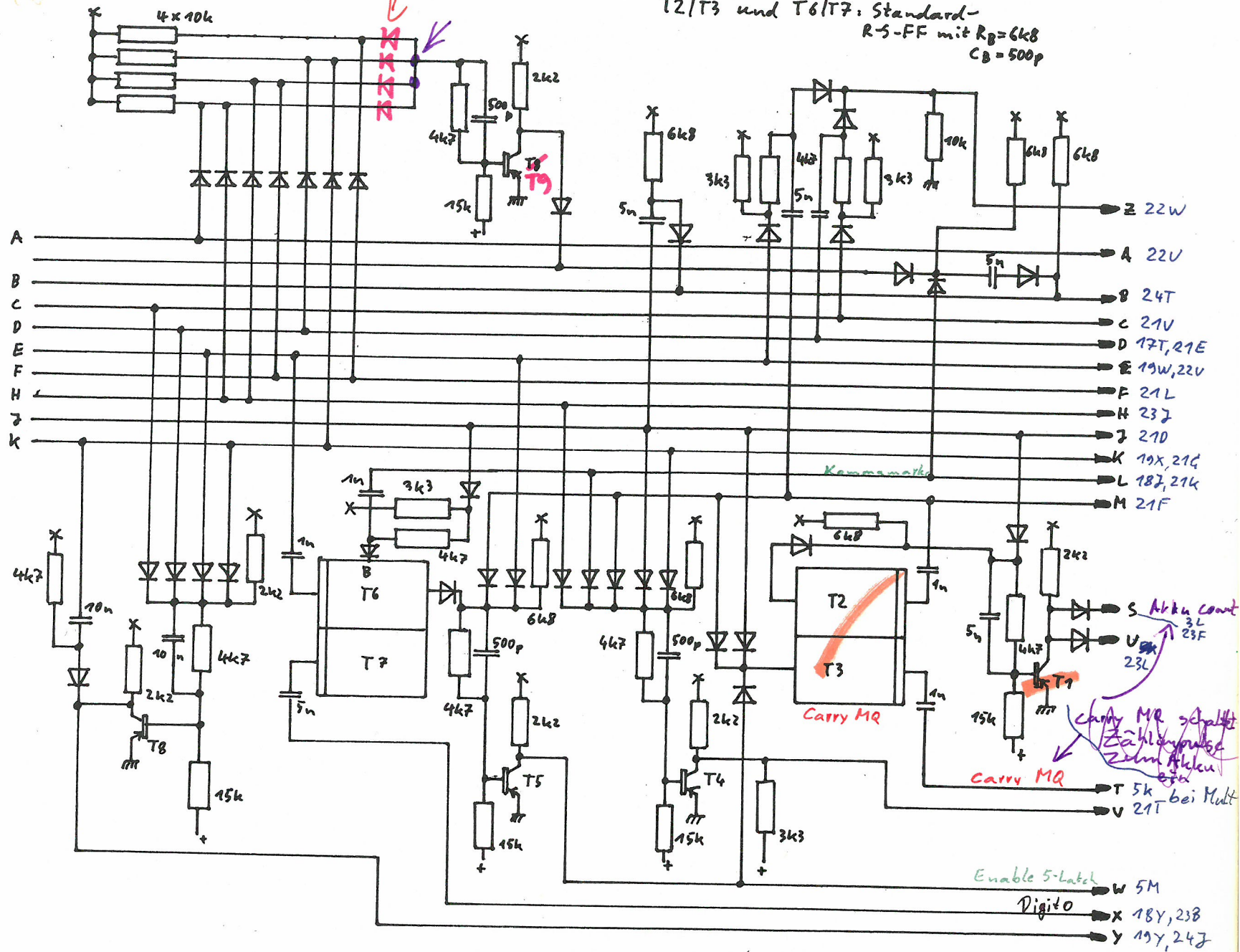
14 Plat 1000078

Plat.20 (1000080 2.3.87)
FF T2/3 wird bei MLT vom Carry des MQ-Reg. (gb) gesetzt,
und bewirkt über Gatter T1 den Start der Einzeladditionen
bei der Multiplikation.
Gatter T4 über Plat.21 zum Zähl Eingang von Plat.5 (gb).
Gatter T5 -> Plat.5
FF T6/7 ???
Gatter T8 ???
Gatter T9 ???

10

fehlen Δ ! ?

T2/T3 und T6/T7: Standard-
R-S-FF mit $R_B = 6k8$
 $C_B = 500p$



Plat. 1000080

20

Plat.21 (1000082 2.3.87)

2 FF T1/2, T3/4 als Zähler lösen bei MLT/DIV eine Aufeinanderfolge zweier Schiebsequenzen von MQ- und EW- Register aus.

FF T5/6 speichert Operationsmodus DIV.

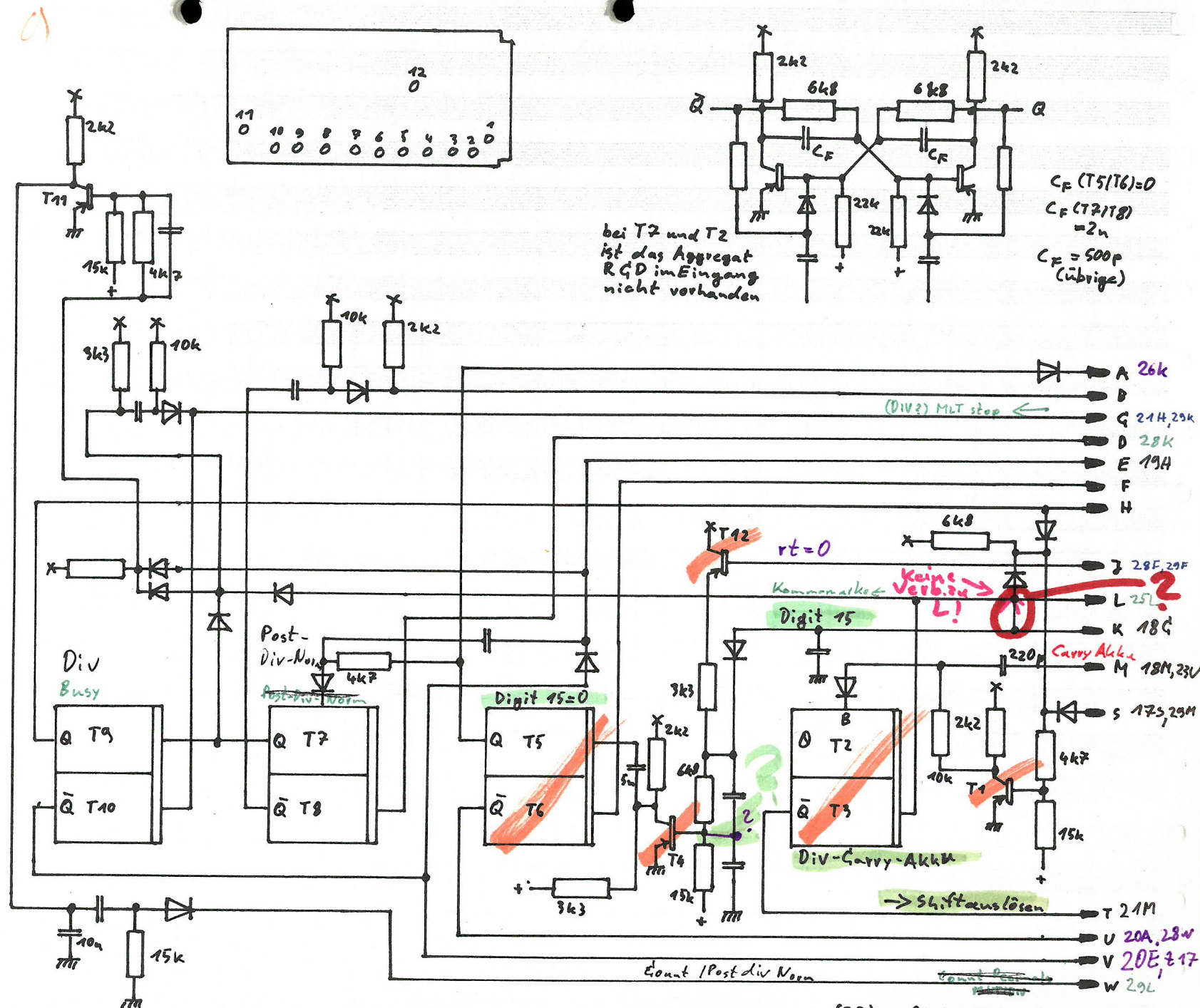
Gatter T7 ???

Gatter T8 ???

Plat. 22 (1000084 2.3.87)

FF T2/3 speichert das Carry aus der Stelle 15 um es für die Steuerung der Division zu verwenden. Carry gelangt über M an das FF. Stelle 15 wird von Gatter T1 selektiert.
FF T5/6 speichert Stelle 15=0, Ansteuerung über Puffer T12 und Gatter T4, welches Stelle 15 selektiert.
FF T7/8, T9/10 ???
Gatter T11 ???

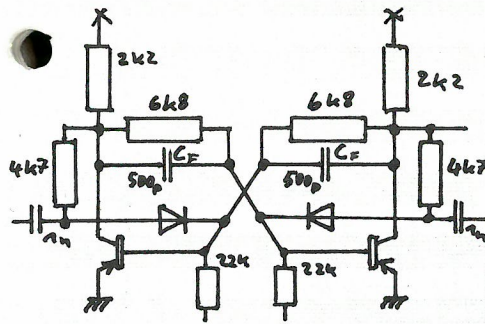
T7/T10: Busy, speed: Display, Plat. 26/27, Digit Entry (24V)?, diverse Fkt. auf Plat. t. 147, t16, t18



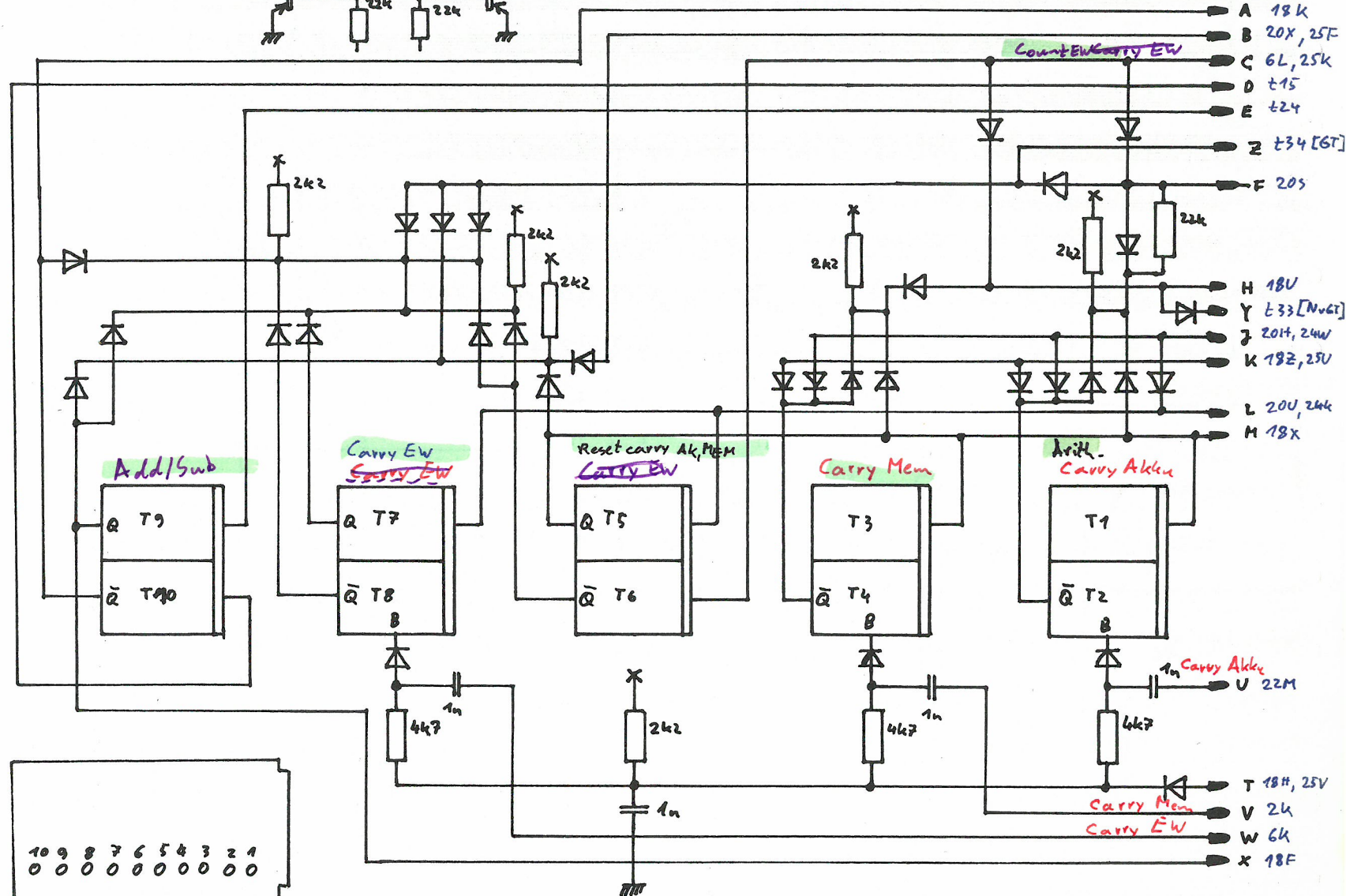
(22) Plat 1000084
17.1.87

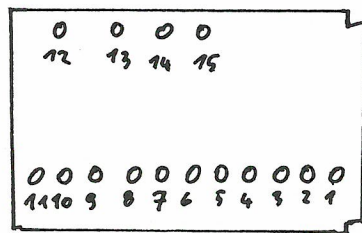
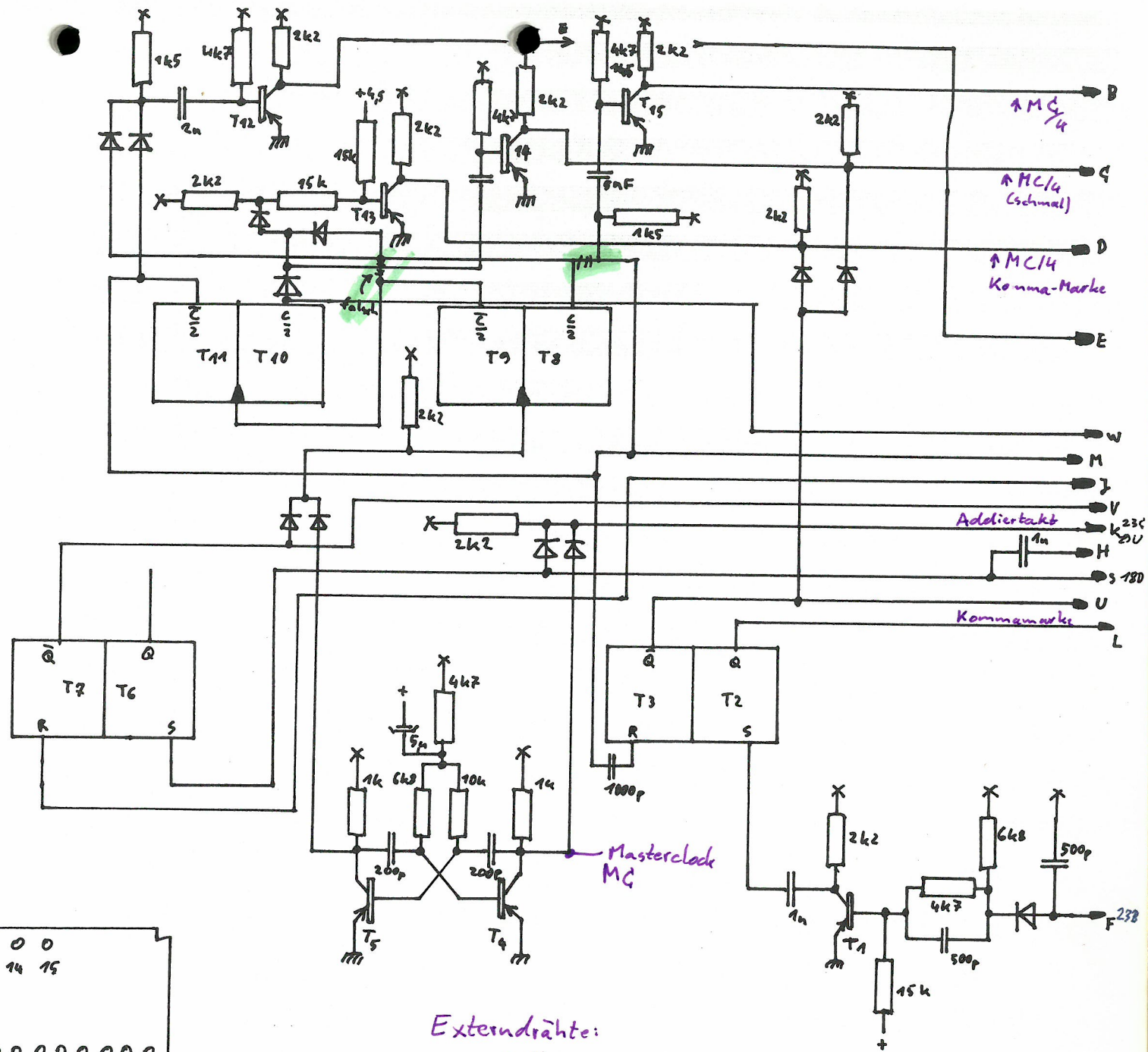
ür
t über
r T12

try (24V)?
t 18



die Linke RDC-Garnitur
ist nur bei T9/T10 und T5/T6
vorhanden
Bei T9/T10 keine C_F





Externdrähte:

gr: GND

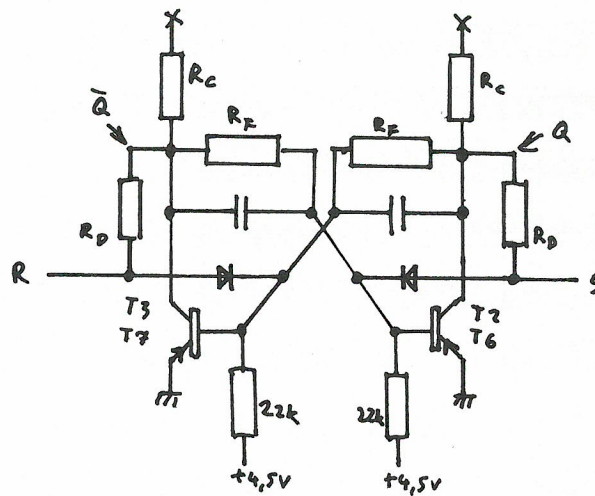
gn: MG (G_{T4})

gb: Komma (G_{T2})

Taktgenerator

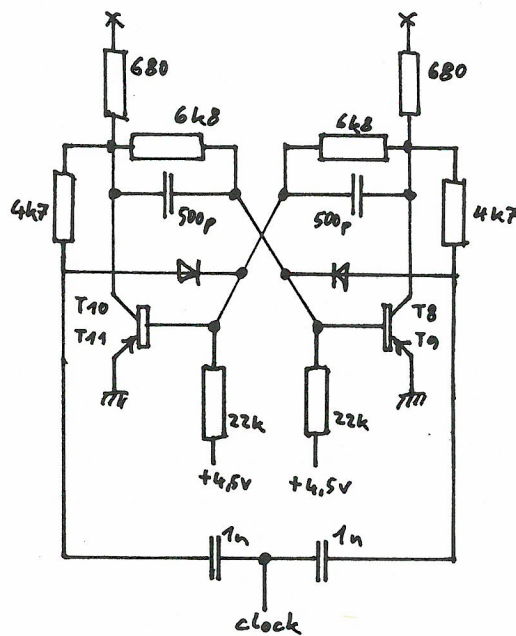
Plat 10000 90

25

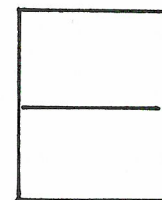


$R_C (T2, T3) = 2k\Omega$
 $R_C (T6, T7) = 1k\Omega$
 $R_F (T2, T3) = 4k\Omega$
 $R_F (T6, T7) = 6k\Omega$
 $R_D (T2, T3) = 6k\Omega$
 $R_D (T6, T7) = 4k\Omega$

R-S-Flipflops



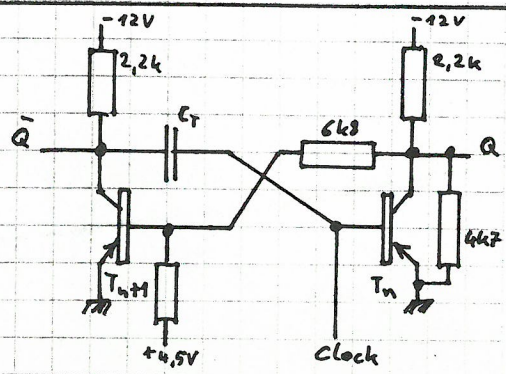
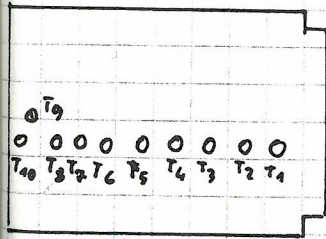
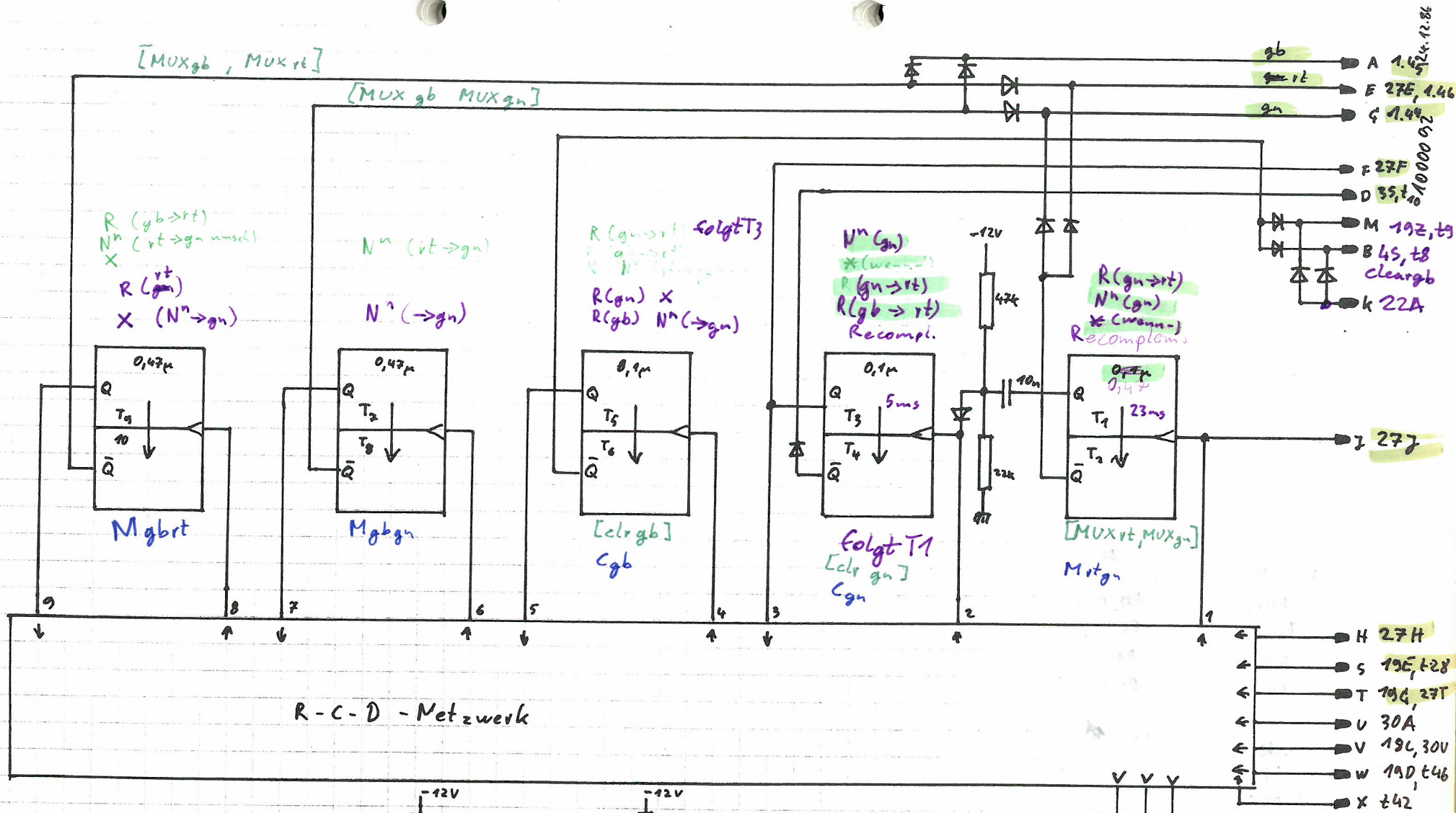
Frequenzteiler FF.



Plat 1000090

(23.12.86)

25



Rgn: D3 Crt
 D18, 19 Ttgn
 D.. Cgn
 D11 Cgb
 D9 'rt'

X: D2 Cgb
 D7 Ttgn
 D9 Crt

Nⁿ(rt): Cgb
 Ttgn
 Ttgn
 Crt
 Omlt

^{D3}
 Rgb: Crt
 D18, 20 Ttgn
 D43 Cgn
 D11 Cgb
 D9 'rt'

*(-) ~~rt~~ Crt
 Ttgn
 Cgn
 Osub

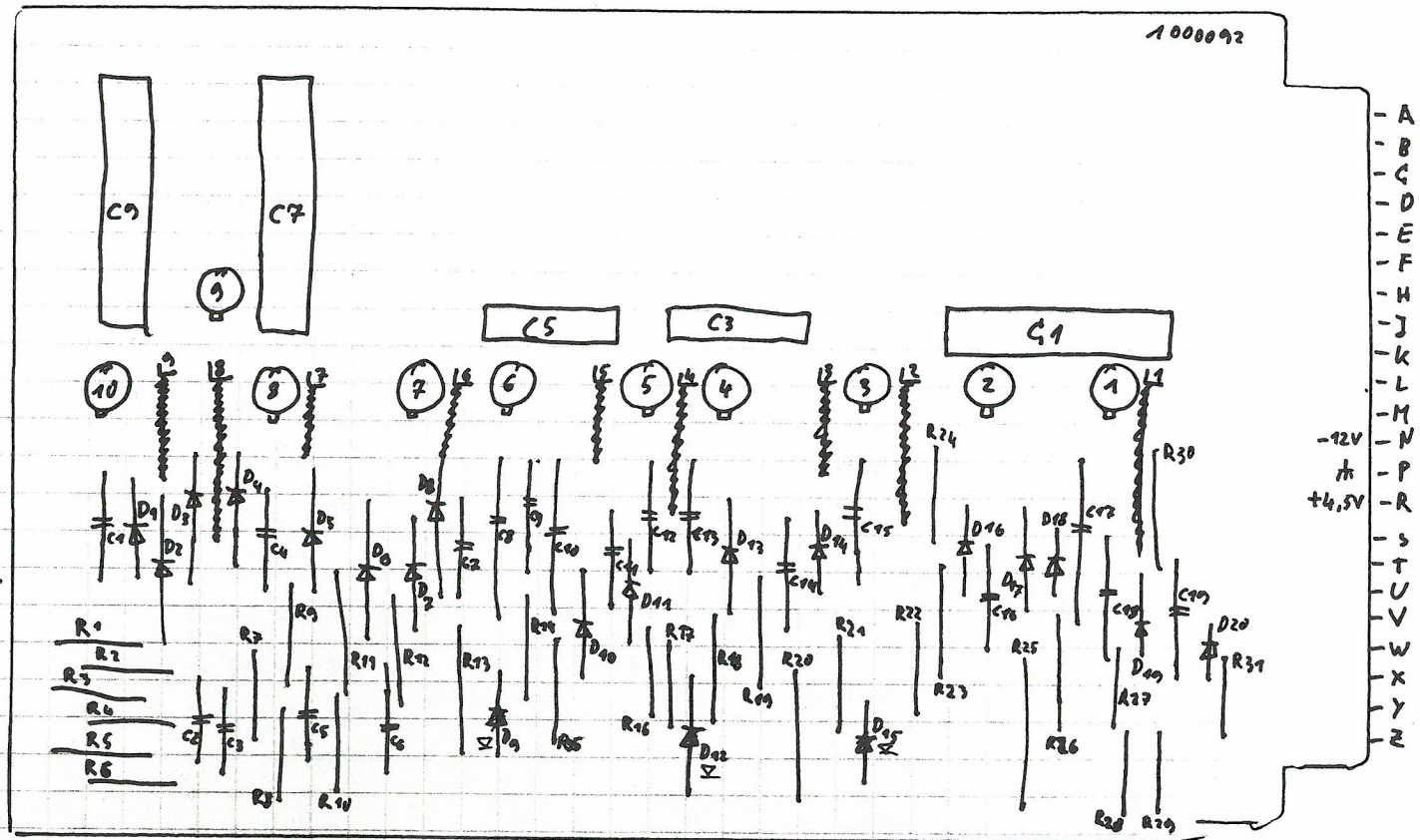
Nⁿ(gn): Crt
 Ttgn
 Clrgn
 Omlt



23.12.86

1000092

Brücke:
Ein/Ausgang
Mondlops - Gatter

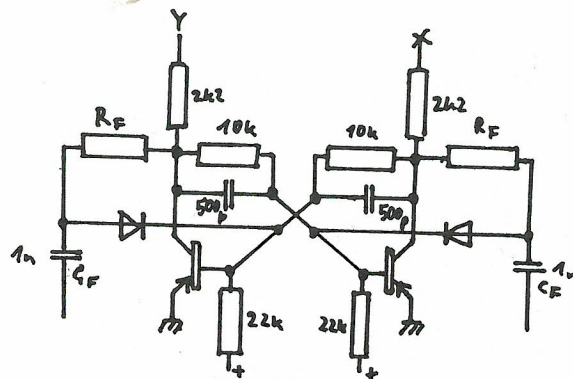


Bestückungsplan
G-D-R-Netzwerk

Plat.28 (1000096 2.3.87)
 FF T1/2 .. FF T7/8, Dezimalzähler, steuert bei MLT die Anzahl der Einzeladditionen: Zählt gleichzeitig mit Plat.5, dem MQ-Register auf 10: Mit dem Carry von Plat.5 werden die Additionen des EW zum Akku gestartet. Danach haben sowohl FF T1..T8, als auch der Zähler auf Plat.5 ihren ursprünglichen Wert.
 FF T9/10 .. FF T15/16, Hex-Zähler. Organisiert die Normierung der Mantisse nach der Division. Vor Beginn der Division wird der Nenner im EW solange nach links verschoben, bis Stelle 15 ungleich Null ist. Die Zahl dieser Shiftvorgänge wird mit FF T9 .. T16 mitgezählt. Nach der Division muss das MQ-Register (gb), das den Quotienten enthält, so viele Stellen nach rechts geschoben werden, bis der Zähler T9 .. T16, der auch diese Shifts mitzählt, wieder den Wert 0 erhält. Dadurch wird erreicht, dass z.B. bei 10000/8 und bei 10000/80 nicht beides mal 1250, sondern im zweiten Fall 125 herauskommt.

Plat.29 (1000096 2.3.87)
 Identisch wie Plat.28. Der Dezimalzähler T1/2 .. T7/8 steuert die Addition/Subtraktion in den einzelnen Stellen: Für jede zu addierende/subtrahierende Stelle zählt er 10 Takte ab, die gleichzeitig auch auf Plat.6 gelangen. Gibt der Zähler auf Plat.6 den Carry-Impuls ab, dann wird ab diesem Impuls der Zähltakt auch auf den Akku-Zähler, Plat.3 geleitet, und wenn der Mem.-Schalter auf GT steht, auch auf Plat.2. Bei der Subtraktion werden die Zählimpulse von Anfang an auf Plat.3 (Plat.2) geleitet, und mit dem Carry von Plat.6 gestoppt.
 Hex-Zähler T9/10 .. T15/16 zählt bei DIV die Zahl der Stellen, für die der Quotient berechnet wurde, und bei MLT die Zahl der Stellen, die vom 1. Faktor in gb abgearbeitet wurden. In beiden Fällen ist die Mantissenberechnung mit dem Carry nach 16 Stellen beendet. Bei Div: → Plat.28

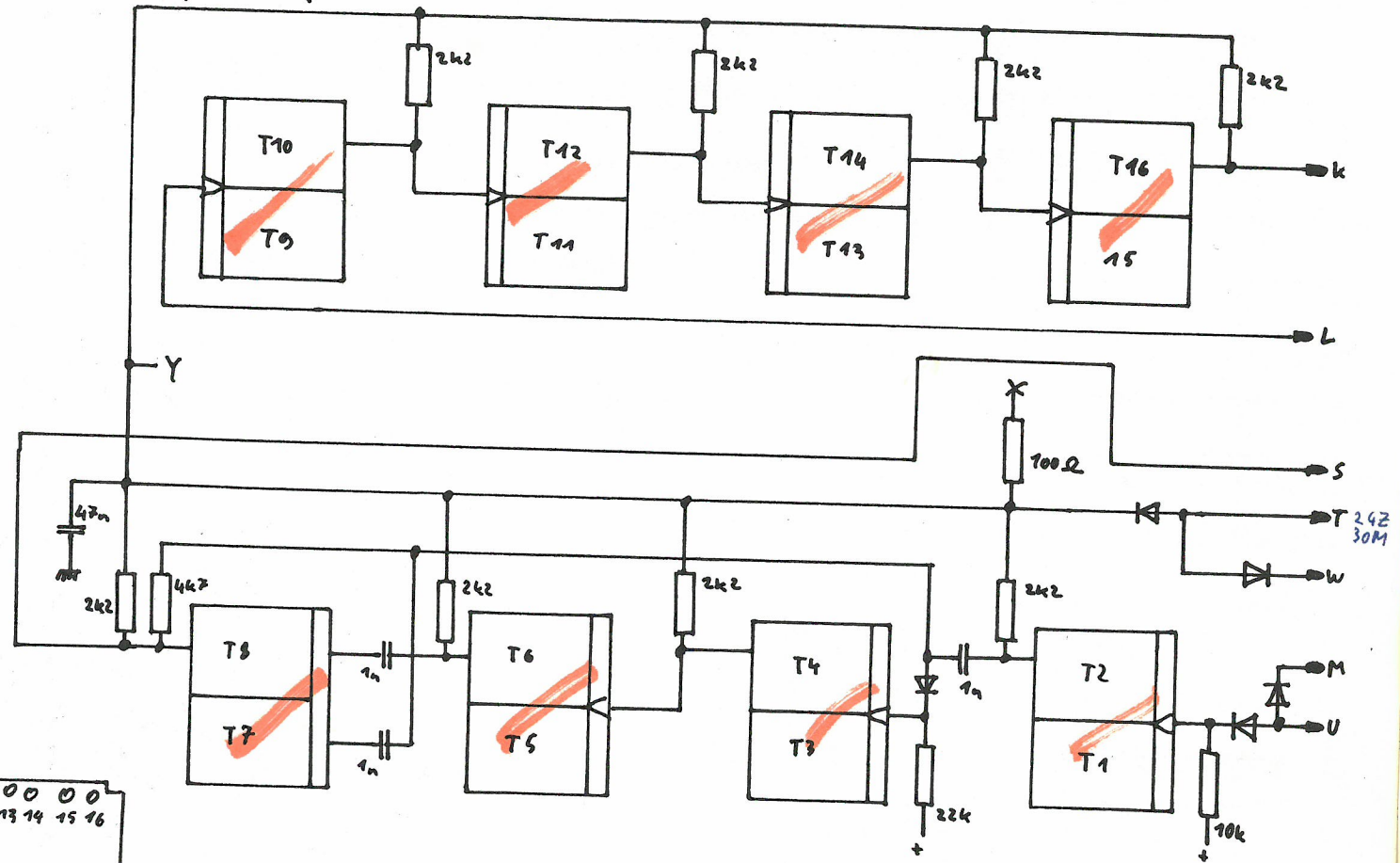
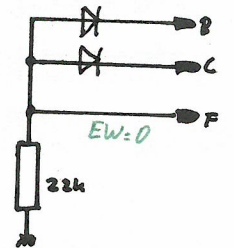
19
17



$R_F = 10k$ (alle übrige)

$R_F = 4k\Omega$ (T1, T2 und T9, T10)

C_F ausser bei T7 und T8 verbunden



0	0	0	0	0	0	0	0
9	10	11	12	13	14	15	16
8	7	6	5	4	3	2	1
0	0	0	0	0	0	0	0

Plat 10000 96

8.1.87

28,29

Plat.30 (1000098 2.3.87)

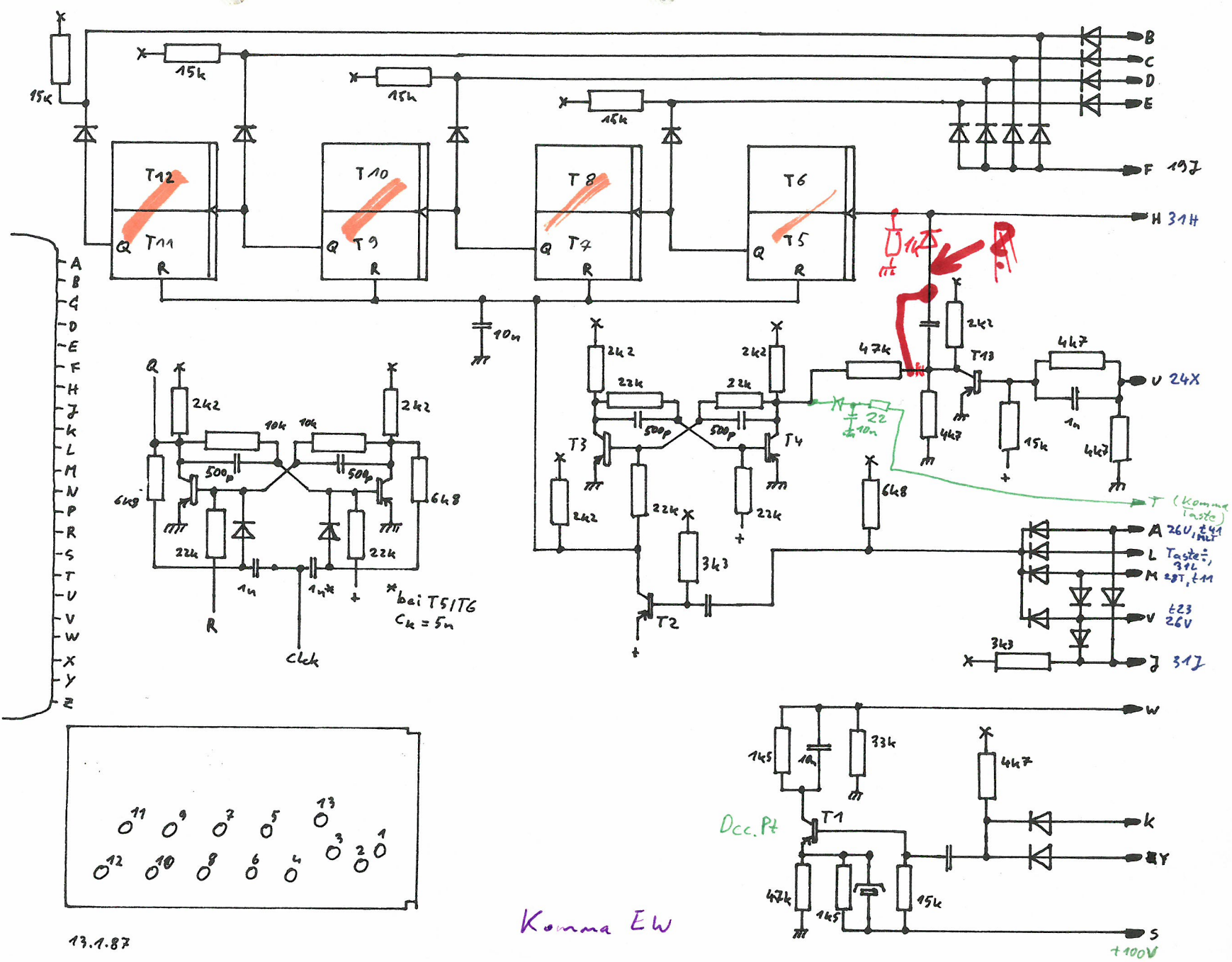
T1 Treiber für die Dezimalpunkt-Anzeigeröhren.

T2 Gatter/Puffer für Reset FF T3/4.

FF T3/4 speichert das Betätigen der Kommataste, gibt die Kommazähler frei, und setzt diese Zähler auf Null, wenn es durch eine der Clear-Tasten selbst zureckgesetzt wird.

Nach dem Drücken der Kommataste gibt das FF das Gatter T13 frei, über das bei jeder Ziffer die eingegeben wird, ein Zählimpuls auf den Zähler T5/6 .. T11/12, sowie auf Plat.31 gelangt.

Hex-Zähler T5/6 .. T11/12 enthält den Exponenten des EW (rt). Dieser zählt nach dem Drücken der Komma-Taste bei der Eingabe einer Ziffer ins EW um eins aufwärts. Der Inhalt dieses Zählers gelangt über das Gatter B..E,F auf Plat.31 und von dort auf den Displaytreiber Plat.32.



Komma EW

Plat 10000 98
30

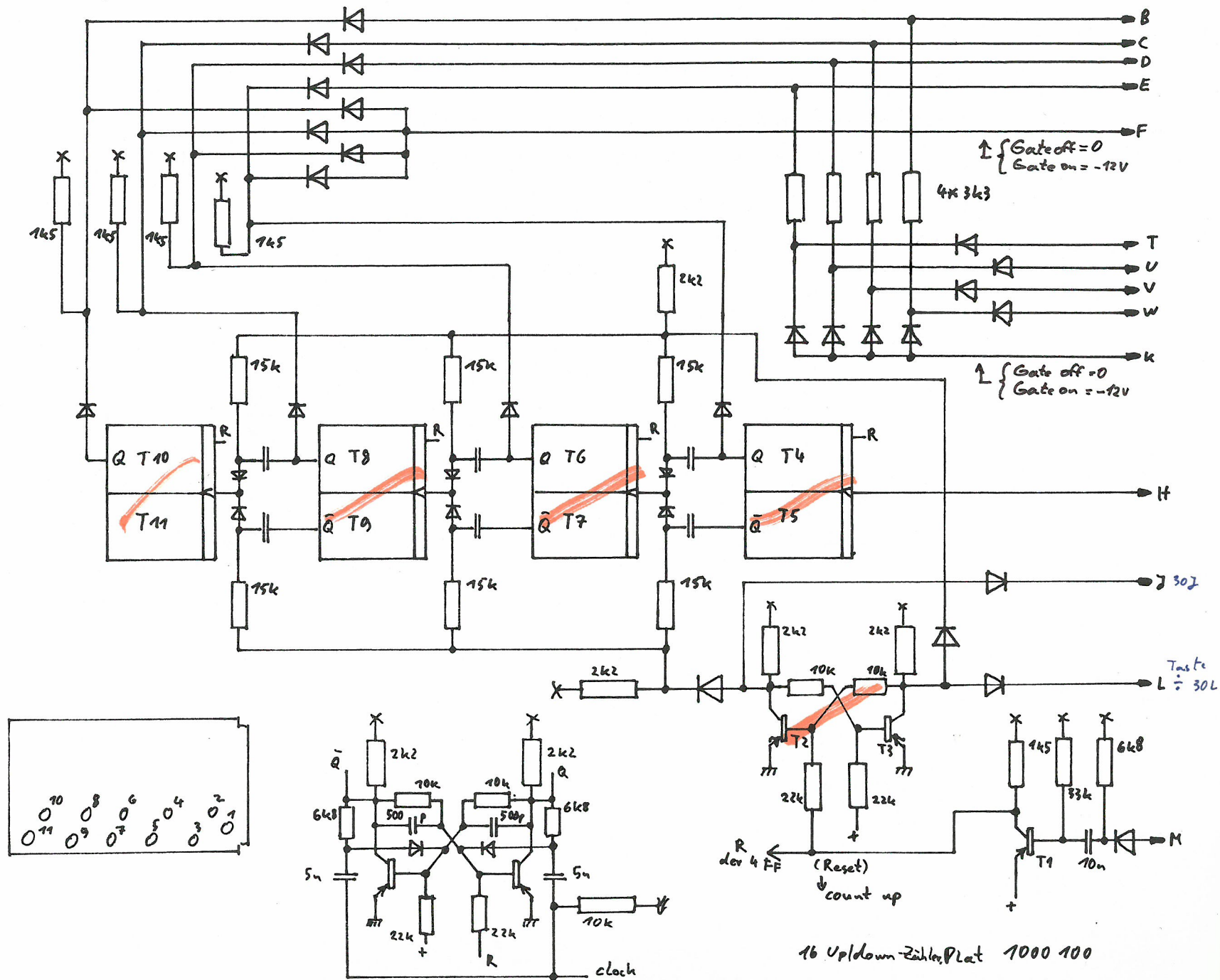
5
→
7

Plat.31 (1000100 2.3.87)

T1 Treiber für Reset der FF T2/3 .. T10/11. FF T2/3 bestimmt die Zählrichtung des Hex-Up/Down-Counters der den Exponenten der Register Akku (gn), MQ (gb) und Mem (ws) enthält.

Nach Reset ist der Zähler FF T4/5 .. T10/11 auf Count-Up geschaltet. Durch Drücken der Taste ./ (DIV) wird er auf Count-Down umgeschaltet. Die Zählimpulse sind die gleichen wie die für den Exponentenzähler auf Plat.30. Der Ausgang des Zählers auf Plat.30 kann über das Gatter T..W,K auf die Ausgänge zum Dekoder Plat.32 durchgeschleift werden, der Ausgang des Zählers T4 .. T11 kann über das Gatter E..E,F ebenfalls zum Dekoder durchgeschaltet werden. Welcher der beiden Exponenten angezeigt wird, hängt davon ab, welches der vier Register im Display dargestellt wird (Plat.19, Plat.1). Jeweils zwischen Digit 15 und Digit 0 des Speicherzyklus wird für eine Digitzeit der Exponent durchgeschaltet und angezeigt.

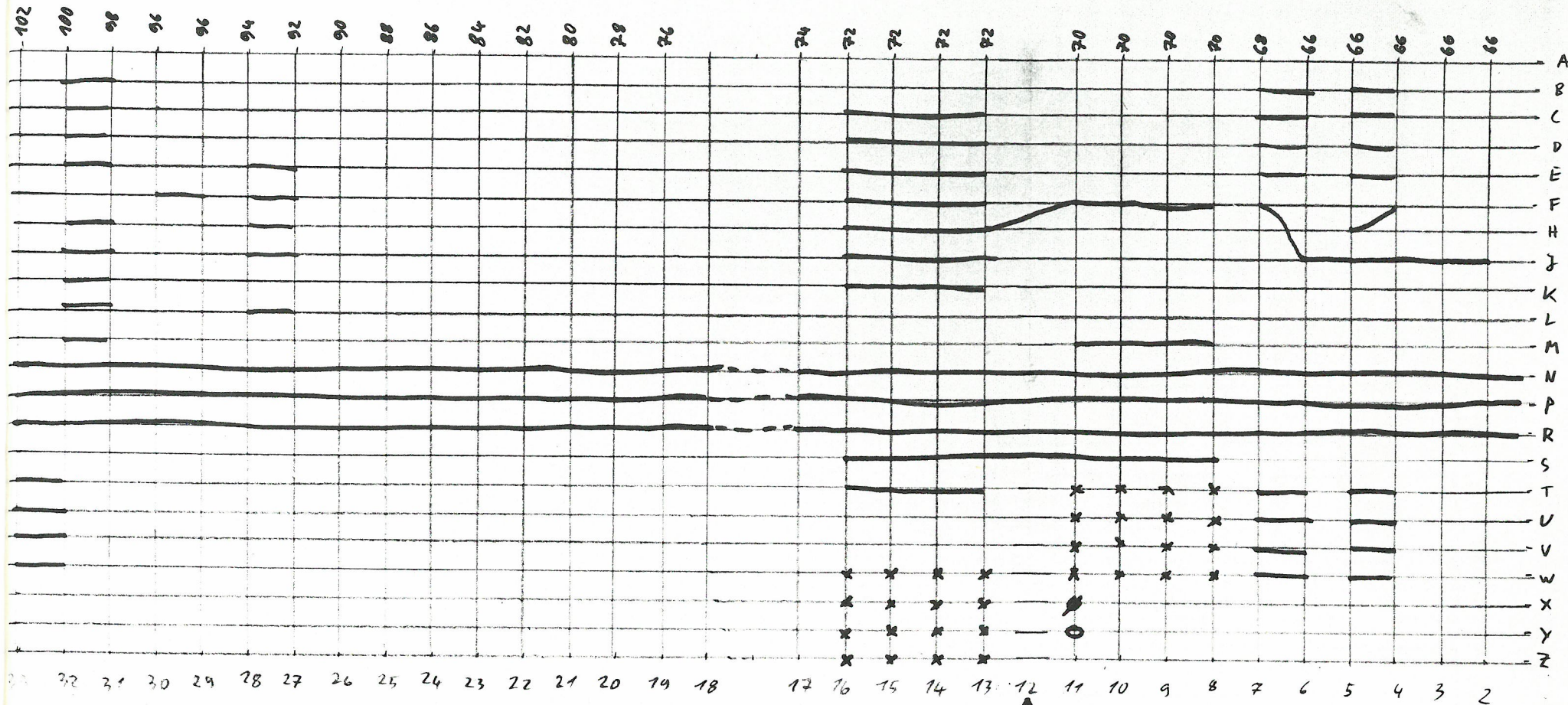
20



####

Plat.32 (1000102 2.3.87)
T1/2 .. T7/8 Treiber/Inverter für die BCD zu Dezimaldekodiermatrix. Diese Treiber werden mit -100V Kollektorspannung der Kathodenspannung für die Nixieröhren betrieben. Die 10 PNP-Transistoren ohne Nummer an den Ausgängen der Odiomatrix treiben die Nixie- und die Dezimalpunkt-kathoden des Displays.
Dieser Dekoder/Treiber dient sowohl zur Anzeige der Mantisse über die Nixieröhren, als auch des Exponenten durch die Dezimalpunkt-Einzelglimmröhren. Die Kathoden der neun Glimmröhren sind genauso wie die Kathoden 1..9 der Nixies geschaltet. Während die Anoden der Nixies von den Anodentribern auf den Plat.13..16 angesteuert werden, wird die "gemeinsame" Anode der neun Glimmröhren von T1 auf Plat.30 getrieben.

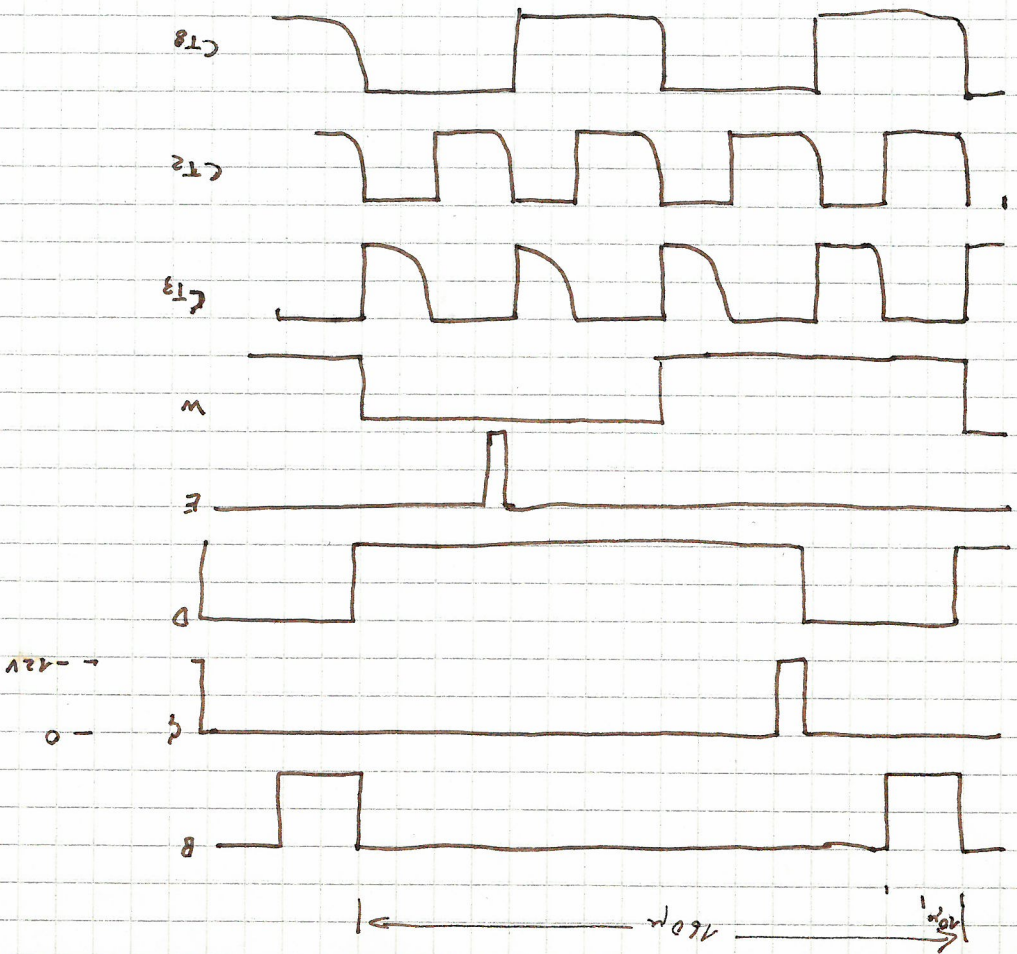




Core

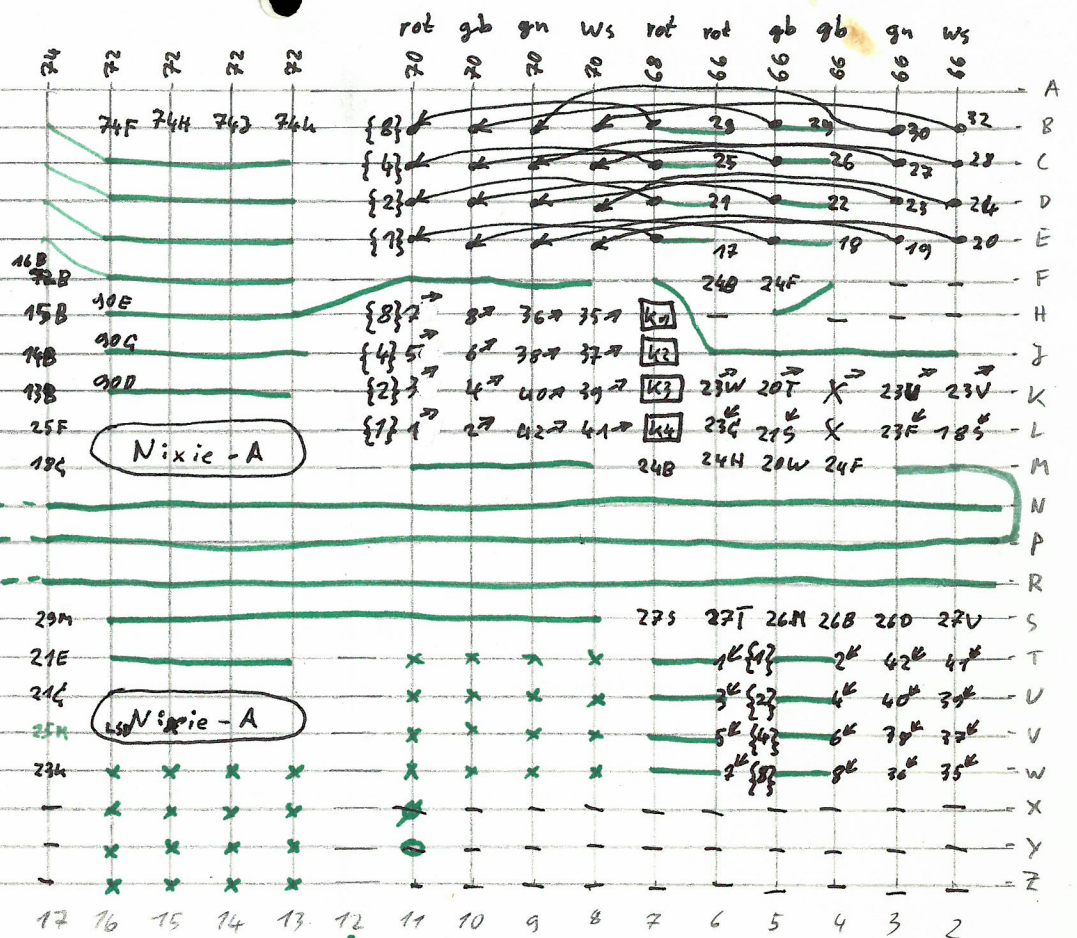
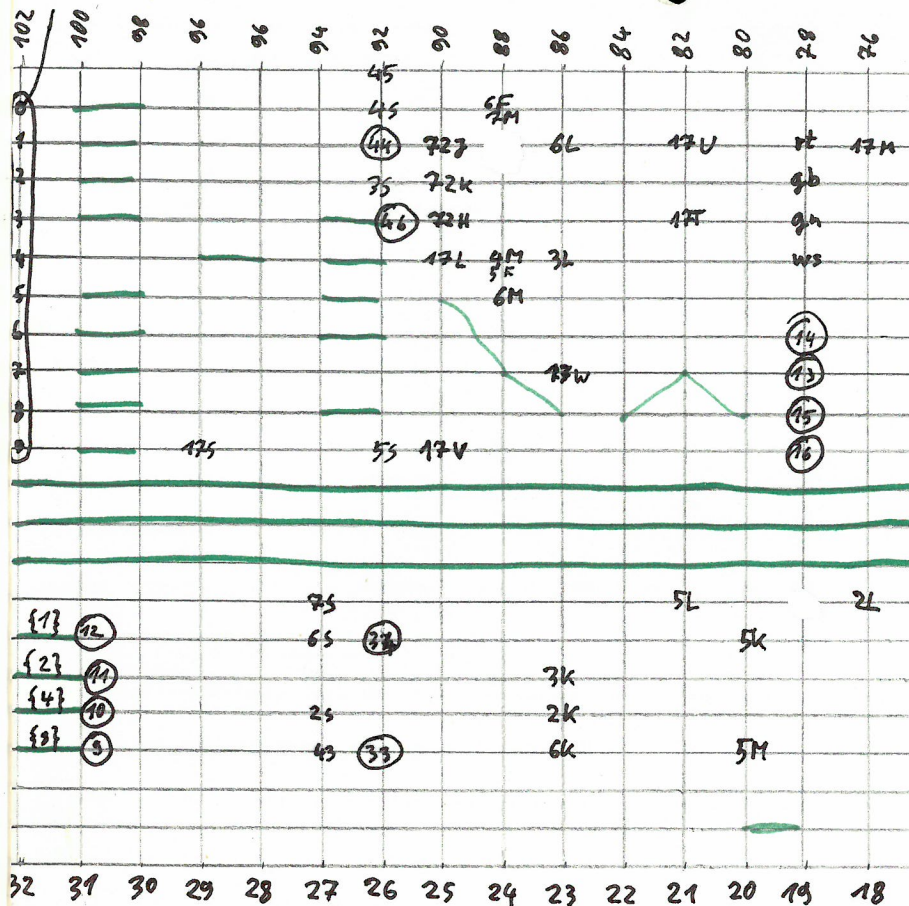
O: wsl/gb
 O: blrt
 x: gb
 x: rt

} 2um
 Core



Taktgenerator.
 gemessen ausschalt der Maschine
 $U_{ce} = -12V$ $U_{bb} = +4.5V$
 alle Eingänge offen (S, F, J...)

Nixie-kathoden



3	7	11	15
2	6	10	14
4	5	9	13
0	4	8	12

Core
 0: ws/gb
 0: blrt
 x: gb
 x: rt
 blrt Core → Stecker Netzteil
 gb/ws u → Stecker Netzteil

Keyboard-
 platine
 rechts
 oben
 bei den 4
 3,3k R
 Key-board Encoder

IME B4 Rueckverdrahtung, linke Haelfte (16.1.87)

	--32--	--31--	--30--	--29--	--28--	--27--	--26--	--25--	--24--	--23--	--22--	--21--	--20--	--19--	--18--	
A	..	..	..	..	..	..	(45)	..	..	..	..	..	..	..	..	A
B	NXk0	=====	..	..	..	..	4S	..	6F 7M	..	..	..	..	..	..	B
C	NXk1	=====	..	..	..	..	(44)	16J	..	6L	..	17V	..	Lrt	..	C
D	NXk2	=====	..	..	..	..	3S	16K	..	..	..	17T	..	Lgb	..	D
E	NXk3	=====	..	..	..	..	(46)	16H	..	..	..	..	..	Lgn	..	E
F	NXk4	..	..	..	..	..	=====	17L	..	5F 4M	3L	..	..	Lws	..	F
H	NXk5	=====	..	..	..	..	=====	6M	..	..	..	..	..	..	..	H
J	NXk6	=====	..	..	..	..	=====	..	..	..	..	..	..	(14)	..	J
K	NXk7	=====	..	..	..	..	=====	..	..	=====	..	..	..	(13)	..	K
L	NXk8	=====	..	..	..	..	=====	..	..	=====	..	..	..	(15)	..	L
M	NXk9	=====	17S	..	..	..	5S	17V	..	..	..	..	..	(16)	..	M
N	=====	=====	=====	=====	=====	=====	=====	=====	=====	=====	=====	=====	=====	=====	=====	N -12V
P	--32--	--31--	--30--	--29--	--28--	--27--	--26--	--25--	--24--	--23--	--22--	--21--	--20--	--19--	--18--	P 0V
R	=====	=====	=====	=====	=====	=====	=====	=====	=====	=====	=====	=====	=====	=====	=====	R +4.5V
S	..	..	..	..	..	..	7S	..	..	..	..	5L	..	..	2L	S
T	[1] (12)	=====	..	..	..	..	6S (34)	..	..	..	..	5K	..	..	..	T
U	[2] (11)	=====	..	..	..	..	..	..	..	3K	..	..	..	..	..	U
V	[4] (10)	=====	..	..	..	..	2S	..	..	2K	..	..	..	..	..	V
W	[8] (9)	=====	..	..	..	..	(43) (33)	..	..	6K	..	..	5M	..	..	W
X	..	..	..	..	..	..	..	..	..	..	..	..	..	..	..	X
Y	..	..	..	..	..	..	..	..	..	..	..	=====	..	..	..	Y
Z	..	..	..	..	..	..	..	..	..	..	..	..	..	..	..	Z

--32-- --31-- --30-- --29-- --28-- --27-- --26-- --25-- --24-- --23-- --22-- --21-- --20-- --19-- --18--

IME B4, Rueckverdrahtung, rechte Haelfte (16.1.87)

	--17--	--16--	--15--	--14--	--13--	--12--	--11--	--10--	--09--	--08--	--07--	--06--	--05--	--04--	--03--	--02--	--01--	
A	..	..	..	..	..	cr	..	..	..	..	..	..	..	..	..	..	..	A
B	===	17F	17H	17J	17K	cr	[8] 7B	5B	3B	2B	=====	11B (28)	10B (29)	(30)	(32)	9B	8B	B
C	===	=====	=====	=====	=====	cr	[4] 7C	5C	3C	2C	=====	11C (25)	10C (26)	(27)	(28)	9C	8C	C
D	===	=====	=====	=====	=====	cr	[2] 7D	5D	3D	2D	=====	11D (21)	10D (22)	(23)	(24)	9D	8D	D
E	===	=====	=====	=====	=====	cr	[1] 7E	5E	3E	2E	=====	11E (17)	10E (18)	(19)	(20)	9E	8E	E
F	16B	=====	=====	=====	=====	cr	=====	=====	=====	=====	=====	6J	24B	24F	=====	..	..	F
H	15B	25E	=====	=====	=====	cr	[8] (7)	(8)	(36)	(35)	=====	Kbd8	..	=====	..	..	..	H
J	14B	25C	=====	=====	=====	cr	[4] (5)	(6)	(38)	(37)	=====	Kbd4	7F	=====	=====	=====	=====	J
K	13B	25D	=====	=====	=====	cr	[2] (3)	(4)	(40)	(39)	=====	Kbd2	23W	20T	..	23U	23V	K
L	25F	NXa3	NXa7	NXa11	NXa15	cr	[1] (1)	(2)	(42)	(41)	=====	Kbd1	23C	21S	..	23F	18S	L
M	18C	NXa2	NXa6	NXa10	NXa14	cr	=====	=====	=====	=====	=====	24B	24H	20W	24F	=====	=====	M
N	=====	=====	=====	=====	=====	cr	=====	=====	=====	=====	=====	=====	=====	=====	=====	=====	=====	N
P	--17--	--16--	--15--	--14--	--13--	--12--	--11--	--10--	--09--	--08--	--07--	--06--	--05--	--04--	--03--	--02--	--01--	P
R	=====	=====	=====	=====	=====	cr	=====	=====	=====	=====	=====	=====	=====	=====	=====	=====	=====	R
S	29M	=====	=====	=====	=====	cr	=====	=====	=====	=====	=====	27S	27T	26M	26B	26D	27V	S
T	21E	=====	=====	=====	=====	cr	cs	cs	cs	cs	=====	[1] (1)	(2)	=====	(42)	(41)	=====	T
U	21C	NXa1	NXa5	NXa9	NXa13	cr	cs	cs	cs	cs	=====	[2] (3)	(4)	=====	(40)	(39)	=====	U
V	25M	NXa0	NXa4	NXa8	NXa12	cr	cs	cs	cs	cs	=====	[4] (5)	(6)	=====	(38)	(37)	=====	V
W	23K	cd	cd	cd	cd	cr	cs	cs	cs	cs	=====	[8] (7)	(8)	=====	(36)	(35)	=====	W
X	..	cd	cd	cd	cd	cr	ws/gb	..	..	..	..	..	..	..	..	..	..	X
Y	..	cd	cd	cd	cd	cr	bl/rt	..	..	..	..	..	..	..	..	..	..	Y
Z	..	cd	cd	cd	cd	cr	..	..	..	..	..	..	..	..	..	..	..	Z

--17-- --16-- --15-- --14-- --13-- --12-- --11-- --10-- --09-- --08-- --07-- --06-- --05-- --04-- --03-- --02-- --01--

\$