

**QS512**

**Dual Port Speicher (512kB)**

**Handbuch**

**D922.083**

**Version: 1.0**

**Datum : 15. April 1983**

**Copyright by Peripherie Computer Systeme GmbH, München**

Trademarks von DEC: DEC, O-RUS,  
Trademark von Bell Laboratories: UNIX

Die Vervielfältigung dieser Dokumentation sowie die  
Verwertung ihres Inhalts ist nur mit ausdrücklicher  
Genehmigung von PCS gestattet.

Wir sind bestrebt, immer auf dem neuesten Stand der  
Technologie zu sein. Aus diesem Grund behalten wir  
uns Änderungen vor.

	INHALT	Seite
1.	Einleitung.....	1
2.	Schaltungsbeschreibung.....	3
2.1	Speicherbank.....	5
2.2	0-Rus-Interface.....	5
2.2.1	Adress- und Datenbussignale.....	6
2.2.2	Steuersignale.....	7
2.3	S-Rus-Interface.....	8
2.3.1	Adress- und Datenbussignale.....	9
2.3.2	Steuersignale.....	10
2.3.3	Spezielle Signale.....	11
2.4	Refresh-Logik.....	12
2.5	Arbiter.....	13
2.6	Steuerlogik.....	13
2.7	Retriebsarten.....	14
2.8	Adresseckodierung.....	15
2.9	Parity-Einstellung.....	16
2.10	S-RUS-Terminierung.....	16
2.11	Mechanischer Aufbau.....	17
3.	Technische Daten.....	18
4.	Anhang	

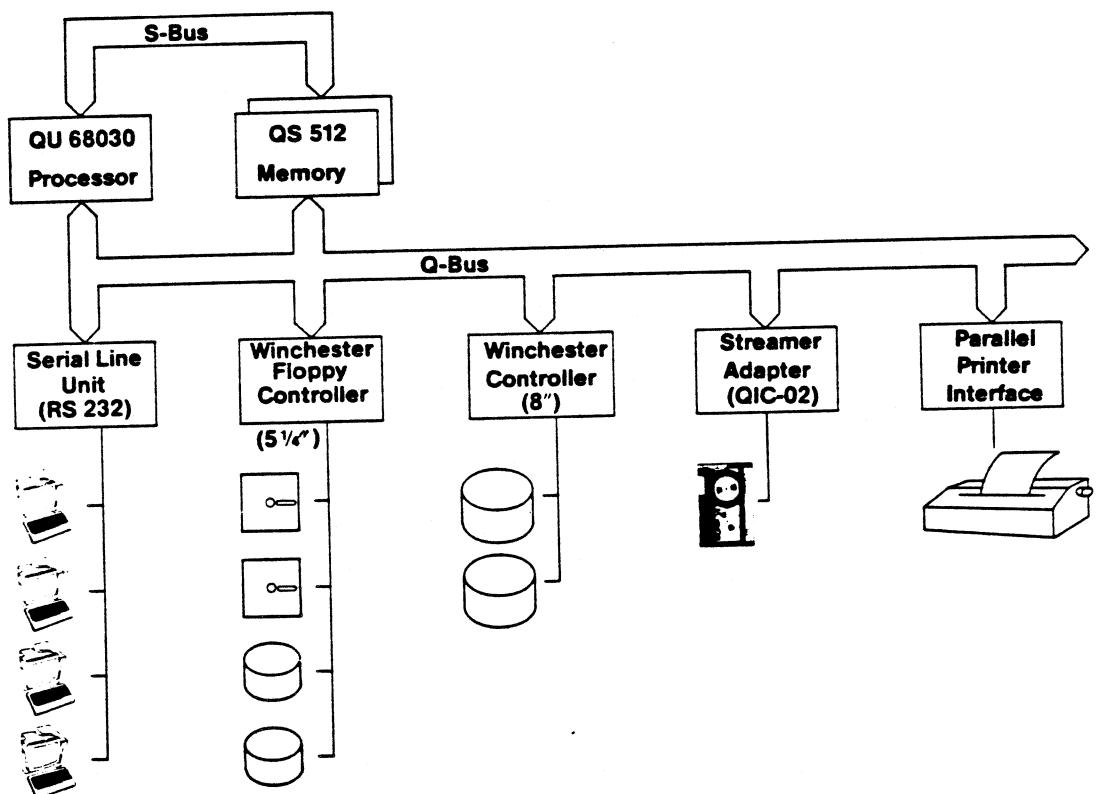
## 1. FINLFITUNG

Das Rechner-System OU68000 basiert auf dem Ø-Bus von DEC, damit eine problemlose Erweiterung des Systems auf der Ein-/Ausgabe-Seite jederzeit gewährleistet ist. Bei einer maximalen Bandbreite von 2 MByte/s ist der Ø-Bus für den Anschluß von peripheren Geräten wie Floppy Disk, Winchester oder paralleler Ein- und Ausgabe bestens geeignet. Bei Speicherzugriffen insbesondere der schnellen Version der MC68000-CPU (12,5 MMz) stellt der Ø-Bus jedoch einen Engpaß dar, der dazu führen würde, daß die Geschwindigkeit des Prozessors wegen zahlreicher Wartezeiten maximal zur Hälfte ausgelastet werden könnte. Dies führt zu der Notwendigkeit, zusätzliche lokale Speicher vorzusehen, welche nicht den Ø-Bus zur Datenübertragung benötigen.

Mit dem OS512 steht dem OU68000-System ein schneller Dual-Port-Speicher mit internen Refresh zur Verfügung. der sowohl vom Ø-RUS als auch vom S-RUS bedient werden kann.

Bei dem S-RUS handelt es sich um einen schnellen Speicher-Bus, der das Konzept des Systems OU68000 konsequent weiterführt. Code-Fetches werden über den S-RUS (1. Port) ausgeführt, während DMA-Devices über den Ø-RUS (2. Port) zugreifen können.

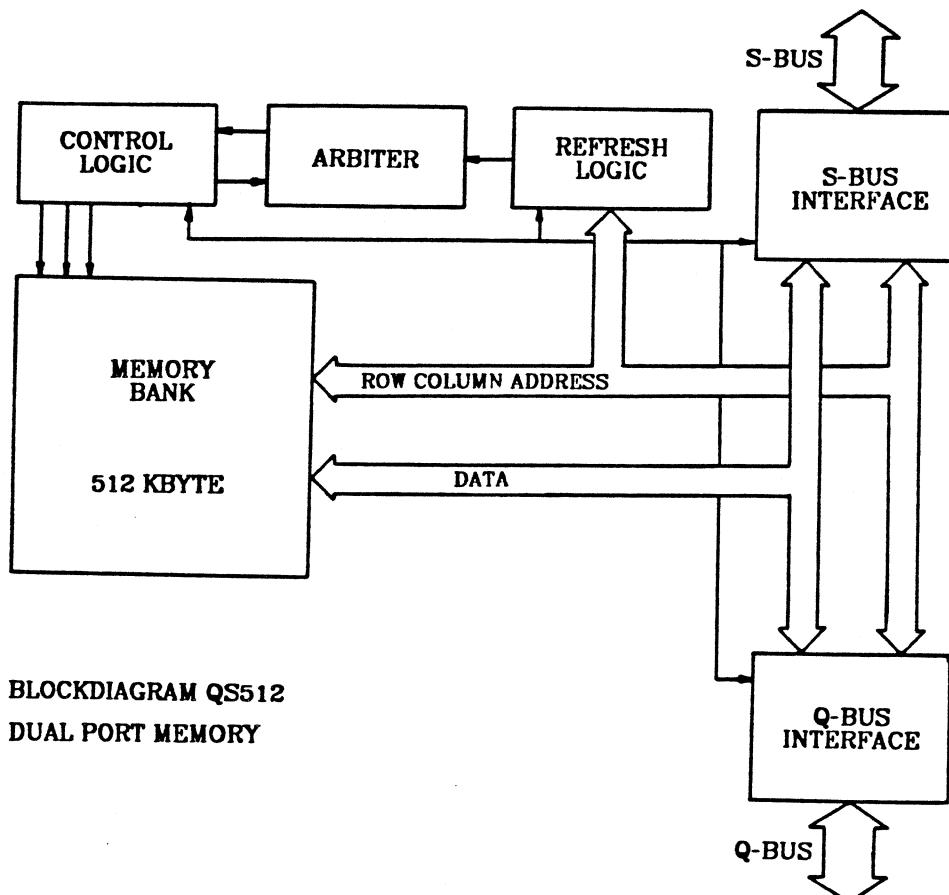
.../2



## 2. SCHALTUNGSRESCHREIBUNG

Der Dual-Port-Speicher OS512 besteht auf folgenden Bestandteilen:

- \* Speicherbank mit 512kByte Speicherkapazität und Byte-Parity
- \* Q-Bus-Interface, Adressen/Daten gemultiplext
- \* S-Bus-Interface
- \* Refresh-Logik
- \* Arbiter
- \* Steuerlogik
- \* Adreß-Dekodierung



Das Dual-Port-Prinzip des QS512 gestattet einen gleichzeitigen Zugriff auf die Speicherbank sowohl vom Q-Bus als auch vom S-Bus, wobei in der Regel vom Q-Bus per DMA von einem E/A Gerät zugegriffen wird, während die CPU über den S-Bus zugreift. Selbstverständlich ist auch ein normaler Speicherzugriff einer CPU (z.B. LSI11/23) über den Q-Bus möglich. Bei gleichzeitigem Zugriff der MC68000-CPU über den S-Bus und eines E/A-Gerätes über den Q-Bus sorgt die Arbiter-Logik auf dem QS512 dafür, daß zuerst der S-Bus-Zugriff, und anschließend der Q-Bus-Zugriff zugelassen wird. Erfolgt ein S-Bus-Zugriff auf den Speicher, während gerade eine DMA-Operation über den Q-Bus abläuft, wird der OU68030-Prozessor solange angehalten, bis der DMA abgeschlossen ist. Der Anwender muß natürlich Sorge tragen, daß durch den gleichzeitigen Zugriff zweier Einheiten auf den gleichen Speicher keine Fehler auf der Software-Seite auftreten.

Ein vollständiger Schreib- bzw. Lesezyklus wird mit dem OU68030-Prozessor am Q-Bus mit 6 Warte-Zyklen in ca. 1000ns ausgeführt. Über den S-Bus benötigt der OU68030 (insbes. bei Code-Fetches) nur noch 500ns, d.h. die Zugriffszeit halbiert sich. Ein Schreibzugriff dauert 600ns. Bei einem Refresh vergrößern sich diese Zeiten um maximal 400ns.

## 2.1 SPEICHERRANK

Die Speicherkapazität des OS512 beträgt 256 K Worte bzw. 512 kByte, organisiert zu 4 x 64K x 16 (18) Bit. Zwei zusätzliche Bits werden als RYTE-Parity-Speicher verwendet, d.h. es können auftretende Einzelfehler erkannt werden.

## 2.2 Q-BUS-INTERFACE

Die Verbindung zum Q-BUS findet über die Stecker A und B der Quad-Slot-Karte statt. Auf C und D sind lediglich die Stromversorgungs- sowie Daisy-Chain-Anschlüsse für DMA Grant (CR2 - CS2) und Interrupt Acknowledge (CM2 - CN2) realisiert. Die verwendeten Q-BUS-Anschlüsse können Sie im Anhang finden.

### 2.2.1 ADRESS- UND DATENRUSSIGNAL

Bei RDAL0L\* bis RDAL15L

handelt es sich um die gemultiplexten Daten- und Adressbits des O-Bus. Bei Speicherzugriffen wird zunächst die Adresse, dann das Datum an den Rus gelegt.

RDAL16L bis RDAL21L

sind 6 zusätzliche Adressleitungen, die eine Adressierung von 4 MByte erlauben. Eine Sonderfunktion besitzt RDAL16L. Über diese Leitung wird dem Prozessor ein eventueller Parity-Fehler mitgeteilt.

---

\*L steht für Low aktiv

\*H steht für High aktiv

### 2.2.2 STEUERSIGNAL

- RSYNCL (SYNCHRONISATION)  
RSYNCL zeigt an, daß eine Adresse angelegt ist.
- RDINL (DATA IN)  
AKTIV = Der Busmaster ist bereit ein Datum vom Speicher zu lesen. Der Speicher quittiert mit Reply.
- BDOOUTL (DATA OUT)  
AKTIV = Das Datum am Bus ist stabil und kann vom Speicher übernommen werden. Der Speicher quittiert mit Reply.
- BRPYL (REPLY)  
Der Speicher beantwortet einen Schreib- bzw. Lesevorgang mit dem Quittungssignal BRPYL.
- RBS7L (Rank 7 Select)  
Dieses Signal wird vom Busmaster generiert wenn die I/O-Page (\$FFFF000-\$FFFFFF) adressiert ist.
- RWTRTL (Write Byte)  
Ist RWTRTL während einer Schreiboperation (DAT0) gesetzt, handelt es sich um einen BYTE-Schreib-Befehl. RDALOL entscheidet, ob das gerade oder ungerade Byte beschrieben wird.

Nähere Einzelheiten über den Q-Bus finden Sie im "Processor-Handbuch" von DEC.

### 2.3 S-RUS-INTERFACE

Durch den S-RUS verfügt der Prozessor 0U68030 über einen "privaten Speicher-Rus", der einen optimal schnellen Speicherzugriff (code fetch) erlaubt. Das S-RUS-INTERFACE ist eine PCS-Fntwicklung. Die Signale sind auf den Prozessor-Chip MC68000 und den Aufbau eines dynamischen Speichers zugeschnitten. Die Pinbelegung des S-Russes finden Sie im Anhang.

### 2.3.1 ADRESS- UND DATENBUSSIGNALE

Die Datenleitung SDO ... SD15 dienen dem Datenverkehr zwischen Prozessor und Speichereinheit. Die Signale sind "aktiv High" und werden über bidirektionale Treiber getrieben bzw. empfangen.

Die Adreßleitungen sind in S-BUS Adresse (SA0 ... SA8) und Rank-Select (SR0 ... SB4) aufgeteilt. Prozessorseitig werden die unteren 16 Adreßleitungen (AD1 ... AD16) gemultiplext. Dies verringert zum einen die Zahl der S-BUS-Signale, zum anderen kommt es dem Konzept des S-BUS-Speichers entgegen (RAS, CAS).

Die oberen 5 Adressen (AD17 ... AD21) werden dem Speicher als Rank-Select zur Verfügung gestellt. Bei einer Speicherkapazität von 256K Worten selektieren SB2 ... SB4 maximal 8 Speicherkarten, SR0 ... SR1 wählen eines von vier 64K-Modulen aus.

### 2.3.2 STEUERSIGNAL

Der S-RIS besitzt 8 Steuersignale, von denen 6 prozessorseitig, und 2 auf dem Speicher generiert wurden.

Die Signale Read/Write (SR/W), Upper-/Lower Data Strobe (SIUDS, SLDS) und Adress-Strobe (SAS) sind direkte MC68000-Signale, die über Low-aktive Treiber zum Speicher gehen. SIUDS und SLDS dienen u.a. der Byte-Adressierung. SAS ermöglicht die Erkennung eines Read-Modify-Zyklus. SR/W gibt an, ob ein Schreib- oder Lesezyklus vorliegt.

Das Signal SSYNC signalisiert dem Speicher, daß die RAS-Adresse übernommen werden kann. Da BSSYNC in einer ganz bestimmten Prozessortaktphase aktiv wird (währen S4 - ca. 20ns nach positiver Taktflanke) und die Column-Adresse einen definierten Zeitraum später am Bus liegt, kann eine Delay-Line-Steuerung das Speichertiming übernehmen.

Als Antwort auf SSYNC gibt der Speicher das Acknowledge-Signal SRPLY. Dieses Signal verzögert sich bei Refresh sowie bei aktiven Ø-Rus Speicherzugriff.

Eine Besonderheit stellt der MC68000-Befehl "TAS" dar. In diesem Fall wird ein nicht trennbarer Read-Modify-Write Zyklus ausgeführt. Prozessorseitig ist SSYNC sowohl bei Read als auch bei dem nachfolgendem Write aktiviert. Während bei der Phasen bleibt AS aktiv, um auf die Besonderheit dieses Zyklus hinzuweisen.

Mit SPGE kann auf dem Memory-Board ein Parity-Error erzeugt werden. Die Erkennung dieses bzw. eines tatsächlich auftretenden Paritätsfehlers erfolgt über das Signal SPE. Bedingt durch das MC68000-Konzept wird der Fehler jedoch erst im nächsten Befehlszyklus erkannt.

### 2.3.3 SPEZIELLE SIGNALE

Bei der Adressierung einer Speichereinheit muß der Prozessor feststellen, ob S-RUS Speicher oder Q-BUS-Speicher angesprochen werden. Zu diesem Zweck werden die Memory-Present-Leitungen SMP0 ... SMP7 verwendet.

Korrespondieren die Kartenselekt-Signale SB2 ... SB4 mit der Schalterstellung auf dem S-RUS-Board, wird das Signal S-RUS aktiv.

Da es sich bei den Leitungen SMP0 ... SMP7 um statische Leitungen handelt, kann man diese als "Quasi-Masseleitung" ansehen. Diese Tatsache reduziert die Zahl der verwendeten S-RUS-Leitungen.

2.4 REFRESH-LOGIK

Auf dem OS512-Speicher ist eine Refresh-Logik implementiert, die die dynamischen Speicher automatisch alle 2ms auffrischt, ohne daß die externe CPU aktiv werden muß. Während eines Refresh-Vorganges kann die CPU nicht auf den Speicher zugreifen, sondern muß auf das Ende warten. Dadurch verlängern sich Schreib- und Lesezyklen um max. 400ns.

2.5 ARRITER

Beim OS512-Speicher gibt es 3 Einheiten, die auf den Speicherblock zugreifen: S-Bus, O-Bus und Refresh.

Jeder dieser 3 Teilnehmer beansprucht einen Speicherzyklus, der vollkommen asynchron ist. Die Arbitrierung hat die Aufgabe, den jeweiligen Request zu speichern und sofort oder verzögert die Zuteilung zu geben. Dabei kommt dem S-BUS die höchste, dem O-BUS die niedrigste Priorität zu.

2.6 STEUERLOGIK

Nach der Arbitrierung übernimmt eine Ablaufsteuerung das Speichertiming. Das Herz dieser Schaltung bildet eine Delay-Line.

Die Steuerlogik generiert die RAS/CAS-Signale für die Speicherbausteine. Die Steuerung der Interfaces (z.B. SRPLY, ORPLY) wird ebenfalls von hier gesteuert.

## 2.7 BETRIERSARTEN

Der Speicher OS 512 kann alle am O-BUS üblichen Speicherzugriffe wie:

DATI	(Read)
DATO	(Write)
DATOR	(Write/Byte)
DATI0	(Read-Modify-Write)
DATOR0	(Read-Modify-Write/Byte)

ausführen.

Diese Zugriffsarten sind ebenfalls über den S-BUS möglich.  
(Näheres siehe "Processor Handbook" von DEC)

## 2.8 ADRESSENDEKODIERUNG

Die Karte OS512 besitzt zur Adresseinstellung einen nach außen sichtbaren Rändelschalter. Mit den 8 Stellungen 0 ... 7 kann der gesamte Speicherbereich von 4 MByte in 512-KByte-Schritten angesprochen werden. In den Stellungen 8 und 9 ist der Speicher deseletktiert.

<u>Schalterstellung:</u>	<u>Speicherbereich:</u>
0	\$000000 - \$07FFFF
1	\$080000 - \$0FFFFF
2	\$100000 - \$17FFFF
3	\$180000 - \$1FFFFF
4	\$200000 - \$27FFFF
5	\$280000 - \$2FFFFF
6	\$300000 - \$37FFFF
7	\$380000 - \$3FFFFF
8	nicht selektiert
9	nicht selektiert

Eine Verschiebung des Speichers, in kleineren Stufen durch Einstellung einer Offset-Adresse, ist nicht vorgesehen.

Da der Adressraum für Q- und S-BUS gleich ist, ist die eingestellte Adresse für Q und S-Zugriffe identisch.  
(siehe Anhang)

## 2.9 PARITY-FINSTELLUNG

Die Speicherplatine besitzt die Möglichkeit mit Byte-Parity betrieben zu werden. Über 3 steckbare Brücken erfolgt die Einstellung der entsprechenden Betriebsarten.

"0": 0-Parity-Enable

Stecker in Richtung O-RUS-Stecker = 0-Parity ist enabled

"S": S-Parity-Enable

Stecker in Richtung O-RUS-Stecker = S-Parity ist enabled

"F": Force-Parity-Error

Stecker in Richtung O-RUS-Stecker = Force-Parity ist enabled.

Zu Testzwecken ist es möglich, über den Prozessor einen Parity-Error zu generieren. Bei gesetztem FPE-Bit werden Daten mit falscher Parität in den Speicher geschrieben. Ein späteres Lesen dieser Zelle(n) hat einen Parity-Fehler zur Folge.

Ein Force-Parity-Error kann nur über den S-BUS ausgelöst werden. Wird der Speicher lediglich am O-RUS verwendet, ist FPE zu deaktivieren! (siehe Anhang)

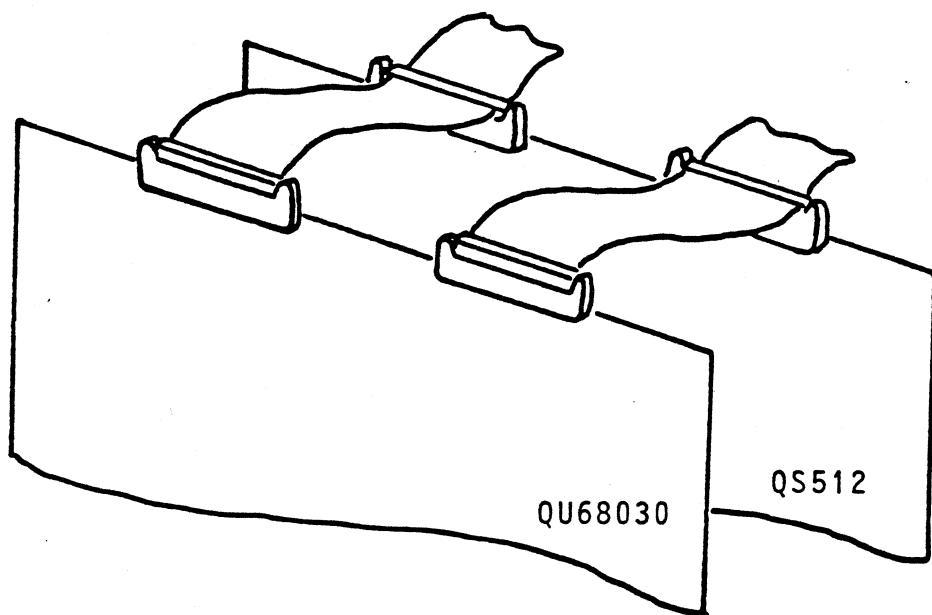
## 2.10 S-BUS-TERMINIERUNG

Auf dem Speicherboard befinden sich in der Nähe der S-BUS-Stecker drei 14pol. Fassungen (I7, M7, R7). Hiermit ist die Möglichkeit gegeben 36 S-BUS-Leitungen zu terminieren. Grundsätzlich darf nur die Speicherplatine eine Terminierung besitzen, die am weitesten vom Prozessor entfernt ist.

Achtung: Zur Zeit ist eine Terminierung der Speicherplatten nicht vorgesehen! (d.h. Fassungen bleiben frei)

## 2.11 MECHANISCHER AUFBAU

Der Speicher QS512 hat DEC QUAD-SLOT-FORMAT (265mm x 213mm). Der Q-BUS-Stecker entspricht den Spezifikationen für Q-BUS-Boards. Die S-BUS-Stecker bestehen aus zwei 40-poligen festen-Steckverbündern, über die mittels Flachbandkabeln die Verbindung zum Prozessor hergestellt wird. Der RIIS ist "daisy-chained", d.h. es können mehrere Speicherkarten ( $8 \times 0\text{S} 512 = \text{Vollausbau}$ ) betrieben werden.



3. TECHNISCHE DATEN

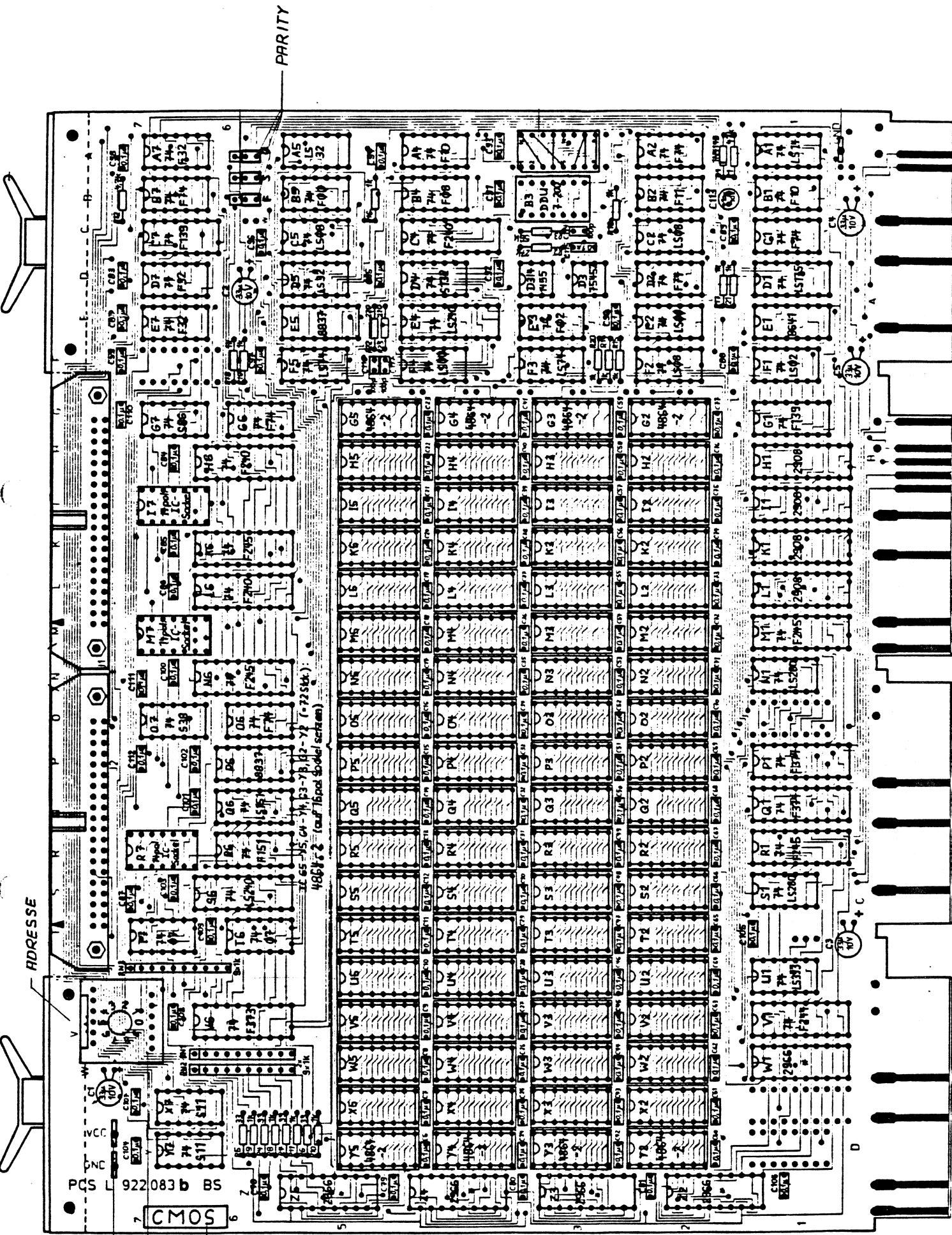
Format:	Quad-Slot
Strom (über O-BUS-Stecker)	
Standby:	2A (max. 2,5A)
S-Betrieb:	2,4A (max. 3,0A)
O-Betrieb:	2,3A (max. 2,9A)
Spannung:	+5V (+-5%)
Bus loads	
AC:	2
DC:	1
Bestellbezeichnung:	OS512 B 922.083

ANHANG

ADRESSE



PARITY



ADRESS-SCHALTER

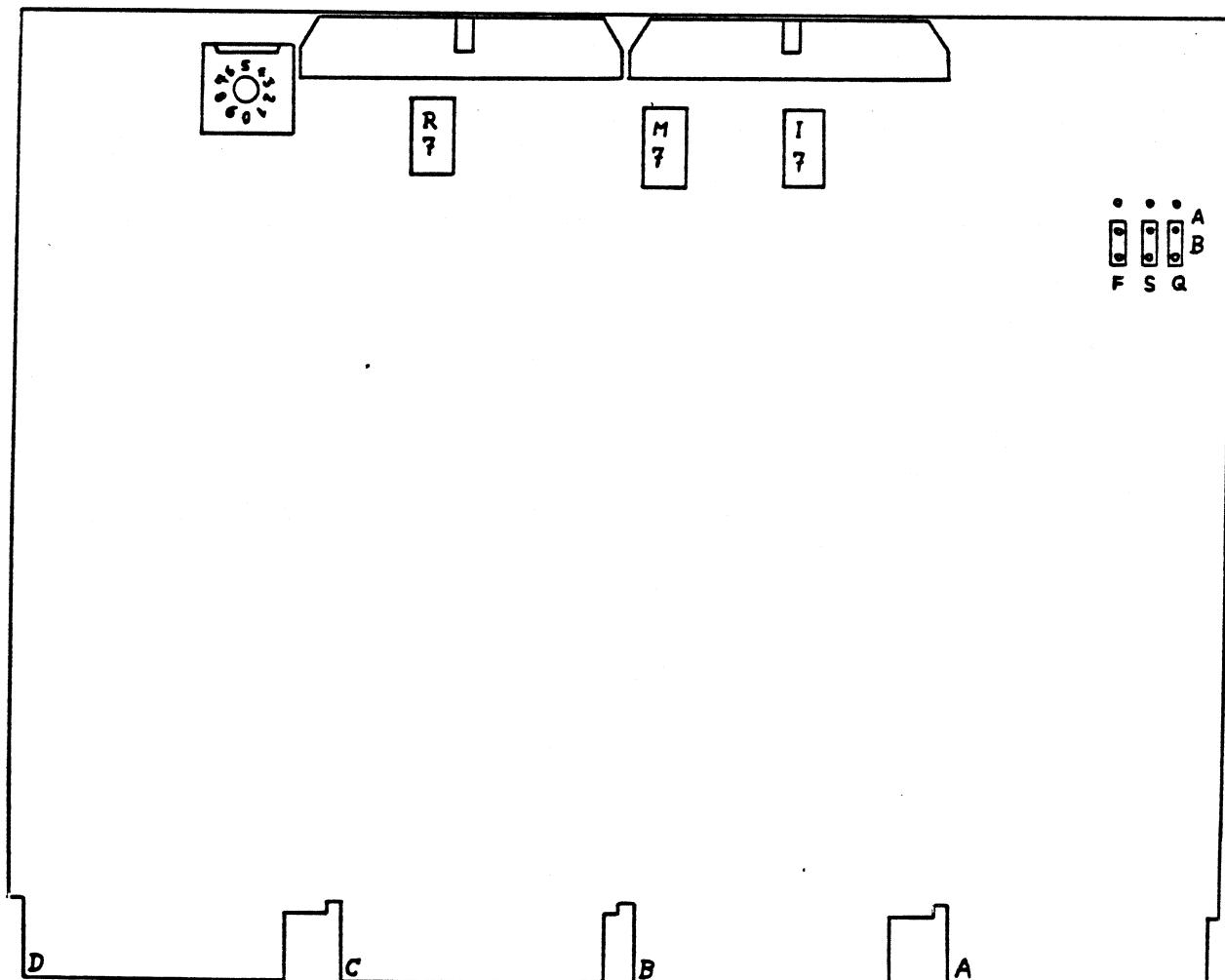
Schalterstellung	Speicherbereich
0	\$000000 - \$07FFFF
1	\$080000 - \$0FFFFFF
2	\$100000 - \$17FFFF
3	\$180000 - \$1FFFFFF
4	\$200000 - \$27FFFFFF
5	\$280000 - \$2FFFFFF
6	\$300000 - \$37FFFFFF
7	\$380000 - \$3FFFFFF
8	nicht selektiert
9	nicht selektiert

PARITY-JUMPER

## Jumper Stellung

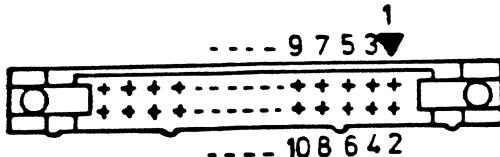
F	(A)	Force-Parity-Error disable
F	B	Force Parity-Error enable
S	A	S-Parity disable
S	(B)	S-Parity enable
Q	A	Q-Parity disable
Q	(B)	Q-Parity enable

○ - Standard



## Belegung:

## 3M Scotchflex - Steckerleiste



40 polig

Pin	Signalname	Bemerkungen	Pin	Signalname	Bemerkungen
1	BSD0		26	GND	
2	GND		27	BSD13	
3	BSD1		28	GND	
4	GND		29	BSD14	
5	BSD2		30	GND	
6	GND		31	BSD15	
7	BSD3		32	GND	
8	GND		33	BSR/W	
9	BSD4		34	GND	
10	GND		35	BSUDS	
11	BSD5		36	GND	
12	GND		37	BSLDS	
13	BSD6		38	GND	
14	GND		39	BSAS	
15	BSD7		40	GND	
16	GND		41		
17	BSD8		42		
18	GND		43		
19	BSD9		44		
20	GND		45		
21	BSD10		46		
22	GND		47		
23	BSD11		48		
24	GND		49		
25	BSD12		50		

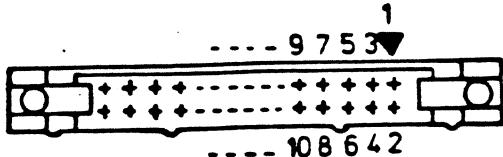
83	Tag	Name
	22.2	W. Elgulite
		<del>2-11-15</del>

**Steckerbelegung .QS512**  
gültig auch für: Prozessor QU68030/  
68050

## S-Bus Schnittstelle (J1)

P 922.083

**Belegung:  
3M Scotchflex - Steckerleiste**



40 polig

Pin	Signalname	Bemerkungen	Pin	Signalname	Bemerkungen
1	BSA0		26	GND	
2	BSMP0L		27	BSB4	
3	BSAT		28	GND	
4	BSMP1L		29	BSPE	
5	BSA2		30	GND	
6	BSMP2L		31	BSRPL	
7	BSA3		32	GND	
8	BSMP3L	-	33	BSPGE	
9	BSA4		34	GND	
10	BSMP4L		35	BSSYNC	
11	BSA5		36	GND	
12	BSMP5L		37	NC	
13	BSA6		38	GND	
14	BSMP6L		39	NC	
15	BSA7		40	GND	
16	BSMP7L		41		
17	BSA8		42		
18	GND		43		
19	BSB0		44		
20	GND		45		
21	BSB1		46		
22	GND		47		
23	BSB2		48		
24	GND		49		
25	BSB3		50		

Eingang	Tag	Name
-----	22.2	61. Schubbe Kofig

Steckerbelegung QS512  
gültig auch für: Prozessor QU68030/  
68050

**DCS**  
PERIPHERALE COMPUTER SYSTEME

S-Bus Schnittstelle (J2)

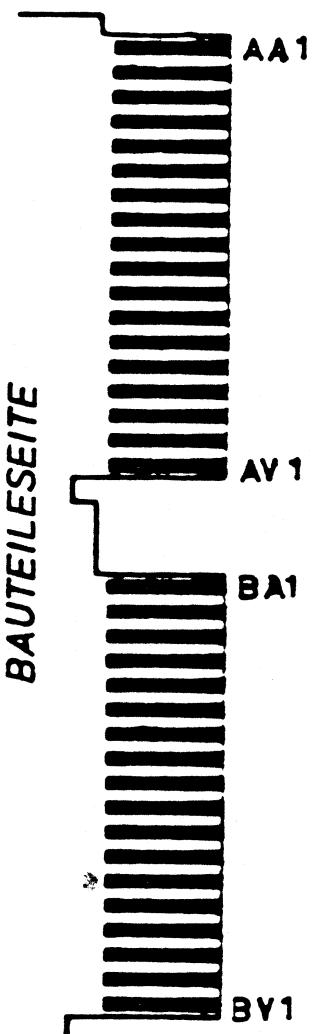
P 922.083

M 10.00

2

2

Diese Erkenntnis ist unser Tugend und Verhängnis.  
unbedeutige Verwertung Marketing von Waren- & Dienstleistungen  
strategisch und wissenschaftlich aufzubauen



BAUTEILESEITE		LÖTSEITE	
REIHE A			
AA 1		AA 2	+5V
AB 1		AB 2	
AC 1	BDAL 16 L	AC 2	GND
AD 1	BDAL 17 L	AD 2	
AE 1		AE 2	BDOUT L
AF 1		AF 2	BRPLY L
AH 1		AH 2	BDIN L
AJ 1	GND	AJ 2	BSYNC L
AK 1		AK 2	BWTBT L
AL 1		AL 2	
AM 1	GND	AM 2	BIAKI L
AN 1		AN 2	BIAKO L
AP 1		AP 2	BBS7
AR 1		AR 2	BDMGI L
AS 1		AS 2	BDMGO L
AT 1	GND	AT 2	BINIT L
AU 1		AU 2	BDAL 0 L
AV 1		AV 2	BDAL 1 L
REIHE B			
BA 1	BDCOK H	BA 2	+5V
BB 1		BB 2	
BC 1	BDAL 18L	BC 2	GND
BD 1	BDAL 19L	BD 2	
BE 1	BDAL 20L	BE 2	BDAL 2 L
BF 1	BDAL 21L	BF 2	BDAL 3 L
BH 1		BH 2	BDAL 4 L
BJ 1	GND	BJ 2	BDAL 5 L
BK 1		BK 2	BDAL 6 L
BL 1		BL 2	BDAL 7 L
BM 1	GND	BM 2	BDAL 8 L
BN 1		BN 2	BDAL 9 L
BP 1		BP 2	BDAL 10 L
BR 1		BR 2	BDAL 11 L
BS 1		BS 2	BDAL 12 L
BT 1	GND	BT 2	BDAL 13 L
BU 1		BU 2	BDAL 14 L
BV 1	+5V	BV 2	BDAL 15 L