



PCS GmbH
Pfälzer-Wald-Straße 36
D-8000 München 90
Tel. (0 89) 68 10 21 >6 78 04-0*<
Telex 5 23 271

PCS GmbH
Geschäftsstelle Düsseldorf
Borsigstraße 12
D-4030 Ratingen 1
Telefon (0 21 02) 4 60 83
Telex 8 585 315

QU68030 / 50

ANWENDERHANDBUCH

Lieber Leser,

Die vorliegende Dokumentation ist für Anwender des MUNIX-Betriebssystems konzipiert und umfaßt die komplette Beschreibung der Baugruppe QU68030 bzw. QU68050. Kenntnisse über Q-Bus und MC68000 CPU werden vorausgesetzt; nähere Einzelheiten dazu sind den folgenden Unterlagen zu entnehmen, auf die ggf. auch im Text verwiesen wird:

Q-Bus: "Microcomputer Processor Handbook"
DEC - Dokumentation

MC68000: "MC68000 Benutzer-Handbuch"
Motorola - Dokumentation

MUNIX: "MUNIX Betriebssystem"
PCS - Dokumentation

Mit speziellen Fragen wenden Sie sich bitte an unsere Serviceabteilung:

PCS - Peripherie Computer Systeme GmbH
Serviceabteilung

Pfälzer-Wald-Straße 36
D-8000 München 90
Tel: 089/681021
Telex: 523271

Wir wünschen Ihnen viel Erfolg mit unserem Produkt!

Best.Nr. D922026HD0683

Aufl.Nr. 0683T0.5AWD

Trademark von PCS: MUNIX

Trademark von DEC: DEC

Trademark von Bell Laboratories: UNIX

Copyright by PCS, München 1983, alle Rechte vorbehalten. Informationen in diesem Handbuch vorbehaltlich technischer Änderungen. Für Schäden irgendwelcher Art, die aus Anwendung oder Gebrauch des Produktes entstehen wird keine Haftung übernommen.

ALLGEMEINE BAUGRUPPENBESCHREIBUNG	5
Technische Daten	4
Q-Bus Systeme mit der Baugruppe QU68030	6
Multiprozessorsysteme	7
Mechanisches Konzept	7
Einbau in bestehende Q-Bus Systeme	8
Betriebssystem	8
FUNKTIONSBesCHREIBUNG	9
MC68000 MIT DECODER/CONTROLLER	9
SPEICHERVERWALTUNG (MMU)	10
Erste Adreß-Umsetzstufe (Segment-Map)	11
Zweite Adreß-Umsetzstufe (Page-Map)	13
DER LOKALE ADRESSRAUM	17
EPROM - Bereich	18
RAM - Bereich	18
Lokale I/O - Adressen	18
Segment - Descriptoren	19
Seiten - Descriptor	19
Prozessor - Kontroll - Register	19
Error-Status - Register	21
DMA - Extention Register	22
External Page	23
Adreßzuordnung im Anlaufzustand	23
Q-BUS ARBITER	25
INTERRUPT - ZUORDNUNG	26
KALENDERUHR	27
Q-BUS ADAPTER	28
Anpassung der Data/Adress- und Data/Control-Signale	29
Lese - Zyklus	30
Schreib - Zyklus	30
Anpassung der Interrupt-Control Leitungen	31
Anpassung der DMA-Control Leitungen	32
Anpassung der System-Control Leitungen	33
Q-Bus Interface	34
Steckerbelegung	34
S-BUS ADAPTER	35
S-Bus Adreß- und Datensignale	36
S-Bus Steuersignale	36
Lese - Zyklus	39
Schreib - Zyklus	40
Lese - Modifizierte - Schreib Zyklus	41
S-Bus Interface	42
Steckerbelegung	42
REGISTER	45

TECHNISCHE DATEN QU68030/50

Betriebssystem: MUNIX

Prozessor: MC68000 L10
Taktfrequenz: 10 MHz

MMU: QU68030 einstufig
QU68050 zweistufig

Interfaces: Q-Bus, 4 MByte Adressraum
S-Bus, 4 MByte Adressraum

Zykluszeiten: Q-Bus Lese-Zyklus 1 μ s
Schreib-Zyklus 1 μ s
S-Bus Lese-Zyklus 500 ns
Schreib-Zyklus 600 ns
Lese-Modifiziere-
Schreib-Zyklus 1300ns

Interrupt-Latenzzeit 5,3 μ s
DMA-Latenzzeit 1,0 μ s

Kalenderuhr: Zeitangabe von 0,1 ms bis
Monatsangabe, Laufzeit ohne
Netzanschluss ca. 1 Jahr.

Kartenformat: 26,6cm x 22,8cm "Quad-Slot"

Steckleisten: Q-Bus = direkte Steckung,
Kontaktzungen
S-Bus = 2 Stück 3M 40-pol.

Leistungsaufnahme: 4,5 A bei 5V

Temperaturbereich: +5 - +60 °C

Luftfeuchtigkeit: 5% - 95%

ALLGEMEINE BAUGRUPPENBESCHREIBUNG

Mit den Baugruppen QU68030/50 stellt PCS Zentraleinheiten für Q-Bus Systeme auf der Basis des MC68000 von Motorola vor.

Durch optimale Anpassung dieses leistungsfähigen 16-bit Mikroprozessors an die Q-Bus Umgebung lassen sich erheblich kürzere Zykluszeiten realisieren als beispielsweise mit den DEC-Prozessoren LSI-11/2 oder LSI-11/23. Die Baugruppe QU-68030/50 kann in bestehenden Systemen diese Prozessoren ersetzen und so unter Beibehaltung der restlichen Hardware die Systemleistung ganz entscheidend steigern.

Dennoch stellen die Timing-Restriktionen des Q-Bus einen Engpaß im Gesamtsystem dar, der die mit der CPU erreichbare Geschwindigkeit bis zur Hälfte reduziert. Um die maximale Geschwindigkeit der MC 68000 CPU zu nutzen ist deshalb auf der Baugruppe QU68030/50 ein separater Speicher-Bus (S-Bus) implementiert, der direkten Zugriff auf spezielle schnelle Speicher-karten ermöglicht. Der Q-Bus wird vom Prozessor nur noch für Ein/Ausgabe-Aktivitäten genutzt.

Die vom S-Bus angesprochenen Speicher-einheiten QS512 sind Dual-Port Speicher, die sowohl mit dem S-Bus als auch mit dem Q-Bus verbunden sind, was peripheren DMA-Zugriff über den Q-Bus ermöglicht. Ein auf der QU68030/50 Karte implementierter Q-Bus Arbiter ermöglicht periphere DMA-Zugriffe auf Dual-Port Speicher, ohne den Daten-austausch über den S-Bus zu behindern.

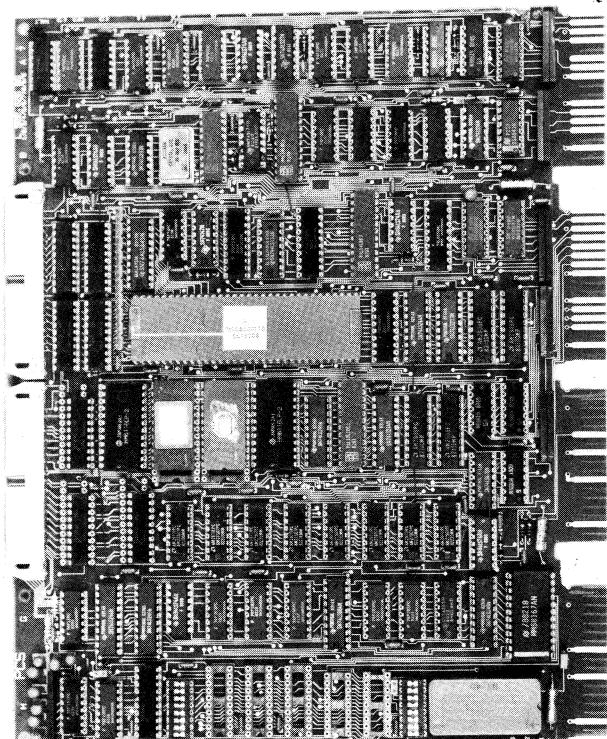


Bild: Bauteilseite Baugruppe QU 68000

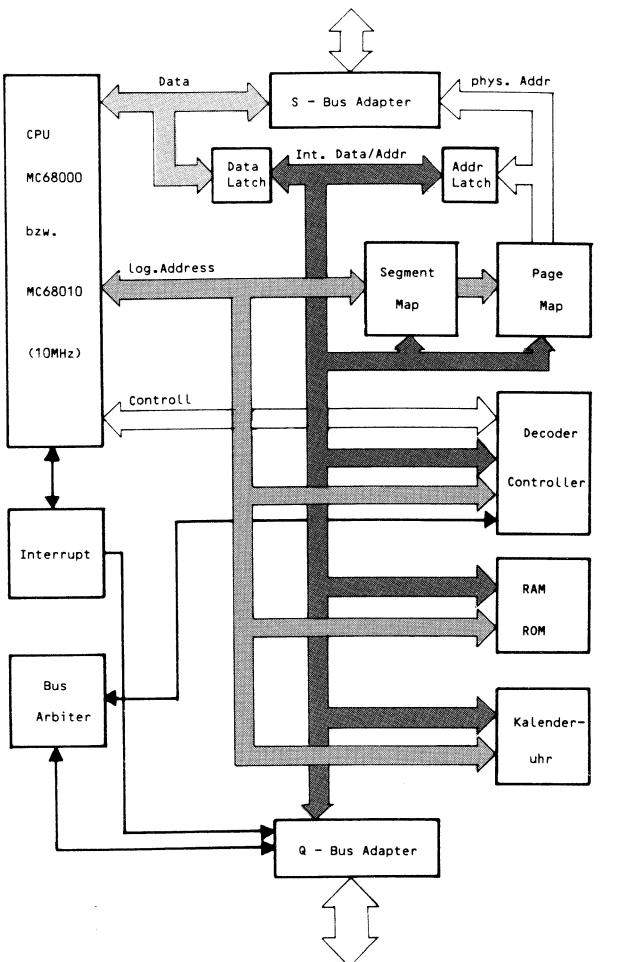
Der vom MC68000 direkt ansprechbare 16-MByte-Adressebereich wird durch die am Q-Bus definierten 22 Adresseleitungen auf 4 MByte begrenzt. Eine speziell an das MUNIX Betriebssystem angepaßte Memory Management Unit (MMU) transformiert den logischen Adressebereich in den vorhandenen physikalischen Adressraum und verwaltet Speicherorganisation und Zugriffsrechte. Zwei Versionen der Baugruppe sind bis jetzt verfügbar:

QU68030 mit einstufiger Umsetzung von Logischen in Physikalische Adressen

QU68050 mit zweistufiger Adreßumsetzung zur Definition eines virtuellen Adressraumes

Im folgenden wird der QU68030 beschrieben, abweichende Eigenschaften der Baugruppe QU68050 werden gesondert erwähnt.

Auf der Baugruppe befinden sich neben dem Prozessor-Chip der Decoder/Controller, die MMU, der lokale Speicherbereich für Boot, Diagnose und Online-Debugger, der Q-Bus Arbitrer, die Interruptsteuerung, eine Kalenderuhr sowie Q- und S-Bus Adapter.

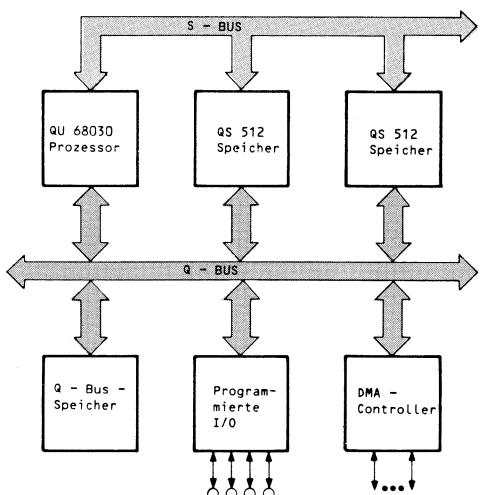


Blockschaltbild Baugruppe QU68030/50

Q-Bus Systeme mit der Baugruppe QU68030/50

Nebenstehendes Bild zeigt den Aufbau eines Q-Bus Systems unter Verwendung der Baugruppe QU68030.

Am Q-Bus kann beliebige Standard-Peripherie (Q-Bus Speicher, programmgesteuerte Ein/Ausgabe-Controller, DMA-Controller) angeordnet sein, die Baugruppe QU68030 übernimmt dabei die Funktion des Prozessors und Bus-Arbiters.



Gesamtstruktur des Rechnersystems

Zusätzlich enthält das System spezielle Speichereinheiten (QS512 mit 512 KByte Speicherkapazität), die direkt über den S-Bus mit dem Prozessor verbunden sind. Um peripheren DMA-Zugriff zu ermöglichen, verfügen diese Einheiten neben dem S-Bus Port auch über einen Q-Bus Port (Dual Port).

Multiprozessorsysteme

Die Möglichkeit zu simultanem Betrieb von S- und Q-Bus weist bereits in Richtung späterer Multiprozessor-Systeme für zeitkritische Rechenaufgaben mit gesteigerter Leistung.

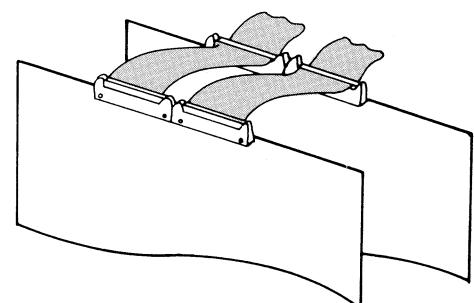
Im Prinzip ist es möglich, bis zu acht QU68030 Systeme mit S-Bus Speicher in ein Q-Bus System einzufügen; in der vorliegenden Version ist jedoch die Multiprozessor-fähigkeit noch nicht für den Anwender verfügbar!

(Dazu müßten bestimmte Funktionen deaktiviert werden. So darf z.B. nur ein einziger Prozessor den Q-Bus Arbiter spielen, auch Peripherie-Interrupts vom jetzigen Konzept abweichend behandelt werden. Weiter muß jede Speicherzelle im Mehrrechnersystem eine eindeutig identifizierbare Adresse haben; die Prozessoren arbeiten dann parallel mit ihren zugeordneten Speichern, eine Unterbrechung findet nur statt, wenn über den Q-Bus ein DMA Zugriff auf einen anderen Speicherbereich erfolgt.)

Mechanisches Konzept

Die Baugruppe QU68030 ist auf einer Quad-Slot Karte entsprechend der Q-Bus Spezifikation aufgebaut.

Der S-Bus wird durch zwei 40-polige Flachbandkabel realisiert, wobei zur Erhöhung der Störsicherheit jede zweite Leitung auf Masse bzw. statisches Potential gelegt ist. (Steckerbelegung siehe S.40)



Mechanische Q-Bus Realisation

Einbau in bestehende Q-Bus Systeme

Die Baugruppe QU68030 kann ohne Änderungen in bereits bestehenden Q-Bus Systemen die Prozessorkarte ersetzen (und damit die Systemleistung ganz entscheidend erhöhen). Bereits vorhandene sonstige Hardware kann weiter genutzt werden, eine besondere Zusatzverdrahtung ist, abgesehen vom S-Bus Flachbandkabel bei zusätzlicher Implementierung von Dual-Port Speichern nicht nötig.

Einige DMA-Controller stellen jedoch am Q-Bus nur 18 Adreßbit zur Verfügung, was durch ein spezielles DMA-Extention Register auf der Baugruppe QU68030 ausgeglichen werden kann. Sollen jedoch mehrere dieser Controller quasi gleichzeitig in unterschiedlichen 256 KByte- Segmenten arbeiten, so wird zur Identifikation des jeweils aktiven Controllers eine Zusatzverdrahtung am Q-Bus erforderlich (Details siehe S.32).

Betriebssystem

Als Betriebssystem für die Baugruppe QU68030 dient das auf der UNIX Vers. 7 (Bell Lab.) basierende MUNIX, das standardmäßig bereits C-Compiler, FORTRAN 77, 68000-Assembler sowie viele Utilities umfaßt. Zusätzlich ist eine große Zahl anderer Sprachen und Programme verfügbar.

Detailierte Informationen können Sie in der PCS-Dokumentation "MUNIX Betriebssystem" entnehmen.

FUNKTIONSBeschreibung

Übersicht

Die Prozessorkarte QU68030 besteht aus folgenden Funktionsgruppen:

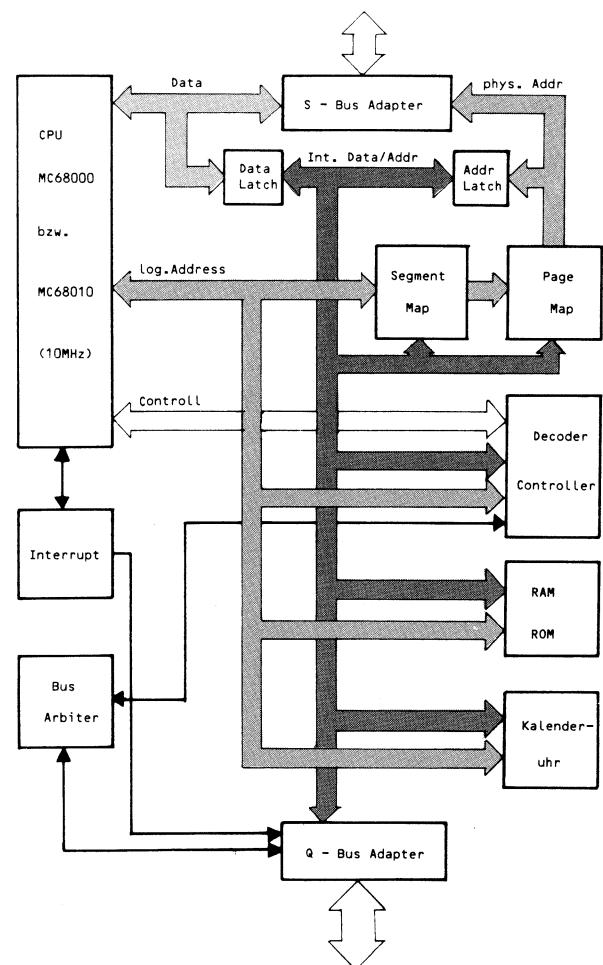
- o MC68000 Prozessor mit Decoder/Controller
- o Speicherverwaltung (MMU)
- o lokaler Speicher (RAM, ROM)
- o Bus-Arbiter, Interruptsteuerung
- o Kalenderuhr
- o Q-Bus Adapter
- o S-Bus-Adapter

Auf den nächsten Seiten werden diese Funktionsgruppen im einzelnen beschrieben.

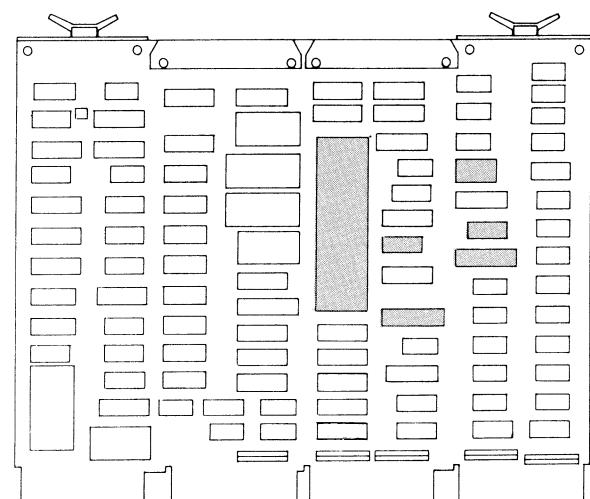
MC68000 MIT DECODER/CONTROLLER

Der Prozessor MC68000 bildet zusammen mit dem Decoder/Controller das Herz der Baugruppe. Eine ausführliche Beschreibung des Prozessors und seines Befehlssatzes findet sich in der Motorola-Dokumentation "MC68000 UM AD2", dem deutschsprachigen Benutzer-Handbuch.

Der Decoder/Controller liefert das 10 MHz Taktsignal und koordiniert die Verarbeitung der zahlreichen baugruppeninternen Adress- und Datensignale.



Blockschaltbild QU68030



Prozessor und Controller auf Baugruppe

SPEICHERVERWALTUNGS - EINHEIT (MMU)

Die auf der Baugruppe implementierte Speicherverwaltungs-Einheit (Memory Management Unit) ist speziell für die Anforderungen des MUNIX Betriebssystems konzipiert und mit LSI- und MSI- Schaltkreisen bestückt. Sie übernimmt folgende Aufgaben:

- o Aufteilung des vom MC68000 direkt adressierbaren (logischen) Adressbereiches in sechzehn max. 1 MByte große Segmente und Umsetzung in die an Q- und S-Bus implementierten physikalischen Speicheradressen (max. 4 MByte).
- o Verwaltung der Zugriffsrechte zu einzelnen Speichersegmenten und Erkennung von Zugriffsrechts-Verletzungen.

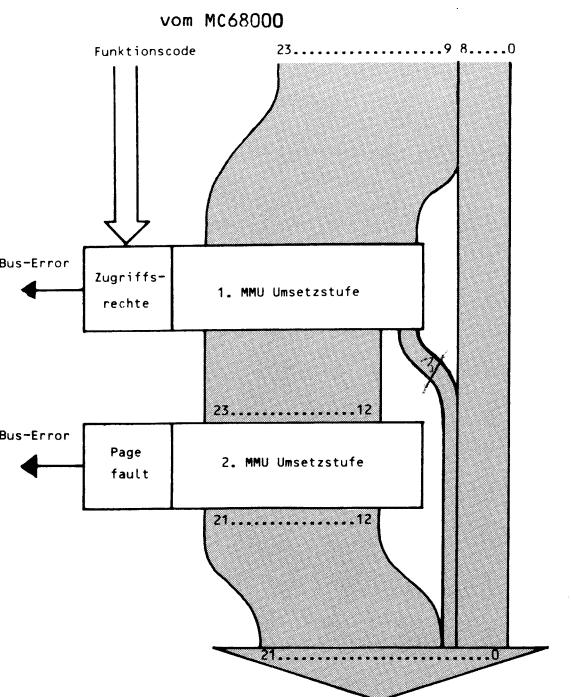
Zwei Versionen der MMU stehen zur Verfügung:

- o Prozessor QU68030 mit direkter Umsetzung von logischen in physikalische Adressen (einstufige Umsetzung)
- o Prozessor QU68050 mit zusätzlicher Implementierung eines virtuellen Adressraumes und entsprechender Seiten-Kachel Umsetzung (zweistufige Umsetzung: logisch - virtuell - physikalisch).

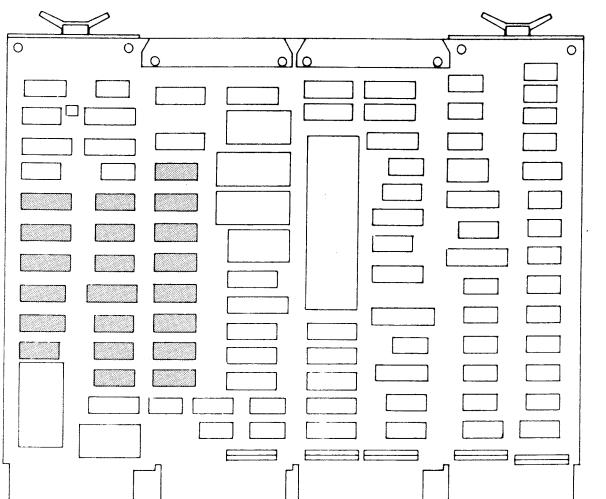
Die heute lieferbare CPU-Version MC68000 läßt noch keine für einen virtuellen Speicher notwendige Page-Fault-Behandlung zu, die den gerade ablaufenden Prozeß bei Zugriff auf eine im reellen Speicher nicht vorhandene Seite so suspendiert, daß er nach Laden der fehlenden Seite fortgeführt werden kann.

Die virtuelle Addressierung ist also einstweilen nicht anwendbar, dies wird erst mit der nächsten CPU-Version MC68010 möglich sein (lieferbar ab 4. Quartal 1983).

Vorläufig führt eine nicht vorhandene Seite noch zu einem Bus-Error, der nicht in jedem Falle die konsistente Fortführung des Prozesses erlaubt.



Prinzipielle Funktionsweise der MMU



Lageplan der MMU auf der Platine

Im User-Mode bildet die MMU den gesamten direkt adressierbaren Adreßbereich des MC 68000 (16 MByte) auf S- und Q-Bus ab; dagegen sind im Supervisor-Mode die oberen 32K des 16 MByte Adreßraumes als "lokaler" Adreßraum definiert. Dazu gehören lokale I/O-Adressen, RAM und EPROM für Boot und MMU - Initialisierung sowie die 8K-External Page des Q-Bus (Details siehe nächstes Kapitel).

Direkte Bedienung der Peripherie-Bau- gruppen ist deshalb nur im Supervisor-Mode möglich, im User-Mode übergibt der Anwender diese Aufgabe dem Betriebssystem.

Erste Umsetzstufe (Segment-Map)

Die erste Umsetzungsstufe ist bei beiden Prozessorversionen QU 68030/50 identisch.

Das Funktionsprinzip ist an der Speicher- verwaltung der PDP-11-Architektur orien- tiert, die auch von verschiedenen 16-Bit Mikroprozessoren übernommen wurde (z.B. vom Z8000).

Der durch die CPU - Adreßleitungen definierte logische Adreßraum wird in 16 Segmente von maximal 1 MByte Länge ge- gliedert. Segmentlänge, Richtung und Zu- griffsrechte sind durch sechzehn Segment - Descriptor-Register definiert, die im lokalen Adreßraum angeordnet sind (s. S.19). Sie können im Supervisor-Mode beschrieben werden, Lesezugriffe sind nicht möglich (ggf. muß ein Speicherabbild erstellt werden).

Jeder Segment-Descriptor besteht aus zwei 16 Bit Worten. Die niederwertigen 15- Bit des ersten Wortes enthalten ein Adreß- register, das zur Umsetzung logischer in virtuelle Adressen dient:

Die höchstwertigen vier vom Prozessor angelieferten Adreßbit (20 bis 23) wählen einen Segment-Descriptor aus. Dessen Adreßteil definiert die 15 höchstwertigen Bit der Segment-Basisadresse (Bit 9 bis 23); die niedrigwertigen 9 Bit (0 bis 8) werden als "0" angenommen.

Ein Hardwareaddierer erzeugt nun die oberen 15 Bit der virtuellen Adresse durch Addition von Bit 9-19 der Prozessoradresse mit dem Adreßteil des Segment-Descriptors; die niedrigwertigen 9 Bit werden direkt durchgeschaltet. Da nur die höherwertigen 15 Bit der Basisadresse modifizierbar sind, können einzelne Segmente in Einheiten von 512 Byte auf eine beliebige Adresse im virtuellen Adreßraum gelegt werden.

Die ersten 11 Bit des zweiten Segment-Descriptor-Wortes definieren die Länge des Segments. Sie kann in Einheiten von 512 Byte eingestellt werden (max. 1 MByte). Über- oder Unterschreitung des eingesetzten Segmentbereichs führt zu einem Bus-Error.

Das nächste Bit legt die Richtung des Segments fest: "0" bedeutet von unten nach oben (konventionell), "1" bedeutet von oben nach unten (z.B. bei Stack).

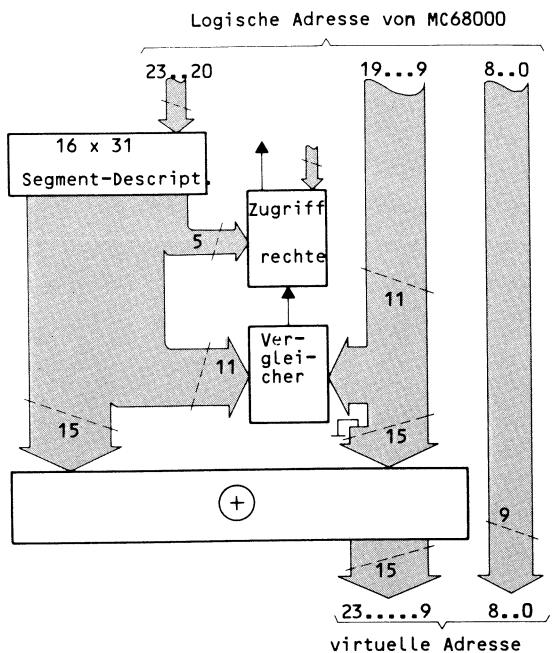
Die vier höchstwertigen Bit des zweiten Segment-Descriptor Wortes regeln die Zugriffsrechte zum Segment. Sie werden bei jedem Bus-Zyklus mit dem 3-Bit Funktionscode des MC 68000 verglichen; die Verletzung von Zugriffsrechten führt zu einem Bus-Error. Die einzelnen Bit bedeuten folgendes:

RDWR:(read/write) Segment beschreibbar

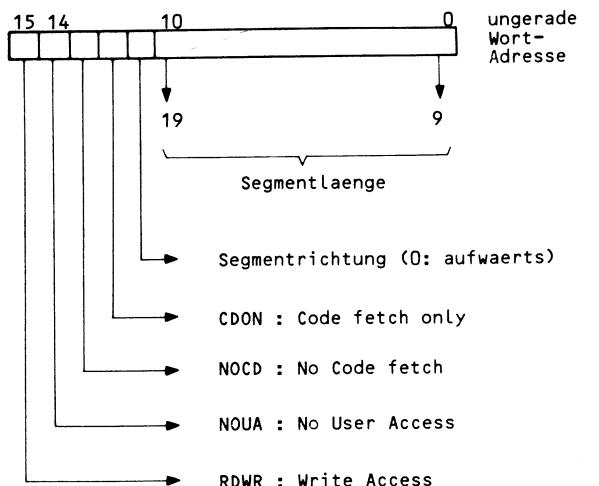
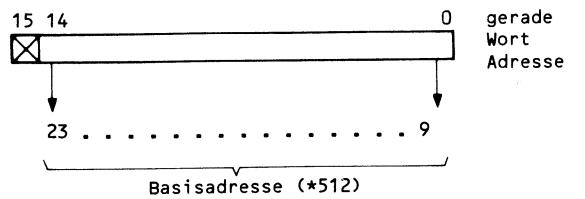
NOUA:(no user access) Zugriff im User-Mode verboten

NOCD:(no code fetch) Code-Fetch verboten

CDON:(code fetch only) nur Code-Fetch erlaubt (Kopierschutz)



Funktionsprinzip der ersten Umsetzstufe



Bit-Belegung eines Segment-Descriptors

Alle Fehler und Zugriffsrechts-Verletzungen, die in der ersten Umsetzphase entstehen können, führen zu einem Bus Error und damit zur Speicherung folgender Informationen über den Prozessorzustand zum Zeitpunkt der Error-Meldung (s.a. MC68000 Benutzer-Handbuch):

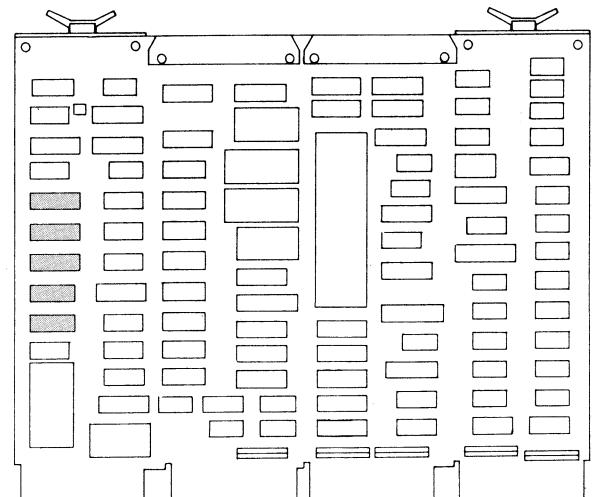
- o Bus-Zyklus (Funktionscode, Art des Zyklus u.s.w)
- o logische Adresse für Bus-Zyklus
- o Inhalt des Instruktionsregisters
- o Status-Register des Prozessors

Zusätzlich ist bei Adreß-Umsetzfehlern die genaue Ursache im Fehler-Statuswort vermerkt (s.S.21).

Zweite Adreß-Umsetzstufe (Page-Map)

Die zweite Adreß-Umsetzstufe, die Umsetzung des virtuellen 16 MByte-Adreßraumes in (max. 4 MByte) physikalische Speicheradressen ist nur bei der Prozessorversion MC68050 implementiert. Sie übernimmt die klassische Seiten-Kachelumsetzung, wobei die Umsetztabelle durch einen besonders schnellen Halbleiter-Speicher realisiert ist. Beim QU68030 werden die von der ersten MMU-Stufe gebildeten Adressen ohne weitere Umsetzung als physikalische Adressen verwendet (entsprechend müssen die Segment-Descriptoren belegt werden).

Mit der gegenwärtigen Prozessor-Version MC68000-L10 ist keine page-fault-Behandlung möglich, die beim Zugriffsversuch auf eine im physikalischen Speicherbereich noch nicht definierte Seite den logischen Prozeß solange unterbricht, bis die fehlende Seite aus einem externen Speicher eingeladen ist.



Page-Map Schaltkreise auf der Platine

Der volle Funktionsumfang der Baugruppe QU 68050 wird erst mit der Prozessor-Version MC68010 einsetzbar sein, die ab viertem Quartal 1983 serienmäßig lieferbar ist.

Seiten-Kachel-Tabelle

Als Seiten- und Kachelgrößen wurden 4 KByte definiert, woraus folgende maximale Seiten- bzw. Kachelanzahlen resultieren:

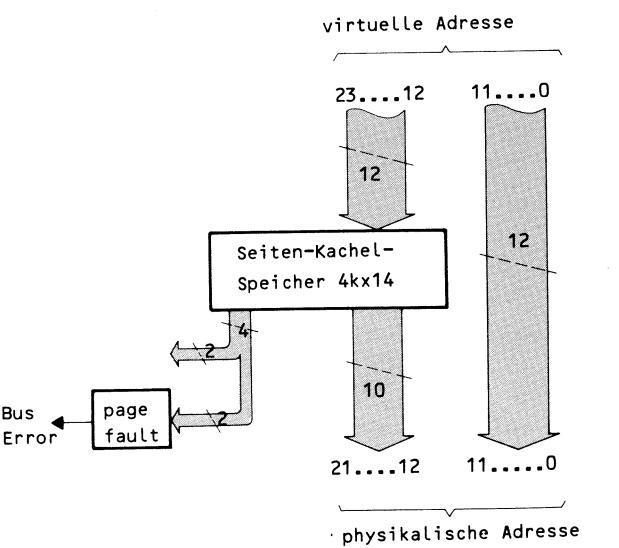
- o 4096 4-KByte-Seiten für den logischen Adressraum von 16 MByte
- o 1024 4-KByte-Kacheln für den physikalischen Adressraum von 4 MByte

Jeder Seite ist ein 16 Bit Wort als Seiten-Descriptor (Page Descriptor) zugeordnet, 4096 Seiten-Descriptor bilden die Seiten-Kachel-Tabelle. Sie ist durch einen schnellen Halbleiter-Speicher (4K x 16 Bit RAM) realisiert, der unmittelbar an den höherwertigen 12 Adressleitungen der ersten Umsetzstufe liegt.

Jeder Seitendescriptor enthält eine 10-Bit Kachelnummer (Bit 12-15 sowie Bit 0-5), die den oberen 10 Adressbit der Kachel im realen Speicher entspricht.

Die Adress-Umsetzung erfolgt dadurch, daß die höherwertigen 12 Bit der virtuellen Adresse (die faktisch die Seitennummer darstellen) einen Seiten-Descriptor aus der Seiten-Kachel-Tabelle auswählen.

Die dort gespeicherte 10-Bit Kachelnummer bildet dann die oberen 10 Bit der physikalischen 22-Bit Adresse, die unteren 12 Bit werden unverändert von der virtuellen Adresse übernommen.



Funktion der zweiten Adress-Umsetzstufe

Weiter existieren vier Steuerbit für Definitions- und Zugriffszustand der Kachel, im einzelnen:

Bit 8: real wenn gesetzt, so ist der virtuellen Seite eine reale Kachel zugeordnet.

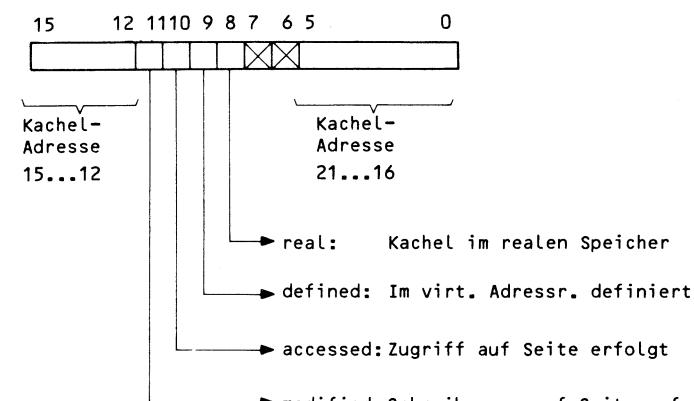
Bit 9: defined wenn gesetzt, so ist die Seite im virtuellen Adreßraum definiert,

Bit 10: accessed wenn gesetzt, so ist auf diese Seite ein Zugriff erfolgt,

Bit 11: modified wenn gesetzt, so ist auf diese Seite ein Schreibzugriff erfolgt.

Der Zugriff auf eine nicht definierte Kachel oder Seite (Bit 8 oder Bit 9 nicht gesetzt) führt zu einem Bus-Error, dessen Ursache im Error-Status Register (s. S.21) vermerkt wird.

Steuerbit 10 und 11 enthalten nach jedem Schreibzugriff auf den Seiten-Descriptor den Wert "0", bei einem Schreib- bzw. Lesezugriff werden sie auf "1" umgesetzt.



Definition eines Seiten-Descriptors

Zugriff auf die Seiten-Kachel-Tabelle

Der Inhalt der Seiten-Descriptore selbst kann über die Adresse "FFC040" des lokalen Adreßraumes (s.S.19) gelesen oder geschrieben werden. Für den Zugriff auf einen bestimmten Seiten-Descriptor ist die geeignete Belegung des (zur Adresse FFC040 gehörenden) Segment-Descriptor 15 erforderlich, da immer nur derjenige Seiten-Descriptor angesprochen wird, welcher der von der ersten MMU-Stufe gebildeten Adresse zugeordnet ist.

Obwohl bei Addressierung des lokalen Adreßraumes (der obersten 32K des logischen 16 MByte-Bereiches im Supervisor-Mode des Prozessors, s. S.18) die Adressen von der MMU nicht an Q- oder S-Bus übergeben werden, erfolgt im Hardware-Addierer der ersten Umsetzstufe eine Adreß-Umsetzung. Die Basisadresse in Segment-Descriptor 15 ist also so zu wählen, daß bei Anlegen der Adresse "FFC040" eine dem gewünschten Seiten-Descriptor zugeordnete Adresse erzeugt wird:

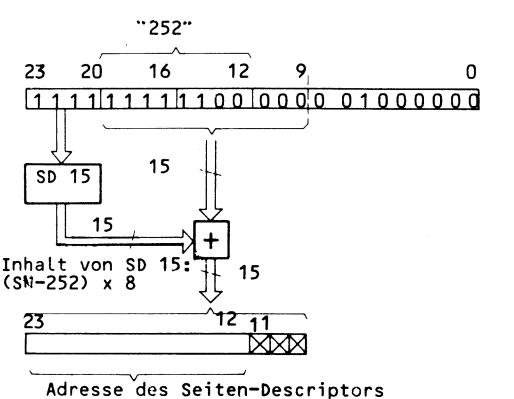
Der Zugriff auf den Seiten-Descriptor einer Seite mit der Nummer SN erfordert in Segment-Descriptor 15 die Basis-Adresse

$$BA(15) = (SN-252) \times 8$$

Lese- und Schreib-Operationen auf die Adresse FFC040 ermöglichen dann den Zugriff auf den Seiten-Descriptor SN (siehe nebenstehende Graphik).

Bei der Prozessorenversion QU68030 existiert kein Seiten-Descriptor-Speicher. Über die Seiten-Descriptor-Adresse im lokalen Adreßraum können deshalb nur die oberen 15 Bit der von der ersten Umsetzstufe gelieferten Adresse ausgelesen werden, Schreibzugriffe sind nicht sinnvoll. Die "virtuelle" Adresse wird unter Vernachlässigung der Adreßleitungen 22 und 23 direkt als physikalische Adresse an Q-und S-Bus übergeben. Beim Belegen von Segment-Descriptoren der ersten MMU-Stufe ist deshalb der existierende Adreßraum zu berücksichtigen.

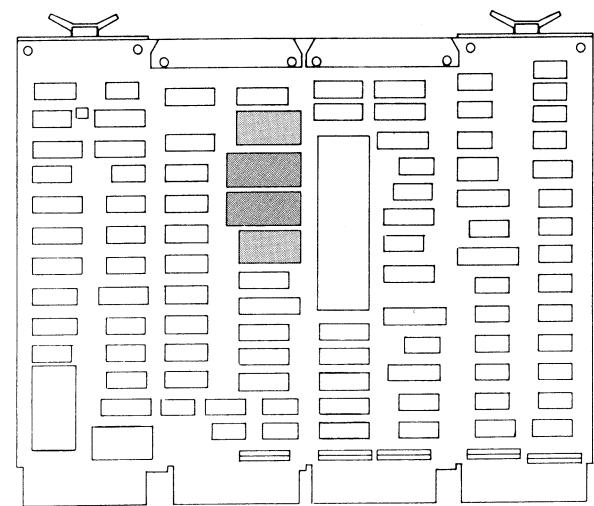
Adresse des Page - Descriptors FFC040



Descriptor-Adreßerzeugung über SD 15

DER LOKALE ADRESSRAUM

Auf der Baugruppe QU68030 befinden sich diverse Speicher (RAM und EPROM) für Boot, Diagnoseprogramm, Online-Debugger sowie die MMU Register. Diese "lokalen" Speicher sowie die "External Page" des Q-Bus sind im sog. lokalen Adreßraum angeordnet. Er wird im Anlaufzustand des Systems 512-mal in den gesamten Adreßbereich gespiegelt (s. S.23); im Betriebszustand ist er im Supervisor-Mode des Prozessors über die obersten 32K des logischen 16-MByte Adreßraumes zu erreichen (im User-Mode sind diese 32 KByte nicht ansprechbar).

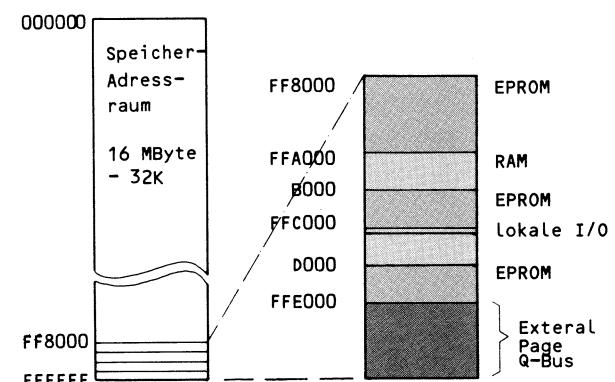


Lage von RAM und ROM auf der Platinne

Der lokale Adreßraum ist in vier 8 KByte-Bereiche gegliedert (4K Worte):

- o Der ersten 8 KByte-Bereich ist mit EPROM für Boot, Initialisierung, Online-Debugger und Diagnosesystem belegt.
- o Der zweite 8 KByte-Bereich ist mit 4K RAM-Speicher belegt, die restlichen 4K sind wieder mit EPROM belegt,
- o Am Anfang des dritten 8 KByte-Bereichs liegen 128 Byte I/O-Adressen; die letzten 4K dieses Bereichs sind ebenfalls mit EPROM belegt.
- o Der vierte 8 KByte-Bereich dient als External Page am Q-Bus

Im folgenden eine Beschreibung der einzelnen Bereiche:



Layout des lokalen Adreßraumes

EPROM - Bereich

Der 16 KByte EPROM-Bereich (8K Worte) besteht aus drei unterschiedlichen Adressbereichen, um Kompatibilität zur Baugruppe QU68000(V1) zu gewährleisten. Er unterstützt bzw. enthält folgende Programme:

- o den System-Boot (insbesondere die erste Belegung der MMU-Register)
- o ein einfaches Diagnose-Programm zur Kontrolle der prinzipiellen Funktion der Hardware-Komponenten
- o einen Online-Debugger (ODT), der Lesen und Modifizieren aller prozessorinternen Register und Speicher erlaubt, sowie einen überwachten Programmablauf ermöglicht.

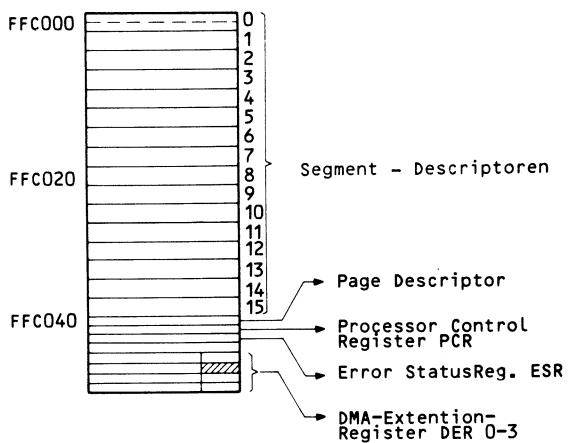
Der erste 8 KByte-Sektor des EPROM-Bereichs belegt den ersten 8 KByte-Bereich des lokalen Adressraumes. Er beginnt bei der Adresse FF8000, die ersten 8 Byte (4 Worte) enthalten den Initialisierungsvektor der QU68030 (Anfangsadresse, Anfangsstatus). Die anderen beiden 4KByte Sektoren beginnen bei den Adressen FFB000 und FFD000.

RAM - Bereich

Der zweite 8 KByte-Bereich des lokalen Adressraumes beginnt bei der Adresse FFA000 und ist durch 4 KByte RAM-Speicher realisiert; weitere 4 KByte gehören wieder zum EPROM-Bereich. Der RAM-Speicher dient der Zwischenspeicherung lokaler Größen, sowie zur Aufnahme des Supervisor-Stacks, der in der Anlaufphase benötigt wird.

Lokale Ein/Ausgabe-Adressen

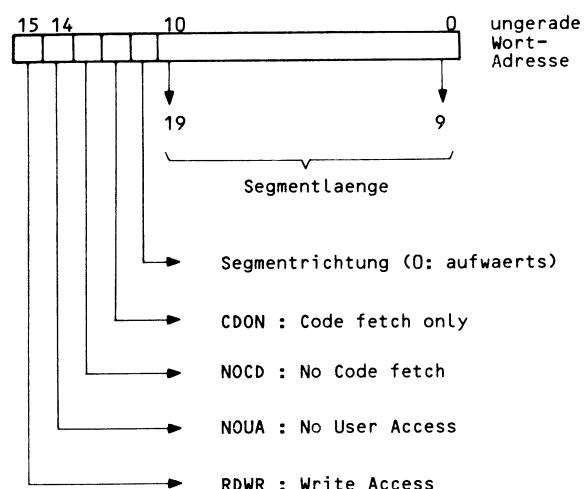
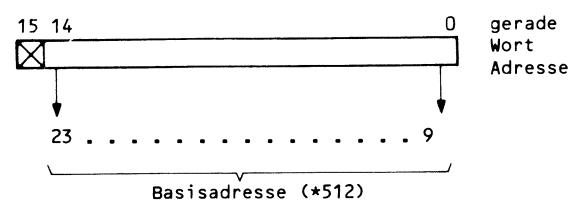
Der dritte 8 KByte-Bereich des lokalen Adressraumes beginnt bei der Adresse FFC000 und ist nur zu einem kleinen Teil (128 Byte) mit lokalen Ein/Ausgabe-Adressen belegt. Im folgenden eine detaillierte Beschreibung dieses Adressraumes:



Layout der lokalen Ein/Ausgabe-Adressen

Segment - Descriptoren

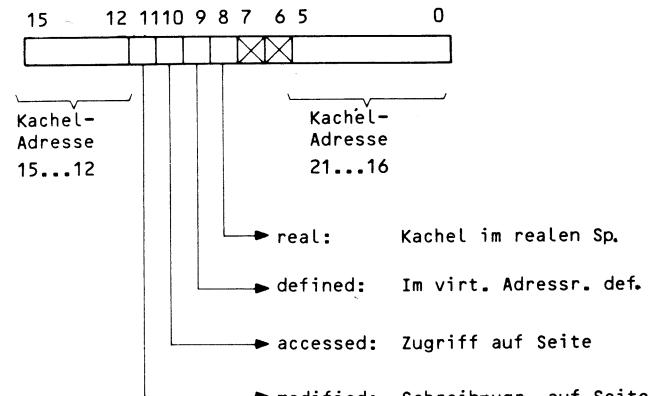
Die ersten 64 Byte (FFC000-FFC03F) adressieren die 16 Segment-Descriptoren der ersten MMU-Umsetzstufe. Jeder Segment-Descriptor besteht aus zwei 16-Bit Worten, die Bit-Belegung kann der nebenstehenden Graphik entnommen werden (Näheres auf Seite 11)



Bit-Belegung eines Segment-Descriptors

Seiten - Descriptor

Unter der Wortadresse FFC040 können die Seiten-Descriptoren der zweiten MMU-Stufe (Seiten-Kachel Tabelle) geladen bzw. abgefragt werden. Nebenstehend die Bit-Belegung der Seiten-Descriptoren (Näheres auf S.13)



Bit-Belegung eines Seiten-Descriptors

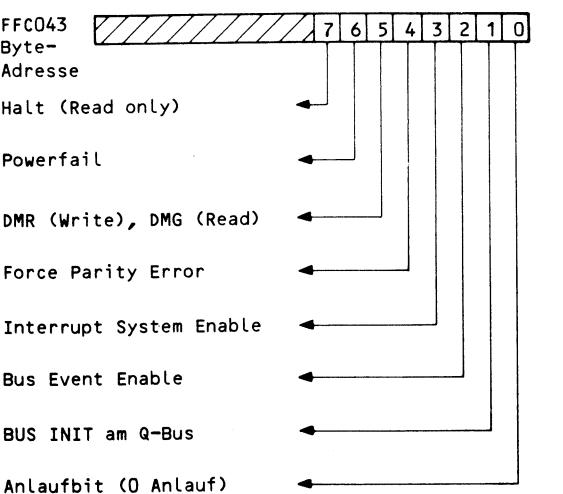
Prozessor - Kontroll - Register

Die Adresse FFC043 ist dem Prozessor-Kontroll-Register (1 Byte) zugeordnet. Dieses Register dient unter anderem zur Steuerung von Anlauf-Zustand, von programmauslösbarem Q-Bus-Init und von Interrupt-Enable sowie zu Diagnosezwecken. Beim Systemstart haben alle Bit dieses Registers den Wert "0".

Im einzelnen übernimmt es folgende Funktionen:

- o Anlaufbit (Bit 0, read/write). Dieses Bit steuert den Anlaufzustand der Baugruppe (s.S.23). Durch Beschreiben dieser Bit-Position mit "1" wird in den normalen Betriebszustand umgeschaltet.
- o Bus-Init (Bit 1, read/write). Dieses Bit aktiviert das BINIT-L-Signal am Q-Bus ("1"="high") und ermöglicht die programmgesteuerte Aktivierung dieses Signals.
- o Bus-Event-Enable (Bit 2, read/write). Bei Aktivierung dieses Bit ("1") wird alle 20 ms auf Interrupt-Ebene 3 eine Programmunterbrechung ausgelöst (Netz-Synchron).
- o Interrupt-Systemenable (Bit 3, read/-write). Das Interrupt-System des QU68030 ist erst mit Aktivierung ("1") dieses Bit eingeschaltet.
- o Force Parity Error (Bit 4, read/write). Dieses Bit wird nur zu Diagnosezwecken verwendet. Bei Aktivierung ("1") erzwingt es bei Schreibzyklen auf die Speichermodule (Q- und S-Bus) einen Parity - Fehler.
- o DMA-Request/DMA-Grant (Bit 5, read:DMG/ write:DMR). Auch dieses Bit dient nur Diagnosezwecken und wird erst in einer späteren Version realisiert.
- o ENS/Powerfail (Bit 6, read:Powerfail/ write:ENS) Dieses Bit hat zwei Bedeutungen: Bei Aktivierung ("1") des Bit (ENS, write only) erfolgen alle Speicherzugriffe nur über den Q-Bus (auch auf S-Bus Speicher).

Powerfail (read only) ist gesetzt ("1"), wenn der Prozessor die Powerfail-Bedingung des Q-Bus entdeckt hat (was zu einem nicht maskierbaren Interrupt auf der höchsten Ebene führt). Das normale Programm kann erst fortgesetzt werden, wenn dieses Bit wieder deaktiviert ist ("0"), also ein RESTART ausgeführt wurde.



Bit-Belegung Prozessor-Kontroll-Register

- o Halt (Bit 7, read only). Dieses Bit wird vom Q-Bus Halt-Signal gesetzt, das zu einem Interrupt auf der Ebene 6 führt. Es wird z.B. vom ODT Programm gelesen (s. ODT - Dokumentation)

Error - Status - Register

Die Adresse FFC045 ist dem 1-Byte Error-Status-Register zugeordnet. In diesem Register werden bei jedem Bus-Error Informationen über die Art des Fehlers bereitgestellt.

Ein Bus-Error, der zu Programmunterbrechung durch einen Interrupt führt, kann prinzipiell drei Ursachen haben:

- o Timeout-Fehler, wenn ein adressiertes Speicherwort nicht innerhalb einer vorgegebenen Zeit reagiert,
- o Parity-Fehler, wenn in einem Speicherwort ein Parity-Fehler entdeckt wird
- o Fehlermeldungen durch die MMU, z.B. Verletzung von Zugriffsrechten.

Bei jedem Bus-Error legt der Prozessor zahlreiche System-Status-Informationen auf dem Supervisor-Stack ab (Näheres finden Sie im MC68000 Benutzer-Handbuch), zusätzlich werden folgende Informationen über die Art des Fehlers im Error-Status-Register vermerkt:

Bit 0: Timeout-Fehler, im allgemeinen als Folge der Adressierung einer nicht vorhandenen Speicherzelle,

Bit 1: Memory-Paritätsfehler. Die zeit- optimierte Anpassung zwischen Prozessor und Bus ermöglicht leider die Erkennung eines Paritätsfehlers nicht im aktuellen Bus-Zyklus. Dieser wird vielmehr erst im nächsten Bus-Zyklus angezeigt.

Bit 2: Überschreitung der max. zulässigen Segmentlänge (Meldung von erster MMU - Stufe)

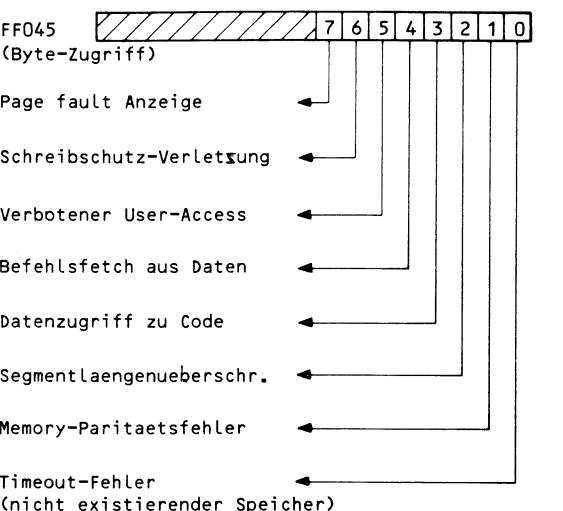
Bit 3: User-Zugriff auf ein nicht für User legitimiertes Speichersegment (von erster MMU - Stufe)

Bit 4: Versuch, einen Befehl aus einem nicht als Code-Segment definierten Speicherbereich zu laden (von erster MMU - Stufe)

Bit 5: Datenzugriff auf ein Codesegment (von erster MMU - Stufe)

Bit 6: Schreibversuch auf einen Speicher- bereich, der schreibgeschützt ist

Bit 7: Page-Fault-Meldung: Der virtuellen Seite ist (noch) keine reale Spei- cherkachel zugeordnet (von 2.MMU- Stufe)

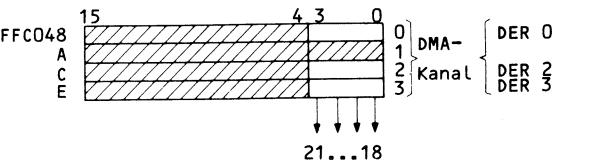


Bit-Belegung Error-Status-Register

DMA - Extention - Register

Einige Standard DMA-Controller stellen am Q-Bus nur 18 Adreßleitungen zur Verfügung. Um dennoch DMA-Zugriff im gesamten 4-MByte Adreßbereich zu ermöglichen, sind 4 bit Extention-Register vorgesehen, die bei jedem DMA-Zugriff an die Adreßleitungen 18 bis 21 gelegt werden. Bei Benutzung mehrerer Extention-Register (max. 4) ist eine Zusatzverdrahtung am Q-Bus erforderlich (Näheres s.S.32)

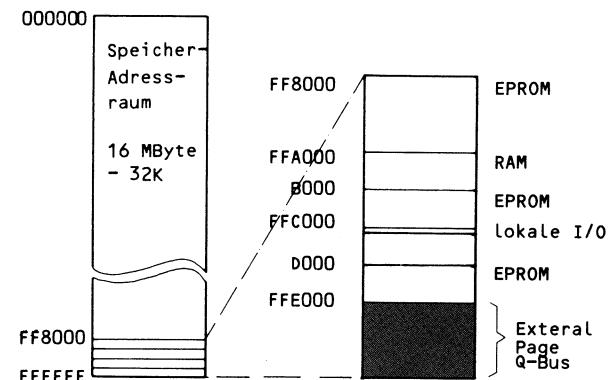
Die vier DMA-Extention-Register belegen die Adressen FFC048,-A,-C,-E.



Bit-Belegung DMA-Extention-Register

External Page

Der vierte und oberste 8-KByte Bereich des lokalen Adreßraumes (Adressen FFE000-FFFFF im Supervisor-Mode) wird als "External Page" auf den Q-Bus abgebildet. Die Adressierung dieses Bereichs aktiviert das Q-Bus-Signal BBS7, wodurch über die Adreßleitungen 0 bis 12 Ein/Ausgaberegister am Q-Bus angesprochen werden. Zusätzlich wird die Adresse durch die MMU umgesetzt, so daß auf eine geeignete Belegung des Segment-Descriptors 15 zu achten ist.



External Page im lokalen Adreßraum

Adressenzuordnung im Anlaufzustand

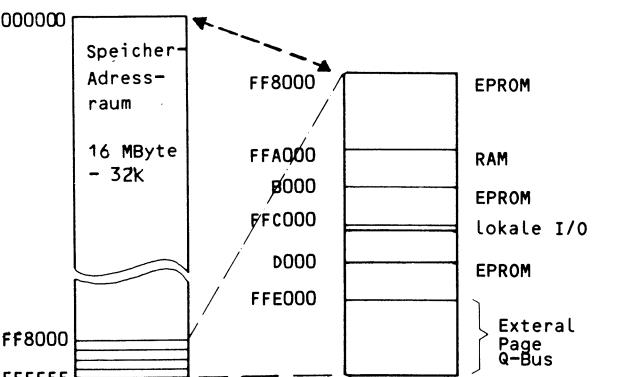
Die MMU-Register sind beim Systemstart nicht mit sinnlosen Werten besetzt, über Q- oder S-Bus können also keine definierten Speicherinhalte gelesen werden. Andererseits erwartet der MC68000 im Anlaufzustand unter den Adressen 0 bis 7 Befehlszähler-Stand sowie den Inhalt des Prozessor-Status-Registers. Auf der Prozessorkarte müssen also zwei Systemzustände definiert werden: Anlaufzustand und Betriebszustand.

Der jeweilige Zustand ist durch das erste Bit des Prozessor-Kontroll-Registers (s.S.19) definiert, das beim Einschalten des Systems auf jeden Fall in den Anlaufzustand gelangt ("0"). Ein definierter Prozessor-Befehl bringt es in den Betriebszustand, ein weiterer Befehl ermöglicht die Rückkehr in den Anlaufzustand.

Im Anlaufzustand werden die oberen 9 Adreßleitungen des Prozessors fest auf "high"-Potential gelegt.

Dadurch wird unabängig von den oberen 9 Bit der Prozessor-Adresse immer eine Speicherzelle des obersten 32K-Bereiches angesprochen (der oberste 32K-Bereich wird quasi 512-mal in den 16-MByte Adreßraum gespiegelt).

Für den Prozessor sind also nur Adressen des lokalen Adreßraumes erreichbar. Insbesondere kann unter der Adresse "0" der Anfang des lokalen Adreßraumes erreicht werden, der in den ersten 4 Wörtern (EPROM) die für den Prozessoranlauf benötigte Startadresse und das Prozessor-Status-Wort enthält.



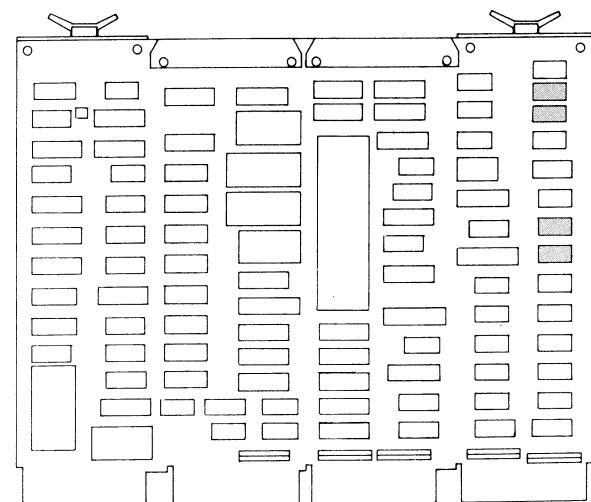
Adreßraumbelegung im Anlaufzustand

Q-BUS ARBITER

Die Baugruppe QU68030 verfügt über eine Arbitrer-Einheit, die den Q-Bus unabhängig von der internen Arbitrer-Einheit des MC68000 dem anfordernden Gerät zuteilt.

Dies ermöglicht periphere DMA-Zugriffe über den Q-Bus bei gleichzeitiger Kommunikation zwischen Prozessor und Speichern über den S-Bus.

Das Programm kommt nur dann in den Wartezustand, wenn eine angesprochene Adresse nicht über den S-Bus zu erreichen ist.



Arbiter-Einheit auf der Prozessorkarte

INTERRUPT - ZUORDNUNG

Die sieben Interrupt-Ebenen der CPU MC68000 sind in ihrem Vektor-Konzept dem Konzept des Q-Bus sehr ähnlich (s. dazu DEC-Dokumentation "Microcomputer - Processor - Handbook").

Vier Ebenen werden an den Q-Bus übergeben. Während allerdings der vom anfordernden Gerät gelieferte Interruptvektor beim Prozessor LSI-11 direkt auf die neue Adresse des Befehlszählers und Prozessor-Status-Wortes weist, wird er vom CPU MC68000 zunächst um zwei Bit-Positionen nach oben verschoben. Dadurch kann bei Interruptvektor-Erzeugung von Q-Bus-Controllern nur jede vierte Vektoradresse im MC68000-Adressraum belegt werden.

Die restlichen drei Interrupt-Ebenen werden unter Verwendung des Autovektor-Modes des Prozessors von baugruppeninternen Signalen belegt (s. a. Motorola Dokumentation "MC68000-Benutzer-Handbuch"). Im einzelnen:

o Bus-Event

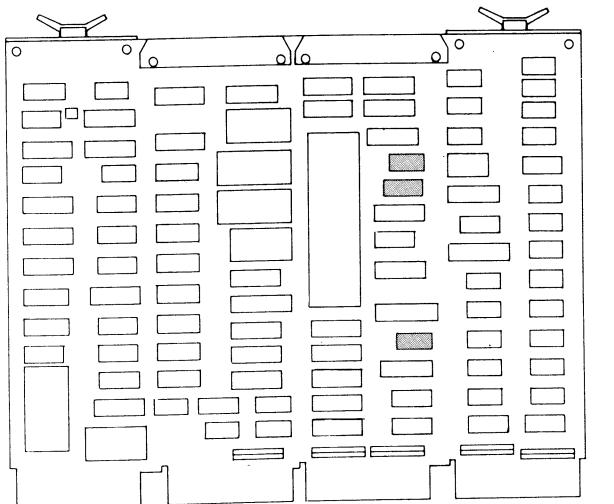
Das Q-Bus Signal BEVNT L stellt ein aus der Netz-Clock abgeleitetes Echtzeit-Interrupt-Signal dar. Es wird u.a. von der integrierten Kalenderuhr verwendet und kann über das PCR (s.S.19) maskiert werden. Der Interrupt auf Ebene drei entspricht der Autovektornummer 27, also der Dezimaladresse 108.

o Prozessor Halt

Das Q-Bus Signal BHALT L unterbricht den Prozessor und aktiviert den Monitor-Mode (ODT, s.S.18). Diesem Ereignis ist der Interrupt-Vektor 6 zugewiesen; der Autovektornummer 30 entspricht die Dezimaladresse 120.

o Power-Fail

Die Q-Bus Signale BPOK H und BDCOK H definieren eine Power-Fail Bedingung, die eine Programmunterbrechung auf der höchsten Interruptebene (7) auslöst. Die Autovektor-Nr. 31 entspricht der dezimalen Adresse 124



Interrupt-Einheit auf Baugruppe

Ebene 1 Q-Bus Ebene 4

Ebene 2 Q-Bus Ebene 5

Ebene 3 Bus-Event, VektAdr dez 108

Ebene 4 Q-Bus Ebene 6

Ebene 5 Q-Bus Ebene 7

Ebene 6 Prozessor-Halt, VektAdr dez 120

Ebene 7 Power-Fail, VektAdr dez 124

Zuordnung der MC68000-Interruptebenen

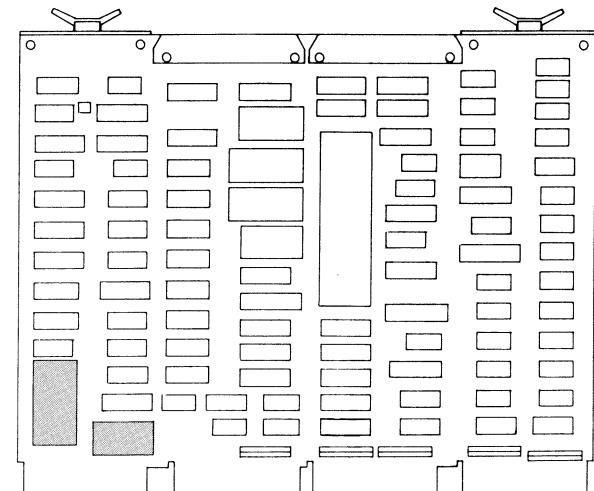
KALENDERUHR

Auf der Baugruppe QU 68030 ist eine netzunabhängige Kalenderuhr integriert.

Sie basiert auf dem Schaltkreis MM58167A und liefert die Zeitangabe ab 0,1 msec sowie einen Vier-Jahres-Kalender (keine Schaltjahre).

Damit der Betrieb der Uhr bei abgeschalteter Stromversorgung nicht unterbrochen ist, übernimmt ein Akku die Versorgung dieses Schaltkreises. Der Akku wird während des Systembetriebs nachgeladen; Laufzeit der Uhr ohne Nachladen des Akkus: ca. 1 Jahr.

Diese Uhr kann selbst keinen Interrupt auslösen, die Line-Time-Clock (Bus-Event) wird von der Netzfrequenz abgeleitet. Das Betriebssystem übernimmt die Ansteuerung der Uhr, aktuelle Werte für Uhrzeit und Datum werden beim Systemstart am Terminal angezeigt und können jederzeit über das Betriebssystem abgerufen werden.



Kalenderuhr auf Baugruppe

Q-BUS ADAPTER

22 Daten/Adressleitungen

BDAL0 (AU2)	BDAL1 (AV2)	BDAL2 (BE2)	... BDAL15 ... (BV2)	... BDAL20 ... (BE1)	BDAL21 (BF1)
----------------	----------------	----------------	-------------------------	-------------------------	-----------------

6 Data-Control Leitungen

BDOUT (AE2)	BRPLY (AF2)	BDIN (AH2)	BSYNC (AJ2)	BWTBT (AK2)	BBS7 (AP2)
----------------	----------------	---------------	----------------	----------------	---------------

6 Interrupt-Control Leitungen

BIRQ7 (BP1)	BIRQ6 (AB1)	BIRQ5 (AA1)	BIRQ4 (AL2)	BIAKO (AN3)	BIAKI (AM2)
----------------	----------------	----------------	----------------	----------------	----------------

4 DMA-Control Leitungen

BDMR (AN1)	BGDO (AS2)	BDMGI (AR2)	BSACK (BN1)
---------------	---------------	----------------	----------------

6 System-Control Leitungen

BHALT (AP1)	BREF (AR1)	BDCOK (BA1)	BPOK (BB1)	BEVNT (BR1)	BINIT (AT2)
----------------	---------------	----------------	---------------	----------------	----------------

3	+5V	(AA2,BA2,BV1)
---	-----	---------------

2	+12V	(AD2,BD2)
---	------	-----------

2	-12V	(AB2,BB2)
---	------	-----------

2	+12V Baterie	(AS1,BS1)
---	--------------	-----------

1	+5V Baterie	(AV1)
---	-------------	-------

8	Masse	(AJ1,AM1,AT1,AC2,BC2,BJ1,BM1,BT1)
---	-------	-----------------------------------

8	S Reserve	(AE1,AF1,AH1,BH1)
---	-----------	-------------------

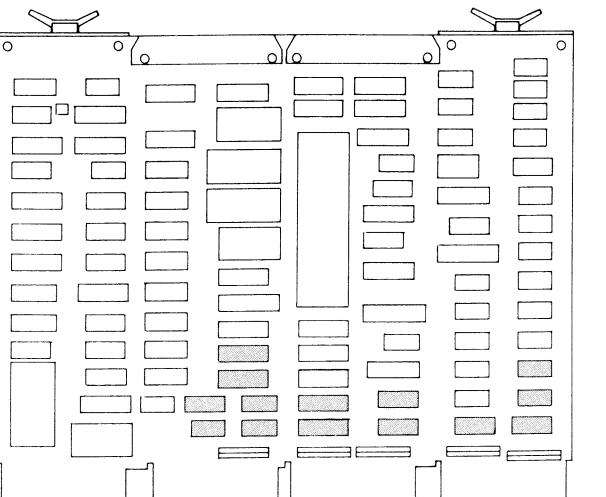
4	M Reserve	(AK1,AL1,BK1,BL1)
---	-----------	-------------------

2	P Reserve	(AU1,BU1)
---	-----------	-----------

Q-Bus Definition

Die Definition des Q-Bus wird als bekannt vorausgesetzt. Nebenstehend eine kurze Übersicht; eine umfassende Beschreibung finden Sie in der DEC-Dokumentation "Microcomputer Prozessor Handbook" Seite 223 ff. Hier soll nur auf die Anpassung zwischen Q-Bus und MC68000 eingegangen werden.

Die zeitliche Anpassung der Bus-Protokolle ist nahezu vollständig durch die Timing-Restriktionen des Q-Bus bestimmt. Obwohl der MC68000 nicht über ein "A0"-Signal verfügt, kann dieses Signal in der Zeit erzeugt werden, die die MMU zur Bereitstellung der physikalischen Adresse benötigt.



Q-Bus Adapter aus dem Prozessorbaugruppe

Anpassung der Data/Adress- und Data-Control-Signale

Die Anpaßschaltung erzeugt die wechselseitig von Prozessor bzw. Q-Bus erwarteten Signale:

Aus den Prozessor-Signalen UDS und LDS wird sowohl das niederwertigste Bus-Adreßbit **A0** erzeugt, als auch (in Verbindung mit dem R/W-Signal) die Bus-Signale **BDIN**, **BDOOUT** und **BWTBT**. Umgekehrt wird aus dem Bus-Signal **BRPLY** das Prozessor-Signal **DTACK** gebildet.

Da die logische Adresse des MC68000 durch die MMU umgesetzt wird und dadurch die physikalische Adresse erst nach dem Prozessorsignal AS stabil ist, kann das Signal AS nicht direkt auf das Bus-Signal **BSYNC** abgebildet werden.

Das Bus-Signal **BBS7**, das eine Adressierung der "external Page" anzeigt, wird aus der logischen Adresse des MC68000 abgeleitet: Supervisor-Adressen oberhalb FFFE000 (oberste 8 KByte des 16MByte-Adressebraumes) führen zur Aktivierung dieses Signals (s.S. 23).

Q-Bus MC68000

MC68000

BDAL 0-17: Ein/Ausgang MMU

$$BDIN = L DS = U DS = B/U$$

EDS SDS R/W

BOVET Waffentech aus NE

LDS - UDS - R/W

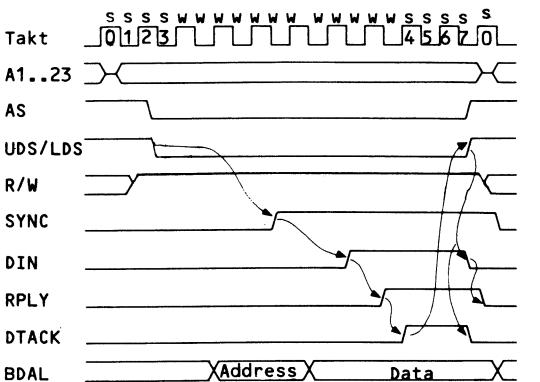
BBS7: aus log. Adresse

Zuordnung der Q-Bus-Signale im Prozessor

Lese - Zyklus

Die zeitlichen Verhältnisse am Q-Bus (siehe Q-Bus Definition) haben zur Folge, daß bei jedem Zyklus 6 Wait-States eingeführt werden. Dadurch wird die theoretische Verarbeitungsleistung des Prozessors auf weniger als die Hälfte reduziert.

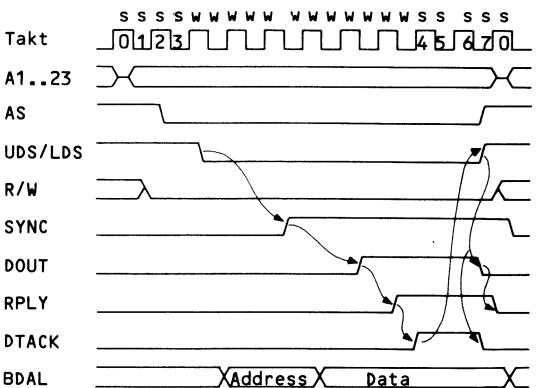
Ein Lesezyklus am Q-Bus benötigt 1 us.



Lese-Zyklus am Q-Bus

Schreib-Zyklus

Entsprechend dem Lesezyklus läuft auch der Schreib-Zyklus ab. Zykluszeit 1 us.



Schreib-Zyklus am Q-Bus

Anpassung der Interrupt-Control-Leitungen

Auf die Belegung der einzelnen Interrupt-Ebenen des MC68000 wird im Kapitel "Interrupt" S.26 genauer eingegangen, hier nur ein kurzer Überblick:

Die Signale **BIRQ4-BIRQ7** werden den entsprechenden Interruptebenen zugeordnet. Das Bestätigungssignal **BIAKO** wird aus dem Funktionscode der MC68000 abgeleitet (s. Motorola-Dokumentation "MC68000 Benutzer-Handbuch")

Q-Bus	MC68000
BIRQ4:	Interrupt Ebene 1
BIRQ5:	Interrupt Ebene 2
BIRQ6:	Interrupt Ebene 4
BIRQ7:	Interrupt Ebene 5
BIAKO:	aus Funktionscode

Zuordnung Interrupt-Control-Leitungen

Anpassung der DMA-Control-Leitungen

Um parallelen Q- und S-Bus-Betrieb zu ermöglichen, darf der Prozessor nicht durch die Funktion als Q-Bus Arbitter blockiert werden. Deshalb ist ein vom Prozessor unabhängiger Bus-Arbiter installiert (s.S.25), der die vom Q-Bus geforderten Funktionen übernimmt.

Zusätzlich sind auf der Baugruppe drei DMA-Extention-Register implementiert (s.S.22), die folgende Aufgabe haben:

Einige DMA-Controller stellen am Q-Bus nur 18 Adreßleitungen zur Verfügung, können also nur die unteren 256 KByte des 4MByte Adreßraumes erreichen.

Um mit diesen Controllern dennoch im gesamten Speicherbereich arbeiten zu können, wird bei jedem DMA-Zugriff ein vier-Bit-Register (DMA-Extention-Register) an die Adreßleitungen 18 bis 21 gelegt. Es wird beim Systemstart auf "0" gesetzt, also erst durch geeignete Belegung aktiviert.

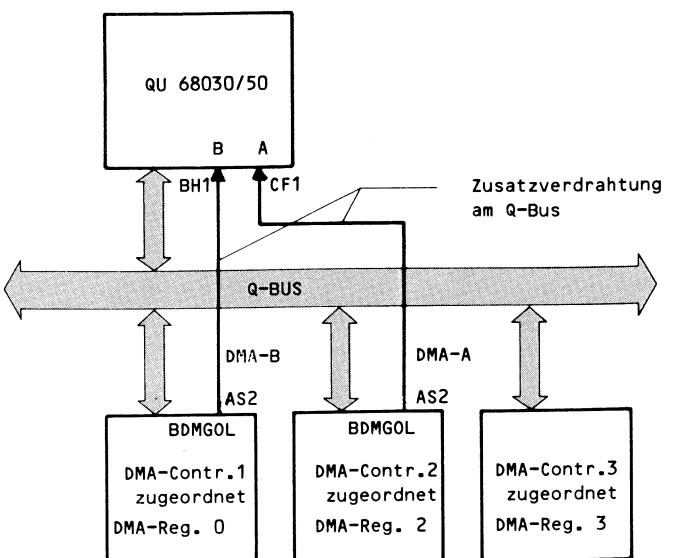
Sollen mehrere Controller in unterschiedlichen 256 KByte-Bereichen arbeiten, so muß jedem Controller ein eigenes Register zugeordnet werden. Dazu ist es nötig, den jeweils aktiven Controller zu identifizieren, was sich leider nur durch Ausnutzung von Reserveleitungen am Q-Bus realisieren läßt (Zusatzverdrahtung nötig). Ohne diese Verdrahtung können mehrere Controller nur im selben 256 KByte-Bereich arbeiten.

Durch zwei zusätzliche Leitungen und durch Auswertung des Daisy-Chain-Signals BDMGI an den Controller-Einheiten können drei unterschiedliche Controller-Gruppen quasi gleichzeitig auf den gesamten Speicherbereich zugreifen. Alle Controller, die in der Daisy-Chain-Leitung vor der jeweiligen Verdrahtung liegen, benutzen dann dasselbe Extention-Register (s. Bild).

Achtung: Beim Umstecken von Controller-Baugruppen muß die Zusatzverdrahtung entsprechend geändert werden!

Q-Bus	QU68030
BDMG0(L):	Bus - Arbiter
BDMR(L):	Bus - Arbiter
(DMA-A):	Lokale I/O-Register
(DMA-B):	Lokale I/O-Register

Zuordnung der DMA-Control-Leitungen



Zusatzverdrahtung für erweiterten DMA

Anpassung der System-Kontroll-Leitungen

Am Q-Bus sind fünf System-Kontroll-Leitungen definiert:

BHALT(L) führt zu einem Interrupt auf CPU-Ebene 6 und schaltet den Prozessor in den Monitor-Mode um.

BINIT(L) wird zum Rücksetzen von Peripherie-Controllern verwendet. Dieses Signal kann durch Setzen von Bit 1 des PCR-Registers (s.S.19) oder den RESET-Befehl des MC68000 aktiviert werden.

BDCOK(H) und

BPOK(H) definieren die Power-Fail-Bedingung (s. Digital-Dokumentation "Microcomputer-Prozessor-Handbokk" S. 244), die zu einem Interrupt auf der höchst verfügbaren CPU-Ebene (7) führen.

BREF(L) startet die Auffrischung dynamischer Speichereinheiten am Q-Bus. Dieses Signal wird nicht vom Prozessorboard bedient!

Q-Bus	QU68030
BHALT(L):	Interrupt CPU-Ebene 6
BINIT(L):	PCR, RESET-Befehl CPU
BPOK(H)	
BDCOK(H):	Interrupt CPU-Ebene 7
BREF(L):	—

Zuordnung der System-Control-Leitungen

Q-Bus Interface

Das Q-Bus Interface besteht aus den bidirektonalen Treibern AM 2908 und entspricht der Q-Bus Definition (s. Digital-Dokumentation "Microcomputer Processor-Handbook" S.245 ff).

Steckerbelegung

Die Steckerbelegung entspricht der Q-Bus Definition (s.o.). Zusätzliche Signale bei Zusatz-Verdrahtung (Verwendung mehrerer DMA-Extention-Register):

Signal	Proc.Pin	an Cont.1	an Cont.2
DMA-A	CF 1*	AS 2	--
DMA-B	BH 1	--	AS 2

* Bei Prozessorenversion QU68010 Pin AF 1

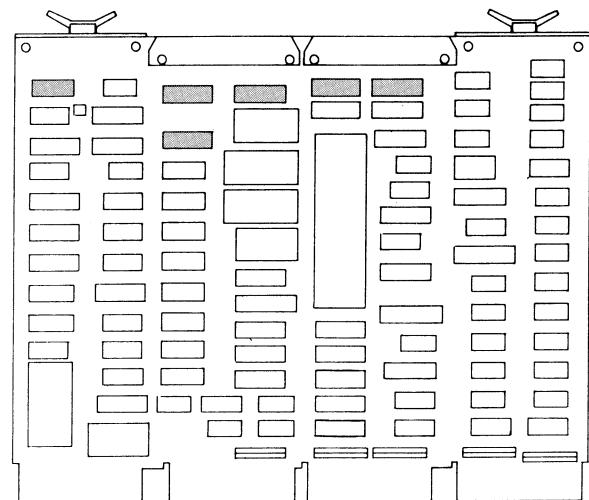
S(Peicher)-BUS ADAPTER

Der S-Bus hat die Aufgabe, schnelle Speicherkarten direkt mit dem Prozessor zu verbinden (max. 8 Karten). Damit werden die Timing-Restriktionen des Q-Bus, die die Verarbeitungsleistung der CPU auf die Hälfte reduzieren würden (s. S.30), umgangen; auch bei zweistufiger Adreßumsetzung durch die MMU erfordert ein S-Bus-Zyklus nur einen Wait-State des MC68000 Prozessors.

Die Struktur des S-Bus ist optimal an die dynamischen RAM-Bausteine mit 64 KByte (256 KByte) angepaßt; die Speicherkarten haben eine Kapazität von 512 KByte (2 MByte). Die Speichermodule sind reine Slaves, die den vom Prozessor spezifizierten Auftrag (lesen, schreiben) ausführen; spontane Meldungen (Interrupts) sind nicht vorgesehen.

Die niederwertigen 8(9,s.u.) Adreßleitungen sind Multiplexleitungen. Da die nicht von der MMU bearbeiteten niederwertigen 8 Adreß-Bit bereits zur Speicherlogik übertragen werden, bevor die MMU ihren Umsetzvorgang beendet hat, spart das Multiplexverfahren Bus-Leitungen, ohne Zeitverzögerungen zu verursachen. Die obersten 5 Adreßleitungen dienen als Bank-Select Signal.

Vor jeder Bus-Operation prüft der Prozessor, ob die von der MMU bereitgestellte Adresse über den S-Bus zu erreichen ist. Dazu dienen acht Speicher-Melde-Leitungen (Memory Present-Lines). Die Aktivierung eines Bit im Prozessor-Control-Register kann den S-Bus-Zugriff verhindern (s.S.19), der Prozessor-Zugriff auf S-Bus Speicher erfolgt dann über den Q-Bus.



S-Bus Adapter auf Prozessor-Baugruppe

Signalleitungen	Mnemonic	Aktiv
16 Datenleitungen	BSD0 - BSD15	(H)
5 Bank-Select	BSBO - BSB4	(L)
9 S-Bus Adresse	BSAO - BSA8	(L)
8 Memory Present	BSMPO - BSMP7	(L)
1 Read/Write	BSR/W	(L)
1 Upper Data Strobe	BSUDS	(L)
1 Lower Data Strobe	BSLDS	(L)
1 Address Strobe	BSAS	(L)
1 Sync	BSSYNC	(L)
1 Reply	BSRPLY	(L)
1 Gen. Parity Error	BSPGE	(L)
1 Parity Error	BSPE	(L)

Übersicht über S-Bus Definition

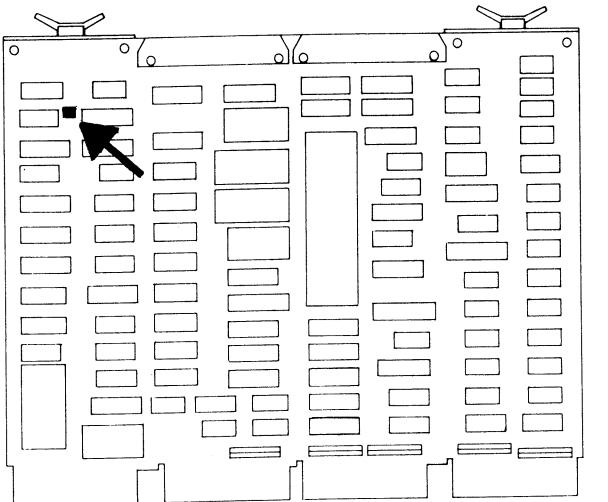
S-Bus Adreß - und Datensignale

Am S-Bus sind 16 Datenleitungen (**BSD0(H)**-
BSD15(H)) definiert.

Bei Verwendung dynamischer 64 KByte RAM-Bausteine übertragen acht Adreßleitungen **BSA0(L)**-**BSA7(L)** die unteren 16 Adreßbit im Multiplexverfahren.

Zum Einsatz der angekündigten 256 KByte RAM-Bausteine müssen die unteren 18 Adressen multiplex übertragen werden, wofür eine weitere Adreßleitung **BSA8(L)** vorgesehen ist. Zwischen beiden Betriebsarten kann mit einer Brücke umgeschaltet werden.

Die oberen 5 Adreßbit sind am S-Bus als Bank-Select **BSB0(L)**-**BSB4(L)** definiert, BSB2-BSB4 selektieren einen aus acht 512 KByte-Karten, BSB0-BSB1 eines aus vier 128 KByte-Modulen (64 K Worte).



Umschaltbrücke auf Prozessorplatine

S-Bus Steuersignale

Am S-Bus sind acht Steuersignale definiert, sechs werden vom Prozessor und zwei von den Speicherbaugruppen erzeugt. Weitere acht "Memory-Present" Leitungen bestätigen die Verfügbarkeit einer Adresse über den S-Bus.

Direkt vom MC68000 CPU werden folgende vier Signale übernommen:

BSR/W(L) aus R/W (read/write) zur Unterscheidung zwischen Schreib- und Lesezyklen,

BSUDS(L) aus UDS (Upper Data Strobe) und **BSLDS(L)** aus LDS (Lower Data Strobe).

Diese Signale dienen u.a. zur Byte-Adressierung.

BSAS(L) aus AS (Adress-Strobe). Bei diesem Signal übernehmen die Speicherbaugruppen die ersten 8(9) Bit des Multiplex-Signals die "ROW"-Adresse. Da zu diesem Zeitpunkt die Adreßumsetzung der MMU noch nicht abgeschlossen und deshalb noch kein Bank-Select Signal verfügbar ist, wird die ROW-Adresse von allen Speicher-einheiten übernommen.

Dieses Signal dient auch der Erkennung des unteilbaren Lese-Modifizier-Schreib-Zyklus, der durch den MC68000-Befehl "TAS" ausgelöst wird (s.u.).

Zusätzlich sind folgende Signale definiert:

BSSYNC(L) (Synchron) wird von der Prozessor-Baugruppe erzeugt und zeigt an, daß die zweiten 8(9) Bit des Multiplex-Signals (COLUMN-Adresse) sowie die Bank-Select Signale zur Verfügung stehen.

BSRPLY(L) (Reply) wird von der Speicher-karte als Antwort auf BSSYNC(L) erzeugt. Beim Schreibzyklus meldet es die Übernahme des Datums in die Speicherzelle, beim Lesezyklus zeigt es die Gültigkeit des Datums auf dem Bus an. Dieses Signal - und damit die Datenübertragung - kann sich durch die interne Speicher-Auffrischung (Memory-Refresh) sowie durch Q-Bus Zugriffe auf denselben Speicher verzögern.

BSPE(L) (Parity Error) meldet einen Parity-Error der adressierten Speicherzelle.

Signalleitungen	Mnemonic	Treiber
1 Read/Write	BSR/W	(L) T.S.
1 Upper Data Strobe	BSUDS	(L) T.S.
1 Lower Data Strobe	BSLDS	(L) T.S.
1 Address Strobe	BSAS	(L) T.S.
1 Sync	BSSYNC	(L) T.S.
1 Reply	BSRPLY	(L) O.C.
1 Gen. Parity Error	BSPGE	(L) O.C.
1 Parity Error	BSPE	(L) T.S.
8 Memory Present	BSMPO - BSMP7	(L) O.C.

Übersicht über S-Bus Steuersignale

BSPGE(L) (Parity Error Generation) wird über das Prozessor-Control-Register aktiviert und simuliert einen Parity-Error (s.S.19).

BSMPO(L)-BSMP7(L) (Memory Present) melden der Prozessorkarte, ob eine adressierte Speicherzelle über den S-Bus erreichbar ist. Der Adreßbereichsschalter auf den Speicherbaugruppen aktiviert die entsprechende Memory-Present Leitung. Dadurch kann bereits bei Anliegen einer Adresse entschieden werden, ob der Zugriff über S- oder Q-Bus erfolgen soll. Bei fehlendem Signal "BSMP" wird ohne Zeitverzögerung der Q-Bus Adressiert.

Da die Signal-Leitungen BSMPO-BSMP7 statisches Potential haben, können sie als Abschirm-Leitung zwischen Signalleitungen verwendet werden. Dadurch reduziert sich die Zahl der insgesamt vom S-Bus benötigten Leitungen.

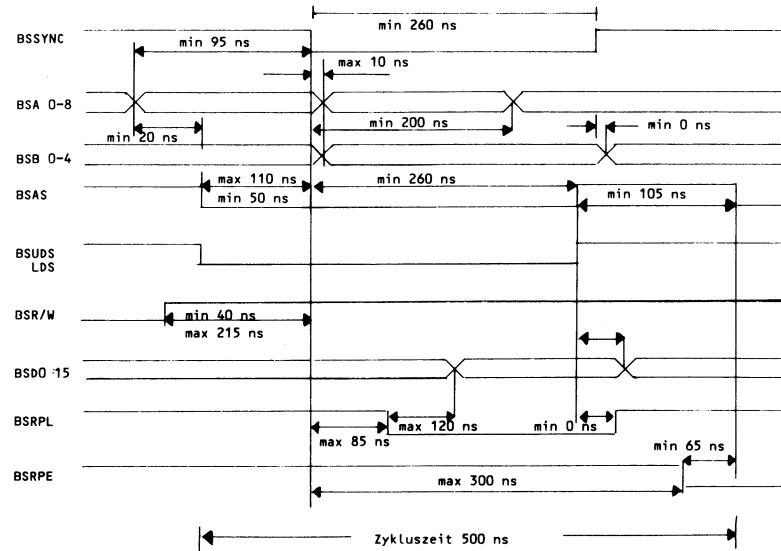
Zyklen am S-Bus

Auf den folgenden Seiten finden Sie Angaben über Zykluszeiten am S-Bus. Alle Zeitangaben beziehen sich auf den schnellstmöglichen Zyklus, durch Verzögerung des Signals BSRPLY(L) kann sich der Zyklus um 100 ns (oder ein Vielfaches davon) verzögern.

Ein Parity-Fehler in einem S-Bus Speicher wird dem Prozessor durch das Signal BSPE(L) angezeigt. Da die Auswertung der Fehlerinformation nicht rechtzeitig vor Abschluß eines Zyklus erfolgen kann, wird das Parity-Signal BSGE(L) erst zu Beginn des auf den Fehler folgenden Zyklus vom Prozessor ausgewertet.

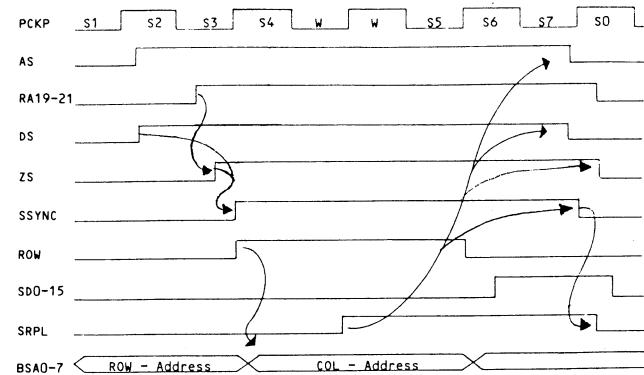
Ein "Bus-Error" (z.B. MMU: Pagefault) kann asynchron während eines S-Bus Zyklus auftreten. In diesem Fall wird der laufende Zyklus sofort abgebrochen und das Signal BSR/W(L) automatisch auf "Read" umgeschaltet. Durch die Umschaltung wird verhindert, daß eine Speicherzelle falsch beschrieben wird.

Lese - Zyklus



Nebenstehend der Lesezyklus am S-Bus zwischen QU68030 und der Speicher-Baugruppe QS512, bezogen auf das Prozessor-Clock Signal.

Die Zeitangaben im Bild oben beziehen sich auf einen Lesezyklus mit 500 ns Zykluszeit. Das Signal BSSYNC(L) steht in definiertem Verhältnis zum Clock-Signal, es wird mit der Impuls-Flanke S4 aktiv (s.auch S. 38).

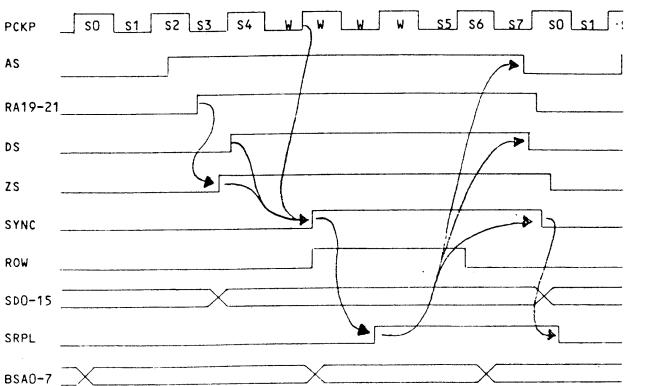


Lese - Zyklus am S-Bus

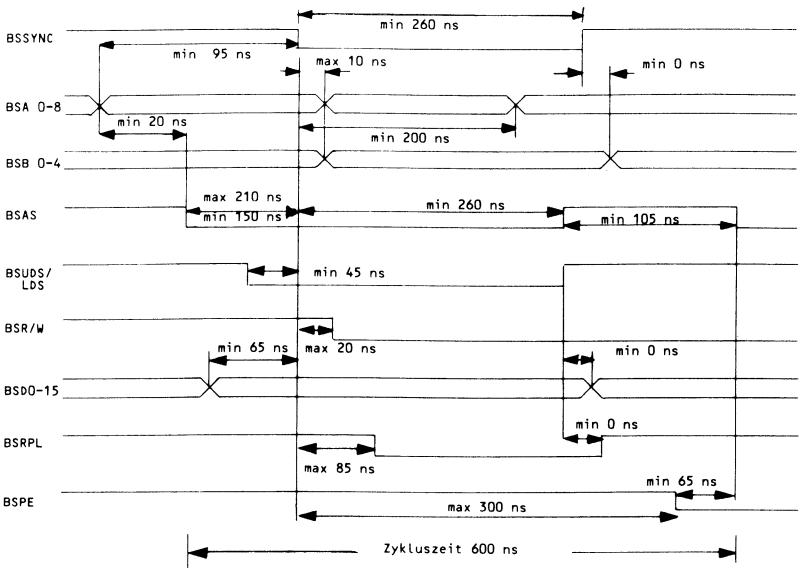
Schreib - Zyklus

Nebenstehend die Scheibzyklus-Zeiten am S-Bus zwischen QU68030 und der Speicher-Baugruppe QS512, bezogen auf das Prozessor-Clock-Signal.

Darunter sind die Minimalzeiten für einen Schreib-Zyklus (600 ns) dargestellt. Das Signal BSSYNC(L) steht in definiertem Verhältnis zum Clock-Signal, es wird mit der Impuls-Flanke S4 aktiv (s.auch S. 38).



Schreib - Zyklus am S-Bus, Zeiten

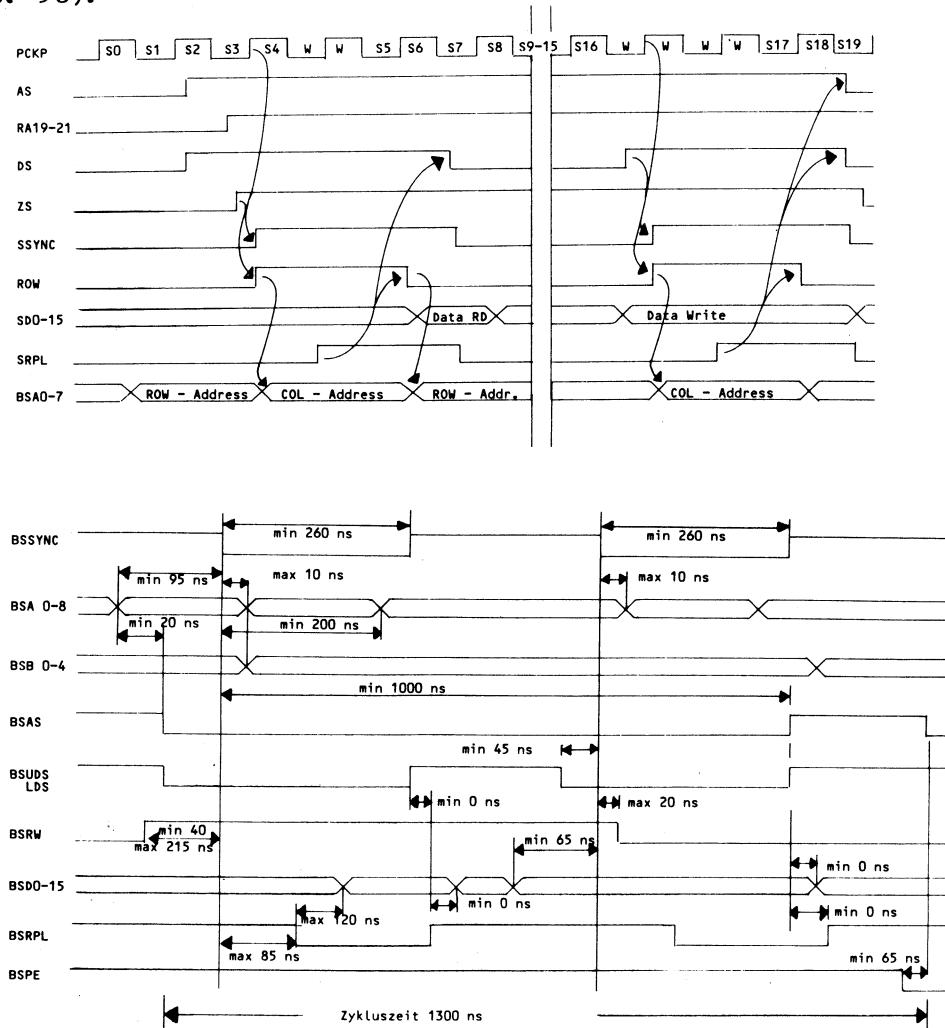


Lese-Modifiziere-Schreib Zyklus

Dieser nicht ternnbare Zyklus wird durch den MC68000-Befehl TAS ausgelöst. Während das Bus-Signal BSSYNC(L) sowohl beim Lesen als auch beim Schreiben ausgelöst wird, bleibt das Signal BSAS(L) während beider Phasen aktiv, um diesen speziellen Zyklus zu kennzeichnen.

Das Bild unten zeigt die Zyklus-Zeiten am S-Bus zwischen QU68030 und der Speicher-Baugruppe QS512, bezogen auf das Prozessor-Clock-Signal.

Darunter sind die Minimalzeiten für einen Zyklus dargestellt. Das Signal BSSYNC(L) steht in definiertem Verhältnis zum Clock-Signal, es wird mit der Impuls-Flanke S4 aktiv (s.auch S. 38).



Lese-Modifiziere-Schreib Zyklus am S-Bus

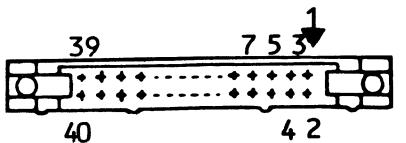
S-Bus Interface

Die meisten Signalleitungen am S-Bus werden über Tristate - Treiber angesteuert. Lediglich die beiden Signale BSRPLY(L) und BSPE(L) sind Open-Collector-Signale; die zugehörigen 100 Ohm Widerstände gegen Vcc befinden sich auf der Prozessor-Baugruppe.

Alle Tristate-Signale werden auf der Prozessorbaugruppe mit 330 Ohm gegen +5V und 450 Ohm gegen Masse terminiert; als Treiber werden die Typen F240 und F245 verwendet.

Signalleitungen	Mnemonic	Treiber	
16 Datenleitungen	BSD0 - BSD15	(H)	T.S.
5 Bank-Select	BSB0 - BSB4	(L)	T.S.
9 S-Bus Adresse	BSAO - BSA8	(L)	T.S.
8 Memory Present	BSMPO - BSMP7	(L)	O.C.
1 Read/Write	BSR/W	(L)	T.S.
1 Upper Data Strobe	BSUDS	(L)	T.S.
1 Lower Data Strobe	BSLDS	(L)	T.S.
1 Address Strobe	BSAS	(L)	T.S.
1 Sync	BSSYNC	(L)	T.S.
1 Reply	BSRPLY	(L)	O.C.
1 Gen. Parity Error	BSPGE	(L)	O.C.
1 Parity Error	BSPE	(L)	T.S.

S-Bus Interface-Definition



Steckverb. J1

Steckverb. J2

1	DSD0	21	BSD10	1	BSAO	21	BSD1
2	GND	22	GND	2	BSMPOL	22	GND
3	BSD1	23	BSD11	3	BSA1	23	BSB2
4	GND	24	GND	4	BSMP1L	24	GND
5	BSD2	25	BSD12	5	BSA2	25	BSB3
6	GND	26	GND	6	BSMP2L	26	GND
7	BSD3	27	BSD13	7	BSA3	27	BSB4
8	GND	28	GND	8	BSMP3L	28	GND
9	BSD4	29	BSD14	9	BSA4	29	BSPE
10	GND	30	GND	10	BSMP4L	30	GND
11	BSD5	31	BSD15	11	BSA5	31	BSRPL
12	GND	32	GND	12	BSMP5L	32	GND
13	BDS6	33	BSR/W	13	BSA6	33	BSPGE
14	GND	34	GND	14	BSMP6L	34	GND
15	BSD7	35	BSUDS	15	BSA7	35	BSSYNC
16	GND	36	GND	16	BSMP7L	36	GND
17	BSD8	37	BSLDS	17	BSA8	37	NC
18	GND	38	GND	18	GND	38	GND
19	BSD9	39	BSAS	19	BSB0	39	NC
20	GND	40	GND	20	GND	40	GND

Steckerbelegung

Der S-Bus ist mechanisch durch ein Flachbandkabel realisiert. Die Verbindung zwischen Prozessor- und S-Bus-Speicher- karten erfolgt durch je zwei 40-polige 3M- Steckverbindungen J1 und J2.

S-Bus Steckerbelegung

A0 Adressbit	29	EPROM-Bereich	18	Q-Bus Interface	34
Adress- <u>u.</u> Datensign. S-Bus	36	Einbau der Baugruppe	8	Q-Bus Interrupt-Controll	31
Adressumsetzung	10	Error Status Register	21	Q-Bus Steckerbelegung	34
Anlaufzustand	23	Erste Umsetzstufe	11	Q-Bus System-Kontroll Leitng.	33
		External Page	23	Q-Bus Systeme mit QU68030/50	6
BBS7	29				
BCOK	33			RAM-Bereich	18
BDIN	29	Funktionscode MC68000	12	Read-modify-write Zyklus	41
BDOUT	29			REWR	12
BHALT	33	Initialisierung	23		
BINIT	33	Interface, Q-Bus	34	S-Bus allgemeines	35
BIRQ4-BIRQ7	31	Interface, S-Bus	42	S-Bus Adapter	35
BPOK	33	Interrupt-Controll	31	S-Bus Adress- <u>u.</u> Datensign.	36
BREF	33	Interrupt-Zuordnung	26	S-Bus Interface	42
BRPLY	29			S-Bus Lese-Zyklus	39
BSAO-7	36	Kachelnummer	14	S-Bus Read-modify-write Zykl.	41
BSAS	37	Kalenderuhr	27	S-Bus Schreib-Zyklus	40
BSB0-4	36			S-Bus Steckerbelegung	42
BSD0-15	36	Lese-Zyklus Q-Bus	30	S-Bus Steuersignale	36
BSLDS	37	Lese-Zyklus S-Bus	39	S-Bus Struktur	35
BSMPO-7	38	Lokale I/O	18	S-Bus Treiber	42
BSPE	38	Lokaler Adressraum	17		
BSPGE	37	Lokaler Adressraum	11	Schreib-Zyklus Q-Bus	30
BSR/W	37			Schreib-Zyklus S-Bus	40
BSRPLY	37	Mechan. Aufbau S-Bus	7	Segment Descriptor	12
BSSYNC	37	Memory Management Unit	10	Segment Descriptoren	19
BSUDS	37	Memory-Present Leitng.	36	Segment Map	11
BSYNC	29	MMU	10	Segmente	11
BWTBT	29	Multiprozessorsysteme	7	Seiten Kachel Tabelle	14
Baugruppe, Allgem. Beschr.	5			Seiten-Descriptor	14
Betriebssystem	8	NOCD	12	Seiten-Descriptor	19
Bit-Beleg. Segment- <u>u.</u> Descr.	12	NOUA	12	Speicherverwaltung	10
Bit-Beleg. Seiten- <u>u.</u> Descr.	15			Steckerbelegung Q-Bus	34
Blockschaltb. Baugruppe	9	ODT	18	Steckerbelegung S-Bus	42
Boot	18			Steuersignale, S-Bus	36
Bus-Event	26	Page Map	13		
		Paritätsfehler	22	Timeout Fehler	22
CDON	12	Powerfail	26	Treiber S-Bus	42
Controller	9	Private Speicher	7		
		Prozessor-Kontroll Reg.	19	Virtueller Adressraum	13
DMA Controll, Anpassung	32	Prozessorvers. QU68030	10		
DMA Extention-Register	22	Prozessorvers. QU68050	10	Zugriff auf Kachel	15
DMA Zusatzverdrahtung	32	Q-Bus Adapter	28	Zugriff Seiten-Kachel Tab.	16
Debugger	18	Q-Bus Arbiter	24	Zugriffsrechte, Verletzung	13
Decoder	9	Q-Bus Data/Control Sign.	29	Zweite Adress-Umsetzstaufe	13
Diagnose-Programm	18	Q-Bus Halt	26		