

Band 16

TECHNISCHER
KUNDENDIENST

SPEICHERWERK TR 440

MASSENKERNESPEICHER
MSP 480 - TR 440

1

2

3

4

5

6

7

8

9

10

2. PHYSIKALISCHE GRUNDLAGEN

Der im TR 86 (440) verwendete Magnetkernspeicher besteht aus einer Vielzahl bestimmt aneinandergereihter Ferritkerne. Zum Speichern von Informationen in einem Ferritkern werden die Eigenschaften ferromagnetischer Stoffe ausgenutzt. Unter dem Einfluß eines Magnetfeldes lassen sich diese Stoffe magnetisieren und behalten nach dem Entfernen des Magnetfeldes einen Teil ihrer Magnetisierung. Dieser Teil wird als Remanenz bezeichnet. Entsprechend der Polarität der Erregung ergibt sich eine positive und negative Remanenz. Diesen beiden Remanenzzuständen werden die symbolischen Werte "L" und "0" zugeordnet.

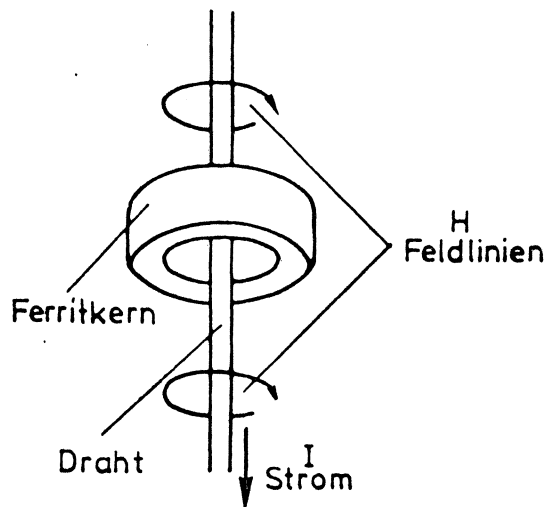


Abb. 2 - 1

Um einen stromdurchflossenen Draht bildet sich ein Magnetfeld, das zur Magnetisierung eines ringförmigen Ferritkernes geeignet ist. Die Stärke des Magnetfeldes ist stromabhängig (proportionaler Zusammenhang).

Das statische Verhalten eines Ferritkernes wird durch die Hysterese-Kurve ausgewiesen. (Siehe Abb. 2-3)

Für die Beschreibung wird dem positiven Remanenzpunkt (+Br) der Wert "L" und dem negativen Remanenzpunkt der Wert "0" zugeordnet. Fließt ein Stromimpuls $-I_m$ durch einen Kern, kann man in einen zusätzlich durch den Kern gezogenen Draht, der Leseleitung den vorhergehenden magnetischen Zustand des Kerns abfragen. Die Magnetisierungsänderung des Kerns erzeugt in der Leseleitung eine Spannung U_L .

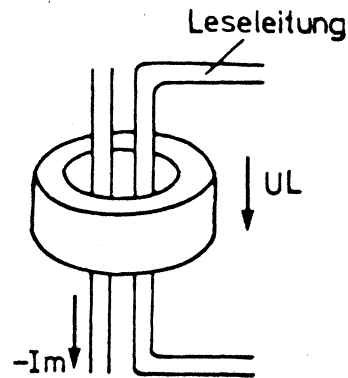
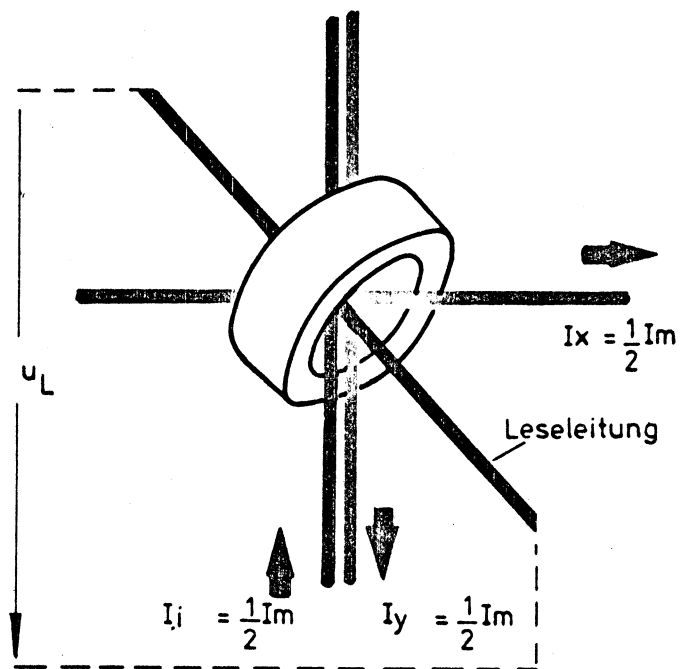
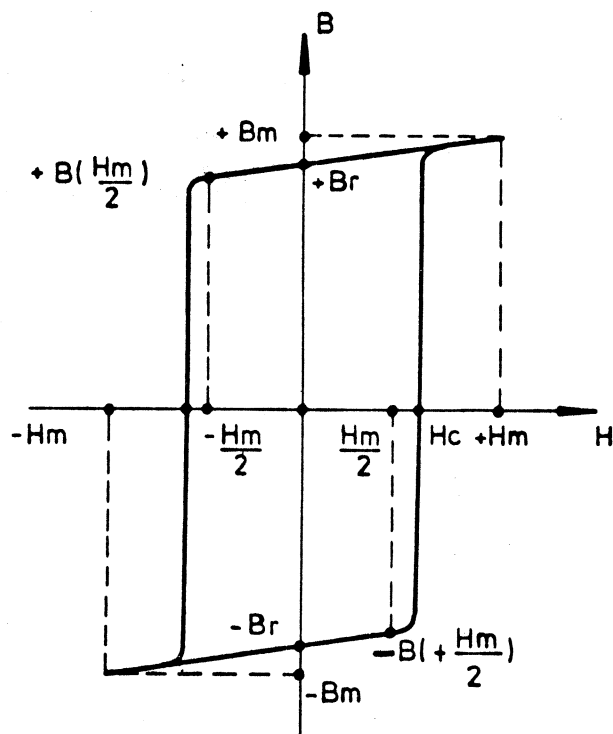


Abb. 2 - 2

Bei großer Lesespannung wurde der Kern vom Remanenzpunkt + Br nach - Br gekippt. Daraus ergibt sich eine gelesene Information "L". Bei kleiner Lesespannung wurde der Kern vom Remanenzpunkt - Br über eine reversible Schleife wieder annähernd nach - Br magnetisiert, es ergibt sich die Information "0". Nach dem Lesen ist der Magnetisierungszustand des Kerns immer bei - Br. Zum Schreiben einer "L" muß durch den Kern ein Strom $+I_m$ fließen. Ein Ferritkernspeicher kann nur zerstörend lesen. Wenn eine "L" gelesen wurde, befindet sich der Kern auf "0". Man muß zurückspeichern, um neu auslesen zu können. Das Signal TL bestimmt die Impulsbreite für Lesen.



$$B_r \sim \Phi_r$$

$$H_m \sim I_m$$

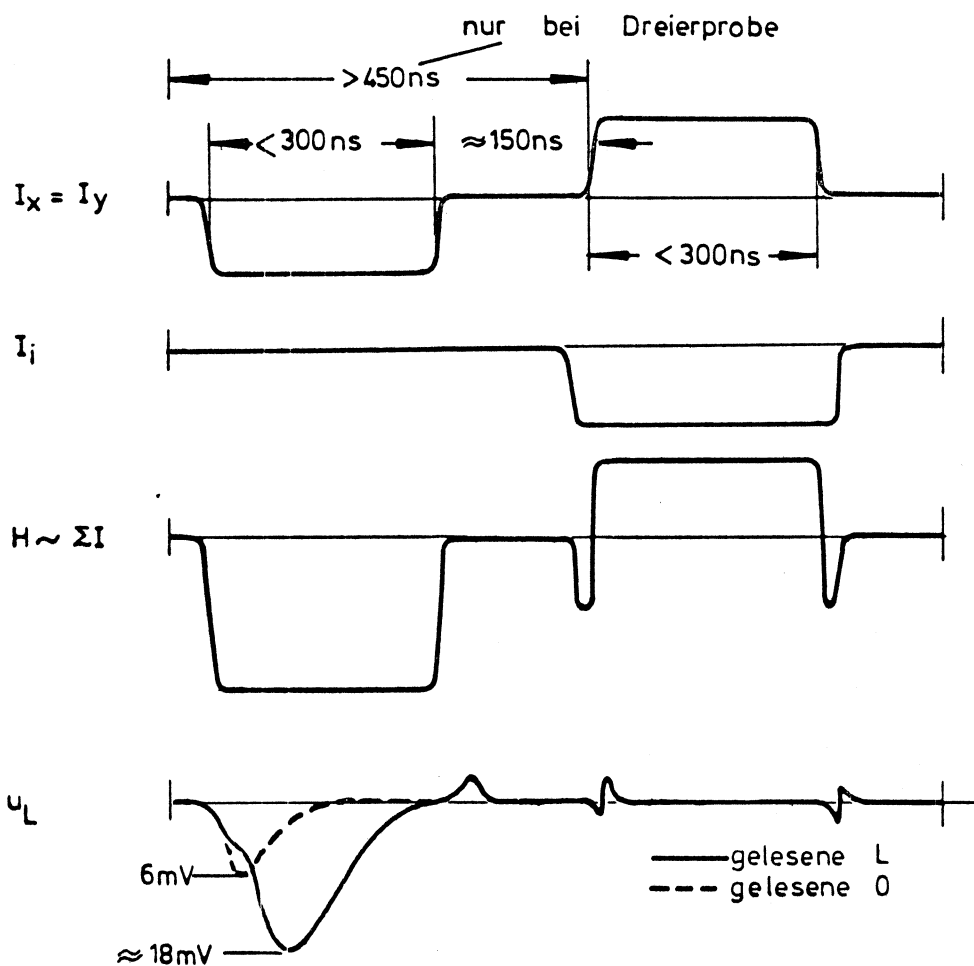


Abb. 2-3

TR 86 / 440

ZR

2.0 - 110

3. SPEICHERORGANISATION UND SPEICHERANSTEUERUNG

3.1. Das Speicherwerk

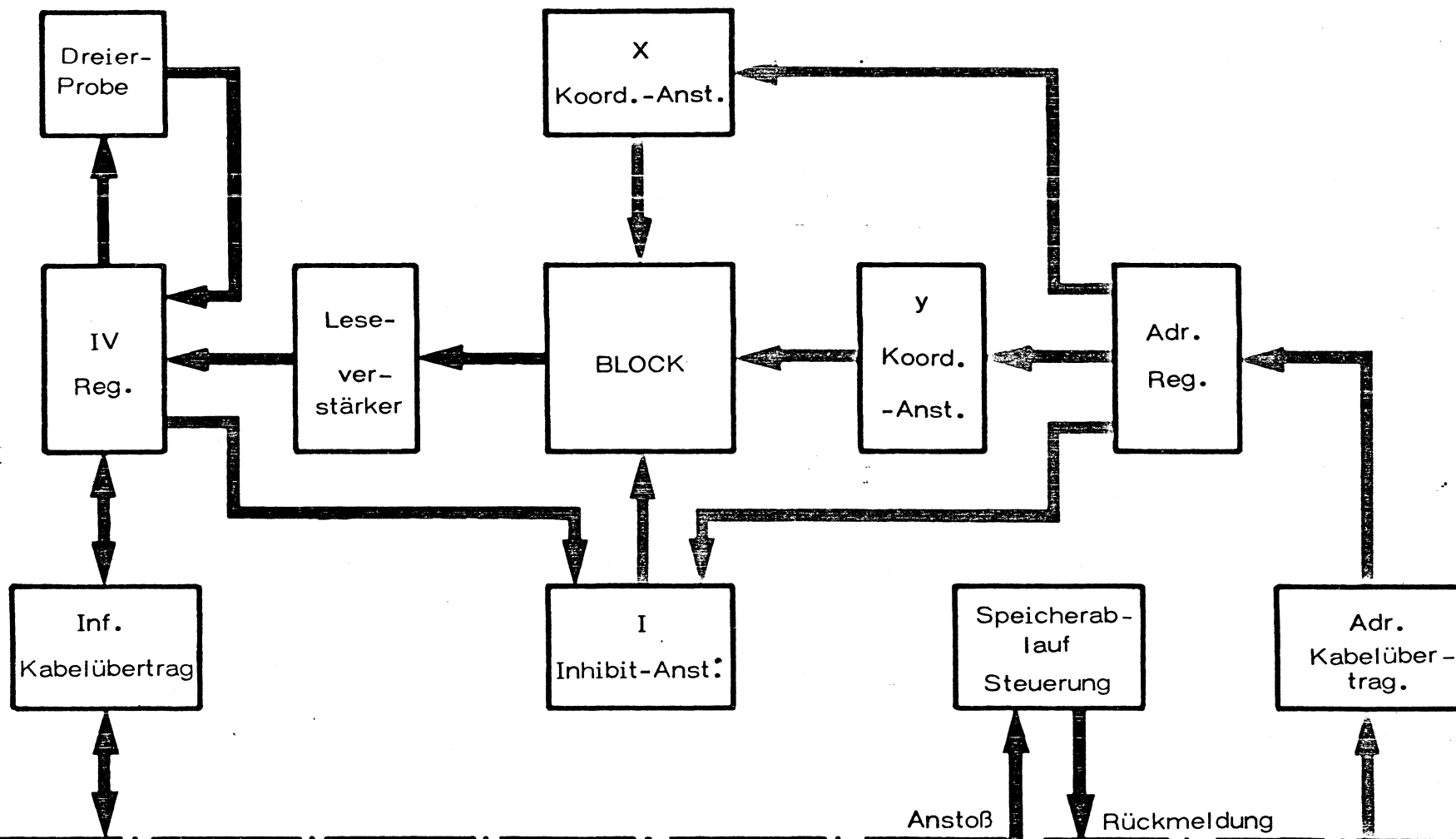
Das Speicherwerk besteht aus dem Hauptspeicher, dem Speicherwerks-Leitwerk und den Speicherablauf-Steuerungen des Hauptspeichers. Für den Hauptspeicher sind vier verschiedene Ausbaustufen vorgesehen:

| | | | | | |
|----|-------------|-----|------|-----------------|----------------|
| | Grundausbau | mit | 16 K | Ganzwort-Zellen | (1K = 1024) |
| 1. | Ausbaustufe | mit | 32 K | Ganzwort-Zellen | |
| 2. | Ausbaustufe | mit | 48 K | " | " |
| 3. | Ausbaustufe | mit | 64 K | " | " (Vollausbau) |

3.2. Speichereinheiten

Der Speicher ist aus Speichereinheiten (Moduln) von 16 K Ganzwort-Zellen aufgebaut.

Jeder Speichermodul besitzt eine eigene Speicherablaufsteuerung. Ist sie durch Zugriff auf Information im zugehörigen Speichermodul belegt, so ist gleichzeitig kein weiterer Zugriff auf diesen Modul möglich, wohl aber auf einen anderen Modul. Rechenwerk und EA-Werk können folglich echt parallel arbeiten, solange sie auf verschiedene Moduln zugreifen. Die Zykluszeit ist deshalb vom Speicherausbau abhängig und kann nur als Mittelwert angegeben werden. Sie beträgt für einen Modul $0,9\mu\text{s}$. Die Zugriffszeit zu einem Modul beträgt im Mittel $0,3\mu\text{s}$.



4. AUFBAU DES SPEICHERBLOCKS

4.1.

Aufbau der Speicherblocksteckeinheit

Diese Steckeinheit umfaßt den Speicherblock, die Kabelbäume, die den Block mit den Entschlüsselungskarten elektrisch verbinden, sowie die Mechanik, die die 9 Leiterkarten (4 ES1, 3 JU1, 1 JU2 und 1 LA1) mit den vorher genannten Teilen zu einer Einheit verbinden. An der Vorderseite des Blockes sind zwei Hebel angebracht, die durch die Hebelwirkung ein einfaches Hineindrücken bzw. Herausziehen ermöglichen. Ferner schützen sie im geschlossenen Zustand den Block vor Beschädigungen.

4.2.

Organisation und Aufbau einer Matrix

4.2.1.

Organisation einer Matrix X- und Y-Drähte (Zeilen und Spalten)

Durch Verwendung von Halbströmen können die Kerne in Form einer Matrix angeordnet werden, die aus Zeilen und Spalten besteht. Die Auswahl eines Kernes erfolgt am Kreuzungspunkt des betreffenden Zeilen- und Spaltendrahtes. Die ebene Speichermatrix im TR 86 und TR 440 enthält $128 \times 128 = 16\,384$ Kerne.

Leseleitungen

In einer Matrix wird immer nur ein Kern ausgewählt. Es wird deshalb nur durch diesen einen Kern eine Lesespannung erzeugt. Weil immer nur vom adressierten Kern eine Lesespannung möglich ist, reicht im Prinzip eine Leseleitung für jede Matrix. Bei den sehr großen Matrizen des TR 86- und TR 440-Speichers sind zur Reduzierung von Störungen 4 Leitungen in eine Matrix gefädelt. Jede Leitung erfaßt 1/4 der Matrix.

Inhibitleitungen (I-Leitungen)

Beim Schreiben in den Kernspeicher fließt durch den ausgewählten (adressierten) Kern der Halbstrom eines Spalten- und eines Zeilendrahtes. Dadurch wird der Kern in die Lage "L" geschaltet. Soll die Information "0" geschrieben werden, so wird durch eine zusätzliche, dem Spalten- oder Zeilendraht parallel zugeordnete Leitung, ein Halbstrom in entgegengesetzter Richtung geschaltet. Dieser in der Inhibitleitung fließende Strom, der in seiner Wirkung dem Koordinatenstrom entgegenwirkt, verhindert das irreversible Schalten des Kernes und damit das Einschreiben einer "L" (inhibit: verhindern). Grundsätzlich reicht eine Inhibitleitung für jede Matrix. Die Ansteuerung ist von der Information abhängig.

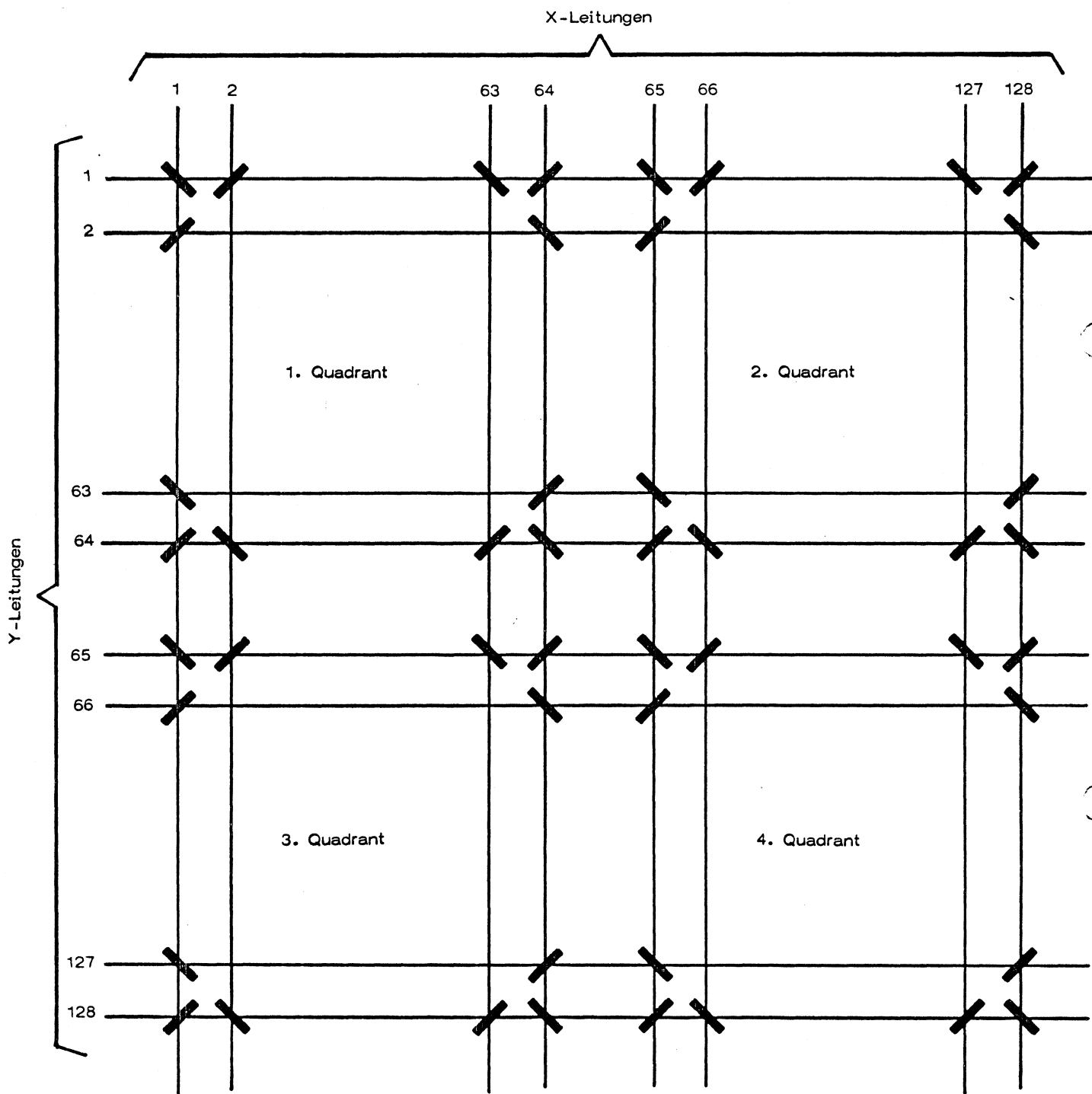


Abb. 2 - 5 Anordnung der Koordinatenleitungen

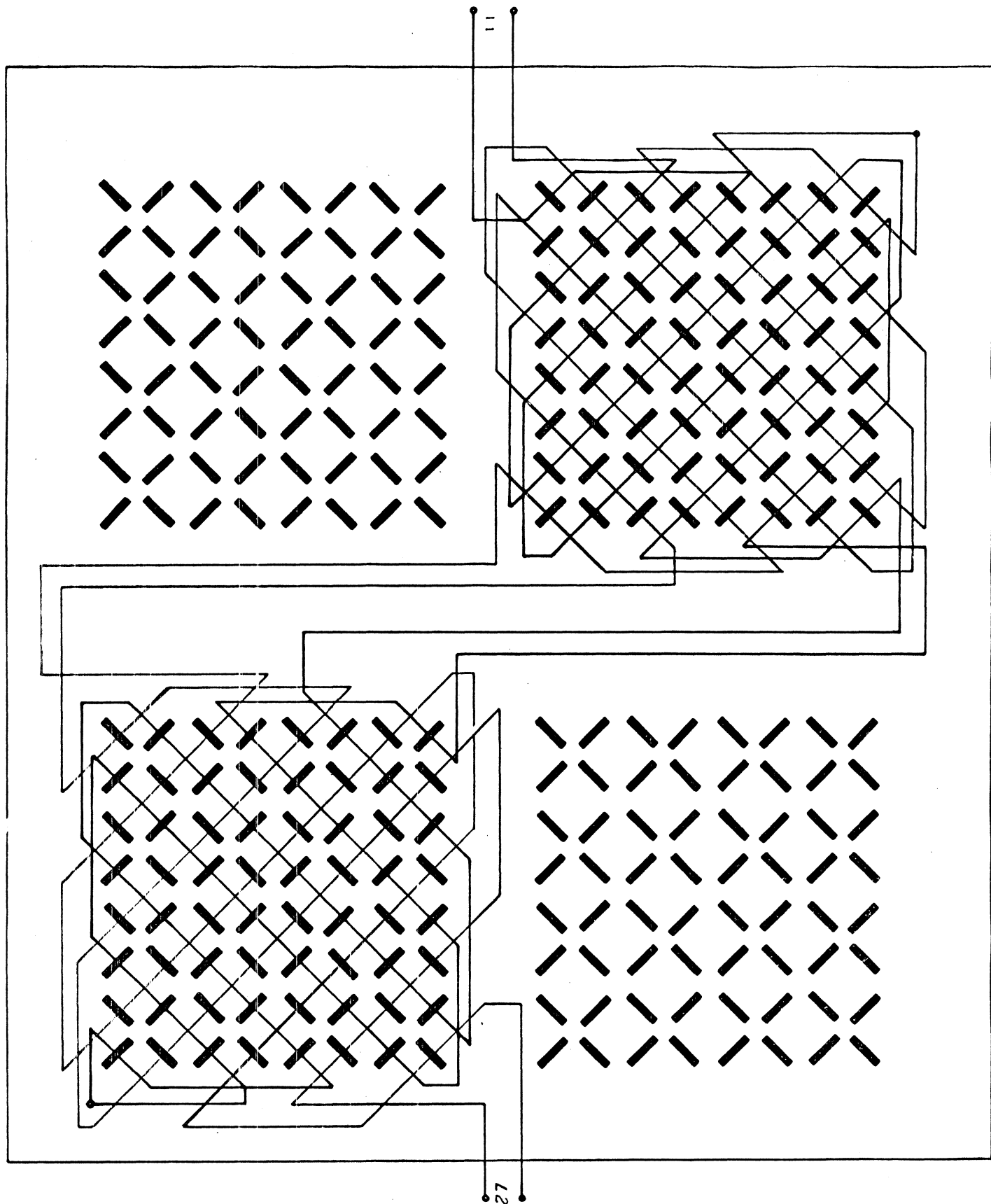
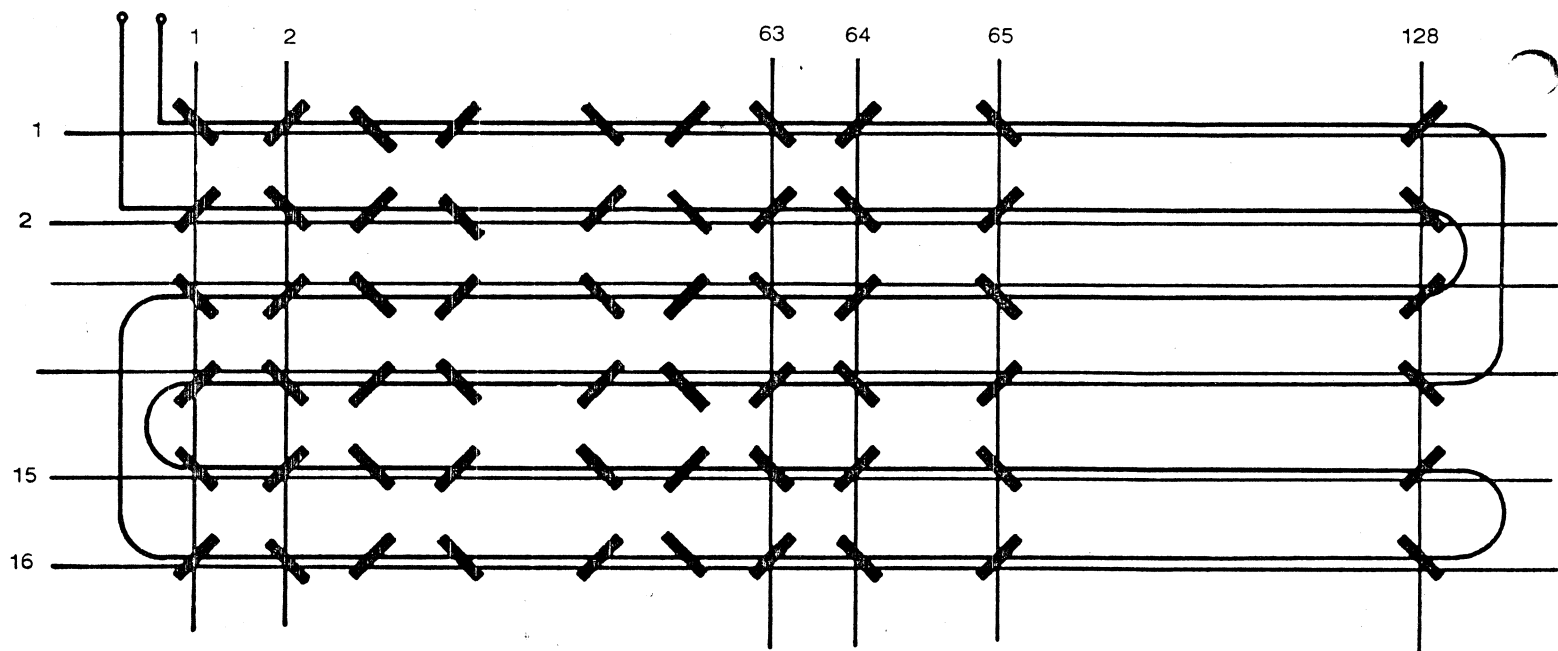


Abb. 2-6 Anordnung der Leseleitungen:

Dargestellt an einer Matrix $4 \times 8 \times 8$, die TR 440 - Speichermatrix umfaßt $4 \times 64 \times 64$. Wie dargestellt, durchlaufen zwei Leseleitungen die diagonal gegenüberliegenden Quadranten. Dies ist nur in einer Diagonalen eingezeichnet.



| | |
|-----|-------------------|
| 1 | |
| 16 | Inhibit-Leitung 1 |
| 32 | Inhibit-Leitung 2 |
| 48 | Inhibit-Leitung 3 |
| 64 | Inhibit-Leitung 4 |
| 80 | Inhibit-Leitung 5 |
| 96 | Inhibit-Leitung 6 |
| 112 | Inhibit-Leitung 7 |
| 128 | Inhibit-Leitung 8 |

Abb. 2 - 7 Anordnung der Inhibitleitungen

4.2.2.

Aufbau einer Matrix (Speicherebene)

In einer Matrix sind 16 k-Kerne mit den X- und Y-Koordinatenleitungen, sowie den Inhibit- und Leseleitungen verwebt (1 k = 1024 Kerne). Alle Leitungen haben einen Durchmesser von 0,06 mm.

Koordinatenleitungen (Abb. 2-5)

128 X- und 128 Y-Leitungen sind in einem Matrixrahmen verspannt. In jeden Kreuzungspunkt ist ein Speicherringkern gefädelt. Im Ansteuerungsfall führt je eine X- und Y-Leitung einen Halbstrom. Der im Kreuzungspunkt dieser beiden Drähte befindliche Kern wird durch Addition beider von den Halbströmen erzeugten Felder auf seine Information abgefragt.

Leseleitungen (Abb. 2-6)

Diese 16 k-Kerne sind aus fädeltungstechnischen Gründen räumlich in 4 Quadranten zu je 4 k-Kerne aufgeteilt. Die beiden diagonal zueinander liegenden Quadranten durchlaufen entsprechend der Abb. 2-6 zwei völlig getrennte Leseleitungen. Mithin hat jede Matrix 4 Leseleitungen, jede Leseleitung wiederum erfaßt 4 k-Kerne. In einem Quadranten erfaßt eine Leseleitung 2 k-Kerne.

Inhibitleitungen (Abb. 2-7)

Die Inhibitleitung ermöglicht das Schreiben einer "0"-Information. Der Inhibitstrom ist etwa gleichgroß dem Koordinatenstrom. Das von ihr erzeugte Feld wirkt dem der Koordinatenleitungen entgegen. Das nun im angewählten Kern noch wirksame Feld einer Koordinatenleitung führt nicht zum Schalten des Kerns.

In jeder Matrix sind 8 getrennte Inhibitleitungen gefädelt. Jede Inhibitleitung durchläuft jeweils 2 nebeneinanderliegende Quadranten und erfaßt je Quadrant 1 k-Kerne, also insgesamt 2 k-Kerne pro Matrix. Die Inhibitleitung ist, wie die Abb. 2-7 im oberen Teil zeigt, "bifilar" gefädelt.

Sinn der beschriebenen Leitungsaufteilung

Es ist notwendig, den kapazitiven und induktiven Störeinfluß der Koordinatenleitungen und der Inhibitleitungen so gering wie möglich zu halten. Die beschriebene Anordnung kommt dieser Forderung weitgehend entgegen. Die Aufteilung der Inhibitwicklung war außerdem notwendig, um die Induktivität soweit herabzusetzen, daß die Inhibitschalter den notwendigen Strom bei vorgegebener Anstiegszeit und max. zulässiger Spannung an den Halbleitern ermöglichen.

Leseleitungen - Koordinatenleitungen

Eine angewählte Koordinatenleitung beeinflusst kapazitiv durch ihre Kreuzungspunkte und durch Halbanwahl der Kerne nur an 32 der 128 Kerne in einer Koordinate die Leseleitung. Eine Leseleitung wird von X- und Y-Leitungen nur an 62 Kernstellen gestört.

Leseleitungen -
Inhibitleitungen

Jede Inhibitleitung beeinflusst nur mit 512 Kernen eine Leseleitung.
Dies ist 1/32 der in einer Matrix enthaltenen Kerne.

Besondere Ansteuerungs-
bedingungen

Die aufgeteilten Leseleitungen werden disjunktiv durch den Leseverstärker zusammengefaßt. Dies ist in der Beschreibung des Leseverstärkers näher erklärt. Die Aufteilung der Inhibitleitungen ermöglicht es, die Inhibitleitungen adreßabhängig anzusteuern, so daß jeweils nur eine Inhibitleitung je Bit beim "0"-Schreiben geschaltet wird.

4.3.
Zusammenbau der Matrizen zu Speicherblöcken
(Abb. 2-8)

Durch Zusammenfügen 13 der voran beschriebenen Matrizen setzt sich der Speicherblock zu 13 Bit Wortlänge mit je 16 k Bit zusammen. Der Abstand zwischen den Matrizen ermöglicht die Abfuhr der Wärme, die vorwiegend aus der Verlustleistung der Inhibitleitung resultiert. Die anfangs beschriebenen Matrizen sind jeweils um 90° zueinander gedreht montiert. Dies heißt, daß die Inhibitleitungen von Matrix zu Matrix abwechselnd parallel zu X- bzw. Y-Leitung laufen. Dies hat zur Folge, daß die starke Kopplung zwischen Koordinaten- und Inhibitleitung nahezu gleichmäßig auf X- und Y-Leitung verteilt ist. Jedoch macht es diese Anordnung notwendig, je nachdem ob X- oder Y-Leitung der Inhibit-Leitung parallel läuft, mit den X- oder Y-Adreßbits (siehe Beschreibung Inhibit-Treiber, IT) die Inhibitansteuerung zu entschlüsseln. Abb. 2-8 zeigt, wie die Matrizen hintereinandergeschaltet werden und wie X- und Y-Koordinatenansteuerung in jeder Matrix einen Kern anwählen. Von Koordinatenleitung zu Koordinatenleitung wechselt der Anfang bzw. das Ende der Anschlüsse zwischen Ober- bzw. Unterkante. Der Grund liegt einmal in der sonst kaum möglichen engen Anschlußverdrahtung, ferner in der Anordnung der Inhibitleitung, die von Koordinatenleitung zu Koordinatenleitung ihre Stromrichtung ändert. Wie unter diesen Umständen die Kernstellung die Addition der vom Strom erzeugten Felder ermöglicht, zeigt Abb. 2-8 an zwei verschiedenfarbigen Beispielen.

4.3.1.
Spezifikation des Speicherblocks 16 384 Worte zu 13 Bit

Abmessungen

auf- bzw. abgerundet

Höhe : 70 mm
Länge : 118 mm
Breite : 118 mm

Außendurchmesser des Kerns : 20 mil bzw. 0,53 mm
Durchmesser der gefädelten Leitungen: 0,06 mm

Elektrische Eigenschaften

| | |
|-------------------------------------|---------------|
| Widerstand der X- bzw. Y-Leitungen: | 8,9 Ω |
| Widerstand der Leseleitungen : | 24,7 Ω |
| Widerstand der Inhibitleitungen : | 8,6 Ω |

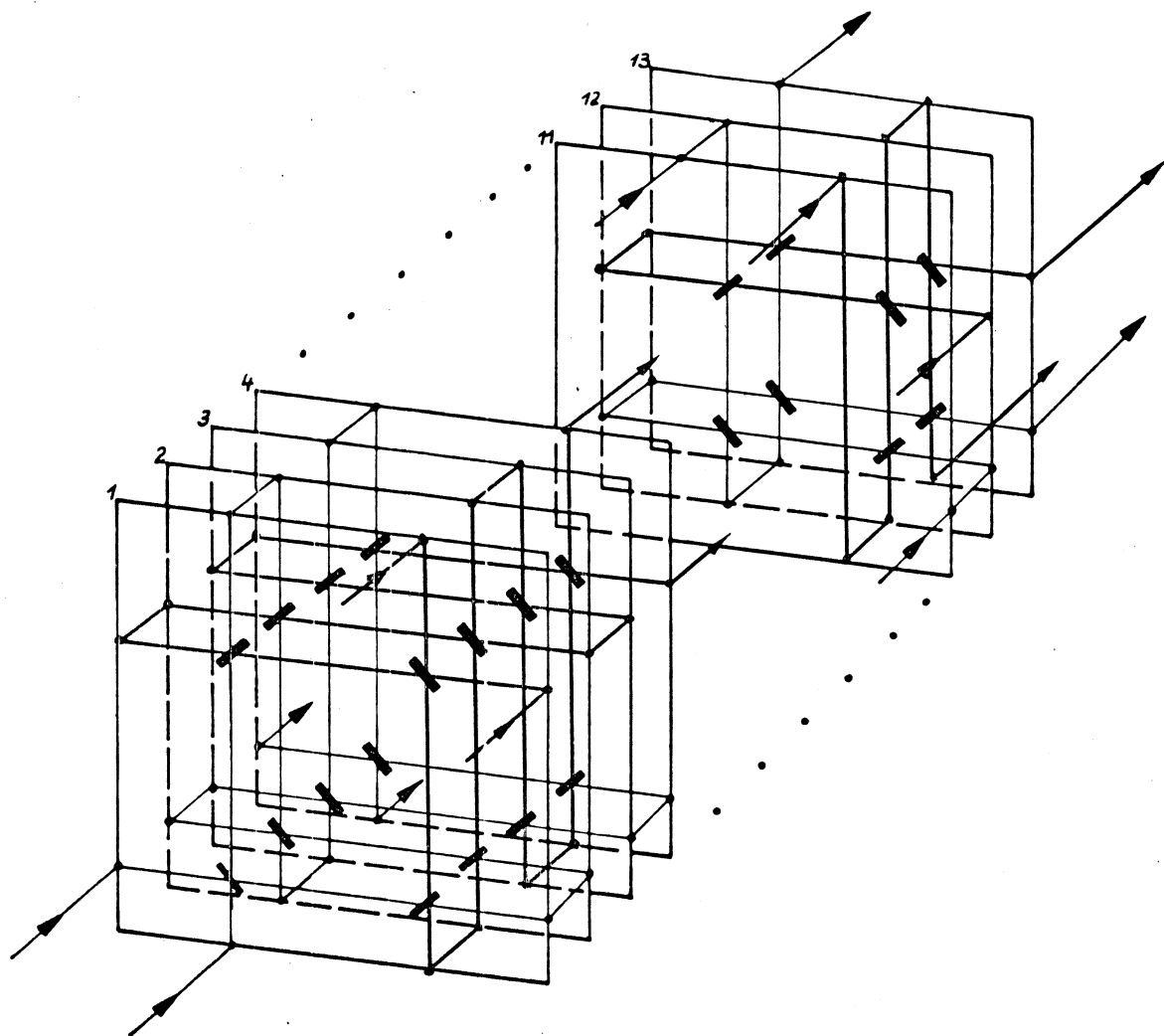


Abb. 2-8 Verbindung der Koordinatenleitungen beim Zusammenbau einzelner Matrizen zum Block.

4.3.2. Verdrahtung des Blockes

Kabelbäume stellen die elektrische Verbindung zwischen Speicherblock und Steckeinheiten her. Die Isolation des verwendeten Drahtes ist strahlungsvernetzt. Die Isolationsart weist einen geringen Kaltfluß (gegenüber Teflon) auf, so daß scharfe Kanten und Spitzen am Block (Lötstifte) die Isolation nicht verletzen und damit keine Kurzschlüsse verursachen können. Die Drahtabmessungen sind durch die Maßangabe AWG 30 (American core-gauge) gegeben. Diese Angabe sagt, daß der Durchmesser des Kupferleiters 0,28 mm beträgt. Der Außendurchmesser des kompletten Drahtes beträgt maximal 0,6 mm. Acht verschiedene Farben aus der genormten Farbreihe ermöglichen eine gute Kontrolle der Anschlüsse.

Koordinaten-Kabelbaum

Dieser stellt die Verbindung zwischen den Koordinatenleitungen des Blockes und den Entschlüsselungskarten ES1 her. Die Leitungen sind einfach geführt und mit einem geeigneten Bindegarn zum Kabelbaum (wie auch alle anderen Kabelbäume) gebunden.

Leseleitungs-Kabelbaum

Als zweifach verdrehte Leitungen werden die Leseleitungen vom Block mit den zugehörigen Steckeinheiten verbunden. 9 Bits werden auf die LA1 geführt, 4 Bits auf die IU2. Die verdrehte Leitung bewirkt:

- a) ein nur geringes magnetisches Streufeld
- b) daß äußere magnetische Störfelder (wie z.B. die der einfach geführten Koordinatenleitungen) nur einen geringen induktiven Störeinfluß haben.

Inhibitleitungs- Kabelbaum

Wie die Leseleitungen sind auch die Inhibitleitungen verdreht in einem Kabelbaum geführt. Grund dazu ist der oben aufgeführte Punkt a). Wichtig ist, daß die 3 Kabelbaumarten getrennt geführt und abgebunden sind, um die Beeinflussung untereinander möglichst gering zu halten.

4.3.3. Koordinaten- Entschlüsselung (ES1)

Auf jeder Seite des Blockes sind 2 ES1-Steckeinheiten montiert. Eine Seite übernimmt die Entschlüsselung der X-, die andere die der Y-Koordinate (Abb. 2-12). Jede Koordinate führt 128 Hin- und 128 Rückleitungen in Kabelbäumen zu den Stirnseiten der Entschlüsselungskarten ES1. Hier sind jeweils Hin- und Rückleitung nebeneinander mit zugeordneten Lötanschlüssen verbunden. Beide zusammengehörigen Entschlüsselungskarten stellen eine Einheit dar. Sie entschlüsselt aus 8 Zeilen und 16 Spalten (Abb. 2-9 XI - X8 und X9 - X24) 128 Koordinatenleitungen. Dabei ist eine Zeile bzw. Spalte 2 Leitungen gleichzusetzen, nämlich eine für den Lese- und eine für den Schreibhalbstrom. Die Dioden dienen der Entschlüsselung, jede Koordinatenleitung bedarf 4 Dioden. Der Balun-Transformator übernimmt die im Abschnitt 6.5.3 beschriebenen Aufgaben. Jedem Transformator ist ein Dämpfungswiderstand nachgeschaltet.

4.3.4.
Inhibit-Entschlüsselung
(Abb. 2-9 und 13)

Die 8 Inhibitleitungen einer Matrix werden auf der IU1 bzw. IU2 entschlüsselt. Jeder Matrix ist ein völlig getrenntes Entschlüsselungssystem, bestehend aus zwei Zeilen und vier Spalten zugeordnet. Die Balun-Transformatoren, Dioden und Widerstände übernehmen die gleichen Aufgaben wie im Koordinaten-Entschlüsselungssystem. Eine IU1-Karte trägt vier solcher Systeme, die IU2-Karte ein System. Daher werden für die 13 Bits drei Stück IU1 und ein Stück IU2 benötigt. Die bestückten Leiterplatten sind nur sehr kurz und unterhalb des Blockes montiert (Abb. 2-13).

4.3.5.
Leseleitungs-Anschluß
und -Symmetrierung
(Abb. 2-11 und 13)

Die Leseleitungs-Kabelbäume werden auf die bestückten Leiterplatten LA1 und IU2 geführt. Diese tragen für jede Leseleitung einen Dämpfungswiderstand. Insgesamt sind 13×4 , also 52 Leseleitungen anzuschließen. Davon entfallen $9 \times 4 = 36$ auf die LA1 und $4 \times 4 = 16$ auf die IU2. Vom Block wird die Leseleitung wiederum über verdrehte Leitungen auf die in der Verdrahtung montierte LV1 geführt. Die hier montierten Balun-Transformatoren und gegen Masse geschalteten Widerstände dienen der Symmetrierung der Lesesignale.

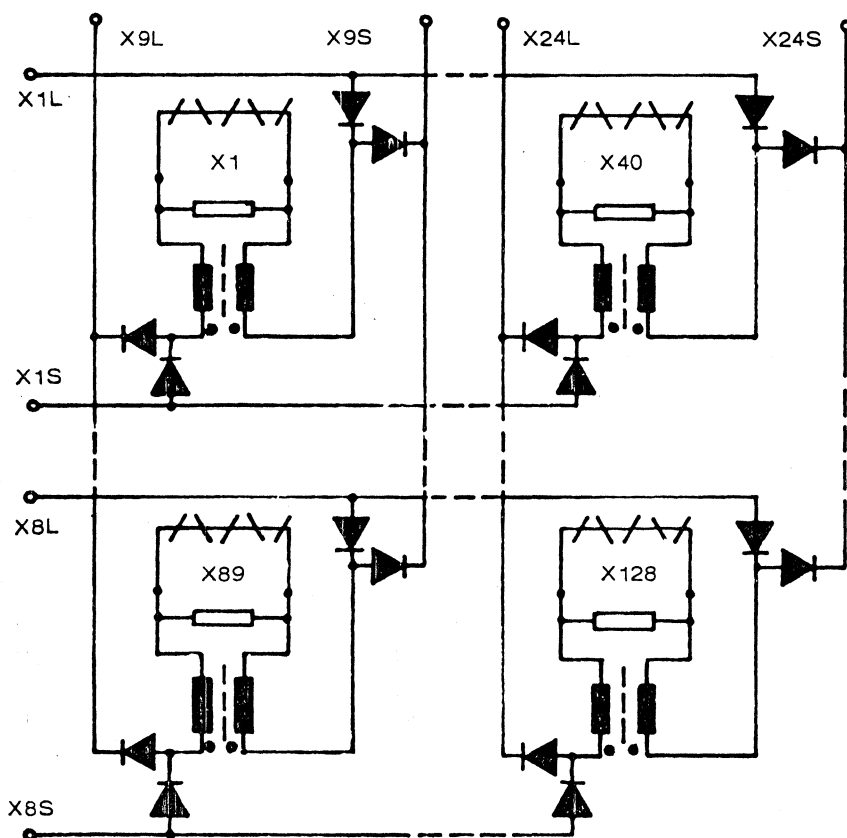


Abb. 2 - 9 Anordnung der Koordinaten-
entschlüsselung

Im Beispiel wird die X- Leitung - Ent-
schlüsselung gezeigt. 8 Zeilen gegen
16 Spalten ergeben 128 entschlüssel-
bare X- Leitungen. Diese Anordnung ist
auf 2 ES1 - Steckeinheiten verteilt.

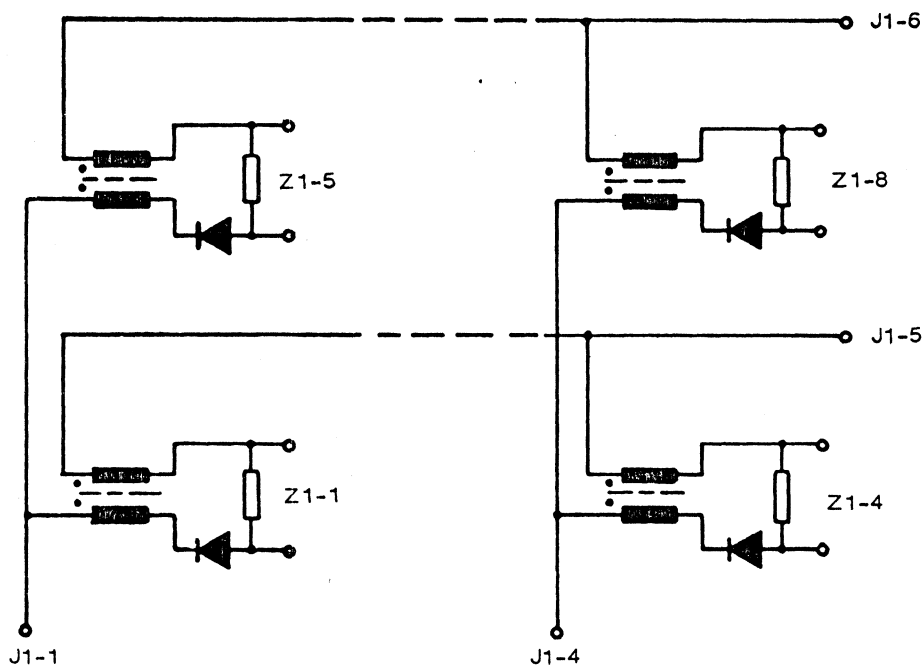


Abb. 2 - 10 Anordnung der
Inhibitentschlüsselung

4 gegen 2 Trennschalter steuern
mit der oben abgebildeten Ent-
schlüsselung die 8 zu einer
Matrix gehörenden Inhibitleitungen
an. Auf einer Leiterkarte JU1
sind 4 solcher Einheiten.

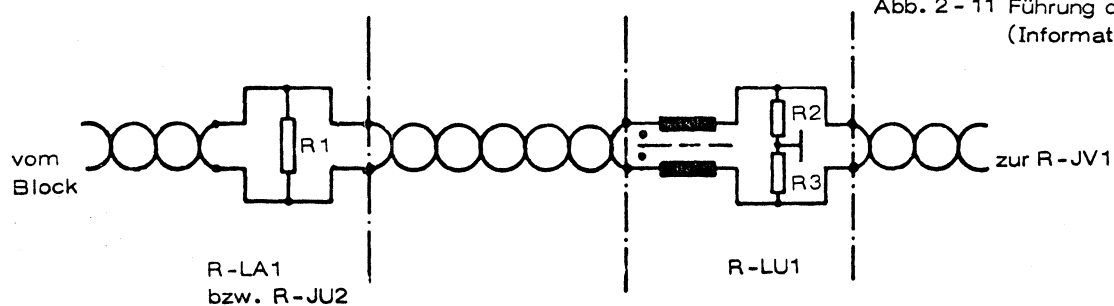


Abb. 2 - 11 Führung der Leseleitung zur R-JV1
(Informations- Verstärker)

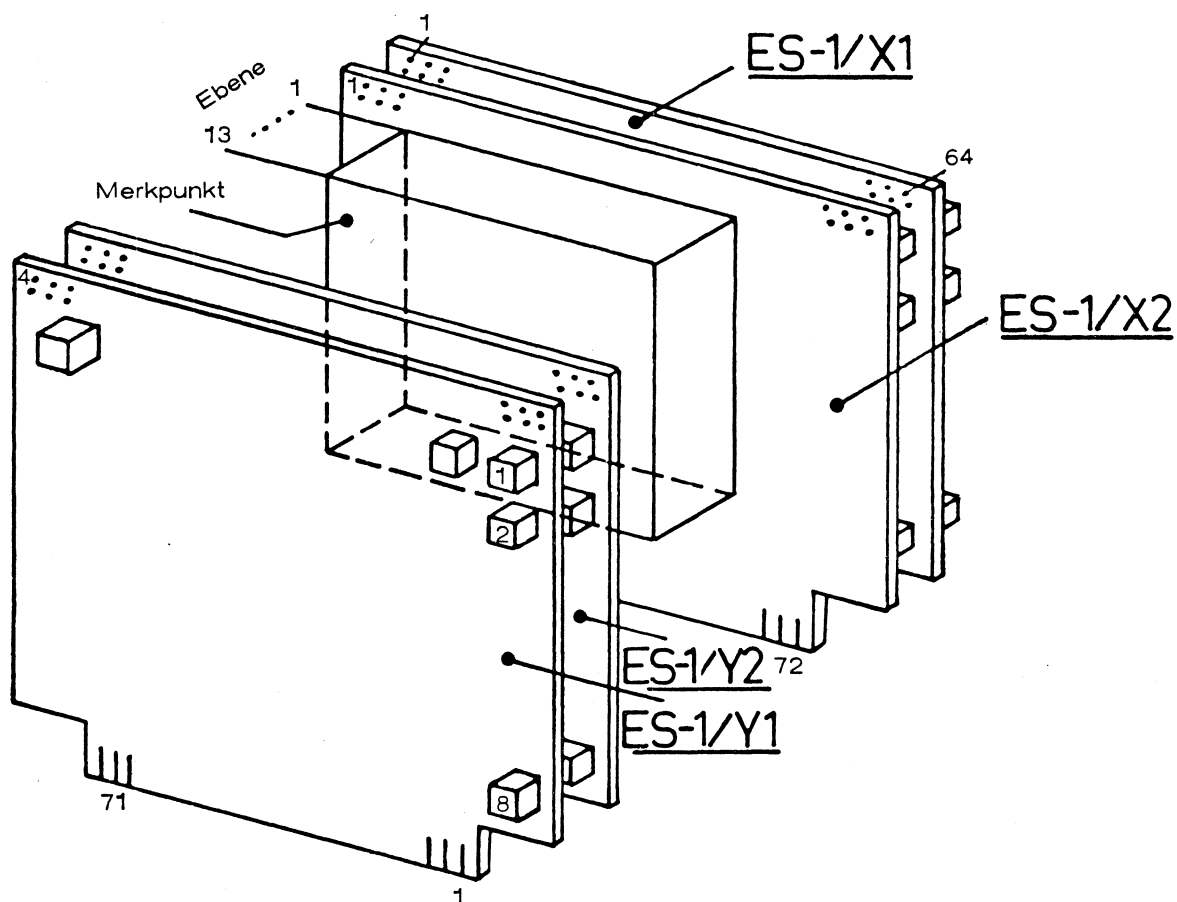
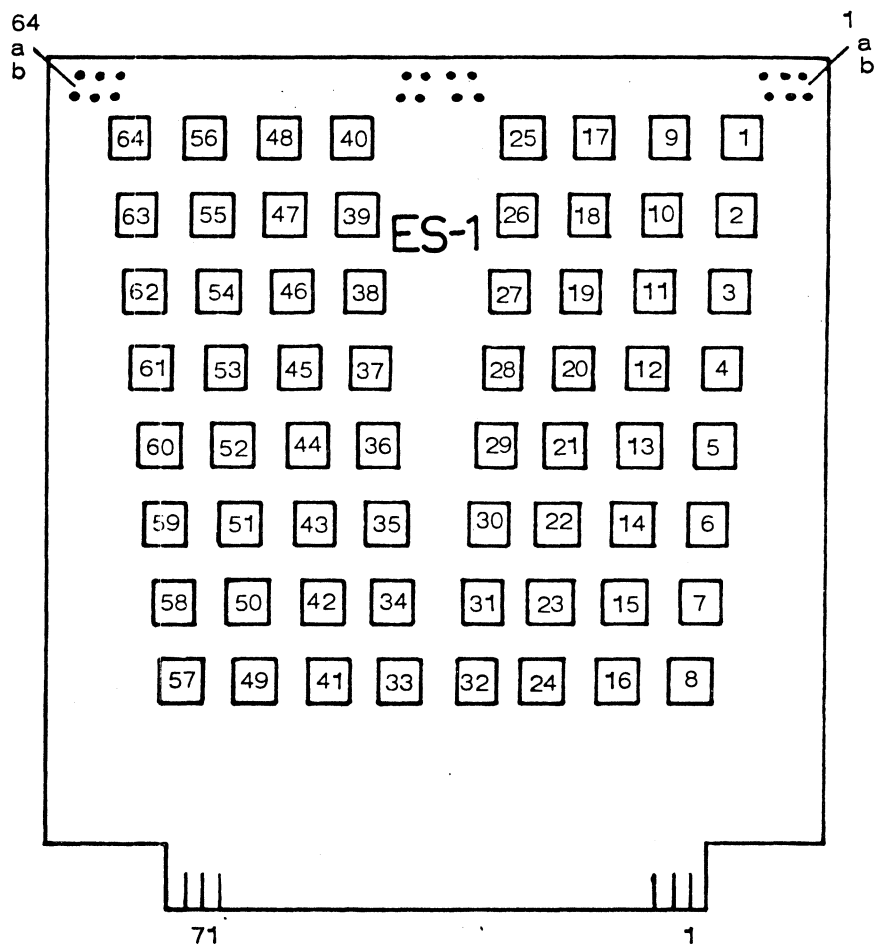


Abb. 2 - 12 Anordnung der Entschlüsselungs -Leiterplatten ES1 am Block

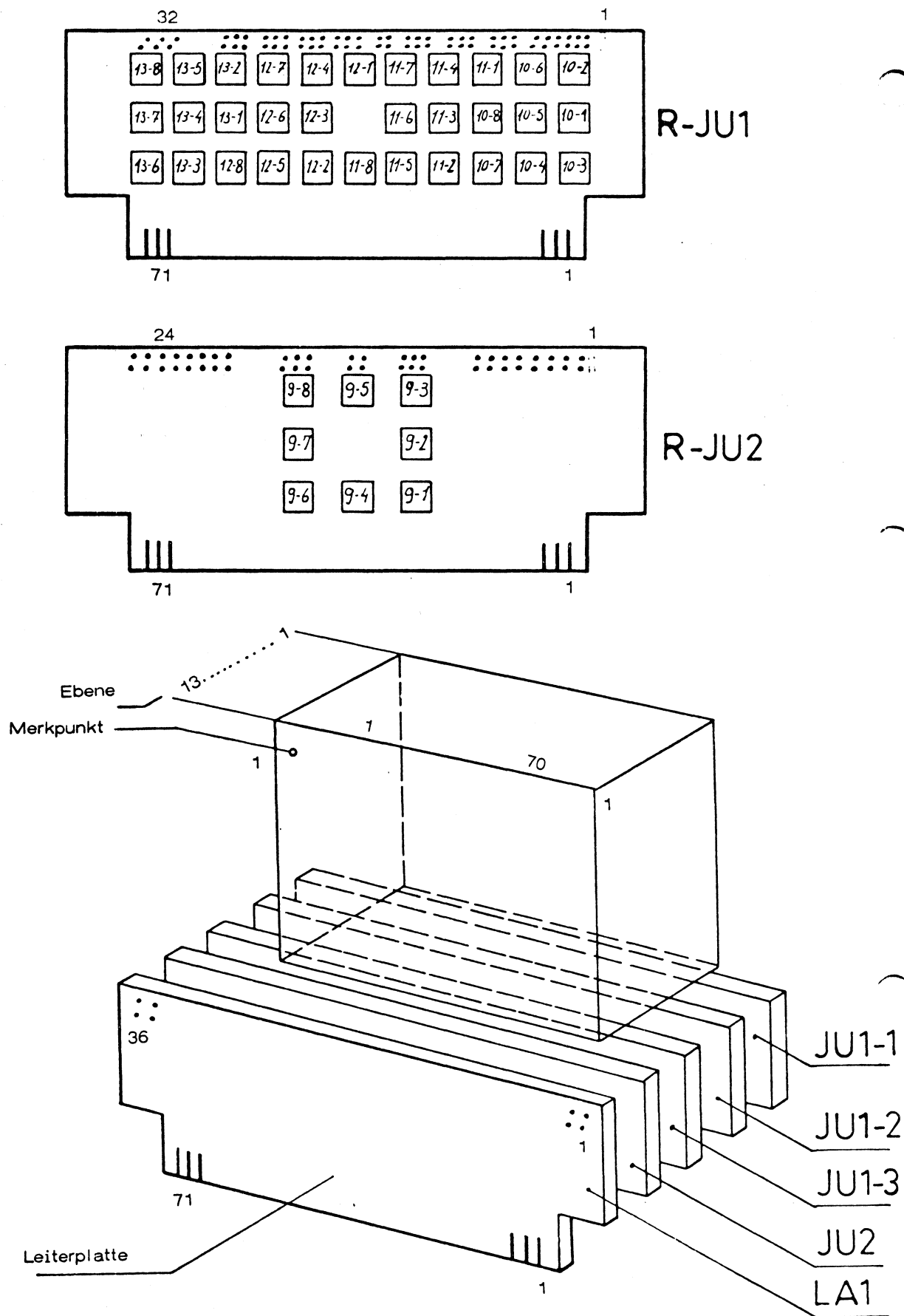


Abb. 2-13 Anordnung der Leiterplatten JU 1, JU 2 und LA 1 am Block

5. FUNKTIONSBESCHREIBUNG

5.1. Übersicht

5.1.1. Betriebsarten

Es sind drei Arten von Speicherzyklen zu unterscheiden (siehe Ansteuerliste).

- a) Lesen Vollzyklus
- b) Schreiben Vollzyklus
- c) Lesen Halbzyklus - Schreiben Halbzyklus

a) Lesen Vollzyklus

Beim Anstoß werden Speicheradresse, Moduladresse, AL, AS, LS übernommen.

Die Information wird aus den Kernen ausgelesen, mit NALV abgefragt und im Register gespeichert.

Mit UI wird die Information und Speicherwortmeldung (SZ6) übergeben.

Wurde bei der Dreierprobenprüfung ein Fehler festgestellt, wird DPF an den Rechner gegeben. Ist der Zyklus abgelaufen und die Information übergeben, geht FM zum Rechner.

b) Schreiben Vollzyklus

Hier fehlt LS, d.h. die ausgelesene Information wird nicht ins Register übernommen. Ebenso fehlt UI, da keine Information zum Rechner übergeben wird, dagegen wird zum Zyklusbeginn Information vom Rechner übernommen.

Sind die Dreierprobenbits beide auf "L", soll aber die Dreierprobe geprüft und nicht neugebildet werden, kommt noch DPST, wird ein Fehler festgestellt, geht DPF an den Rechner.

Fehlt in diesem Fall DPST, wird die Dreierprobeninformation neugebildet.

c) Lesen Halbzyklus - Schreiben Halbzyklus

Mit der MA und SA liegt noch AL und LS an, die Information wird ausgelesen und in das Register übernommen. Mit UI wird die Information und WM zum Rechner übergeben.

Tritt bei der Dreierprobenprüfung ein Fehler auf, so wird DPF zum Rechner gesendet. Es erfolgt keine Fertigmeldung.

Beim anschließenden Schreiben Halbzyklus kommt mit der MA noch AS und die neue Information vom Rechner, evtl. auch wie unter b)

ZR

beschriebenen DPST. Wird ein Dreierprobenfehler festgestellt, geht DPF zum Rechner.
 Zyklusende wird mit FM zum Rechner gemeldet.

Ansteuerliste der Speicher-,
 Steuer-, Adreß- und
 Informationssignale

| Steuer-, Adreß- und Informationssignale | Rechner - Speicher | | | | | | | | Speicher - Rechner | | | |
|--|--------------------|-----|-----|-----|-------|----|----|----|--------------------|------|-----|---|
| | AL | LS | AS | UI | DPST | MA | SA | I | WM | DPF | FM | |
| | YAL | YLS | YAS | YUI | YDPST | A | A | I | SWM | SDPF | SFM | |
| | SZ1 | SZ2 | SZ3 | SZ4 | SZ5 | SW | SW | SU | SZ6 | SZ8 | SZ7 | |
| | | | | | | | | | | | | |
| Lesen-Vollzyklus | L | L | L | L | 0 | L | L | | L | L | Lv0 | L |
| Schreiben - Vollzyklus | L | 0 | L | 0 | Lv0 | L | L | L | | 0 | Lv0 | L |
| Lesen - Halbzyklus | L | L | 0 | L | 0 | L | L | | L | L | Lv0 | 0 |
| Schreiben - Halbzyklus | 0 | 0 | L | 0 | Lv0 | L | 0 | L | | 0 | Lv0 | L |

5.1.2.
 Blockschaltbild
 eines Moduls

Die Information von 52 Bit wird aus Gründen größerer Schnelligkeit in vier Blöcken zu je 13 Bit gespeichert.

Das Treibersystem ist blau gezeichnet. Die 14 Bit der Blockadresse werden für X und Y in jeweils 3 und 4 Bit aufgeteilt. Damit werden für X und Y 8 und 16 Trennschalter angesteuert; das ergibt auf der Auswahlmatrix 128 Knotenpunkte für eine Blockseite. Die je 8 Trennschalter für X und Y sind auf einer Karte untergebracht. Die Unterscheidung zwischen Lesen und Schreiben wird auf der AS getroffen.

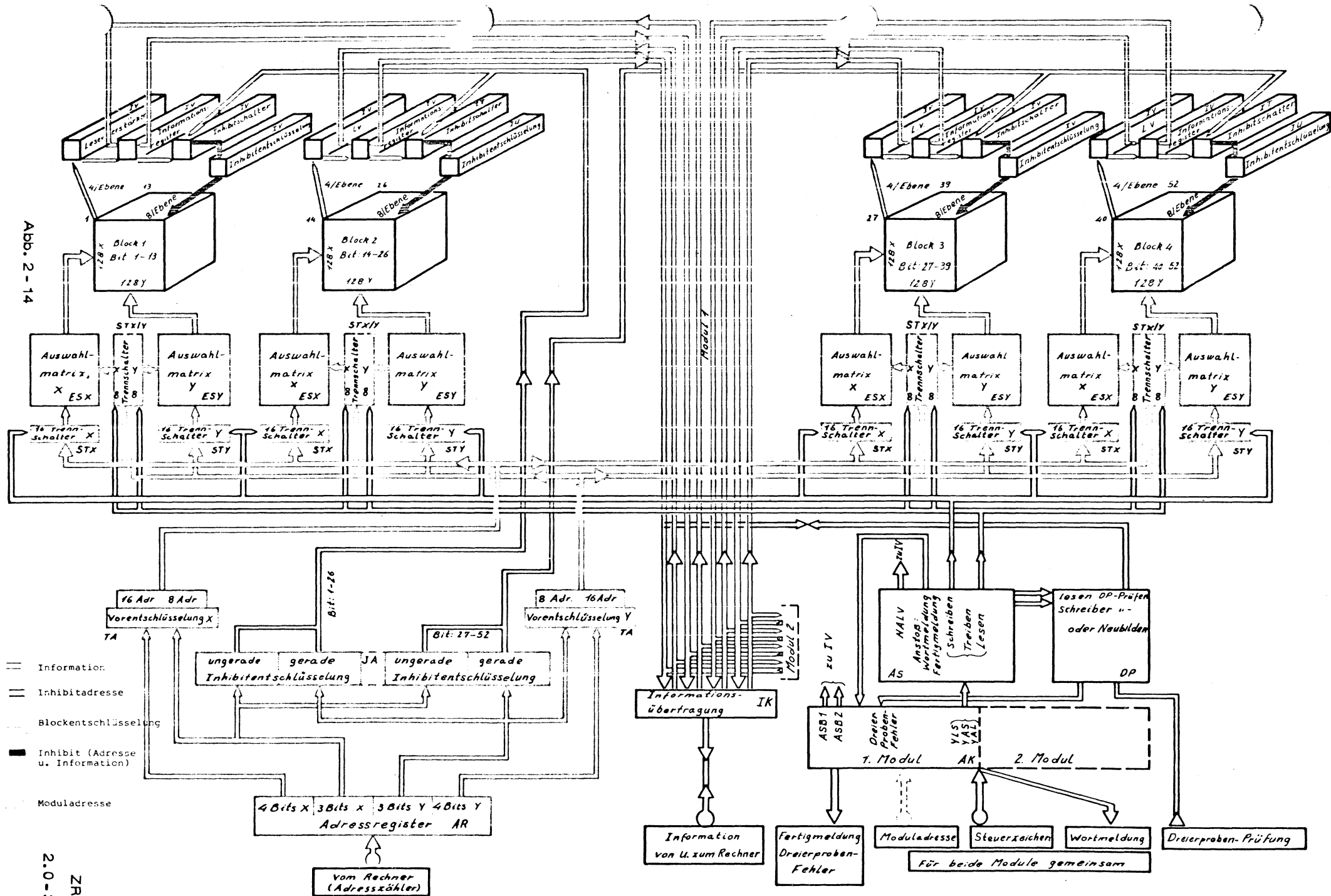
Das Inhibitsystem ist grün gezeichnet. Jeweils 3 Bit der Adresse werden für die Inhibitentschlüsselung verwendet. Da zwei aufeinanderfolgende Ebenen jeweils um 90° gedreht sind, ist abwechselnd die X- und die Y-Adresse maßgebend. Auf der IT wird die Adresse mit der Information verknüpft.

Das Informationssystem ist rot gezeichnet. Die ausgelesene Information wird auf der IV verstärkt und gespeichert. Die Übertragung von und zum Rechner geschieht über die IK, die für zwei Modulen verwendet wird.

Die Steuerung des Moduls geschieht über die AK. Hier werden die Moduladresse und die Steuerzeichen von und zum Rechner verarbeitet. Den zeitlichen Ablauf regelt die AS.

Die Dreierprobe wird auf der DP1 und DP2 gerechnet und ausgewertet und auf der IV gespeichert.

Abb. 2-14



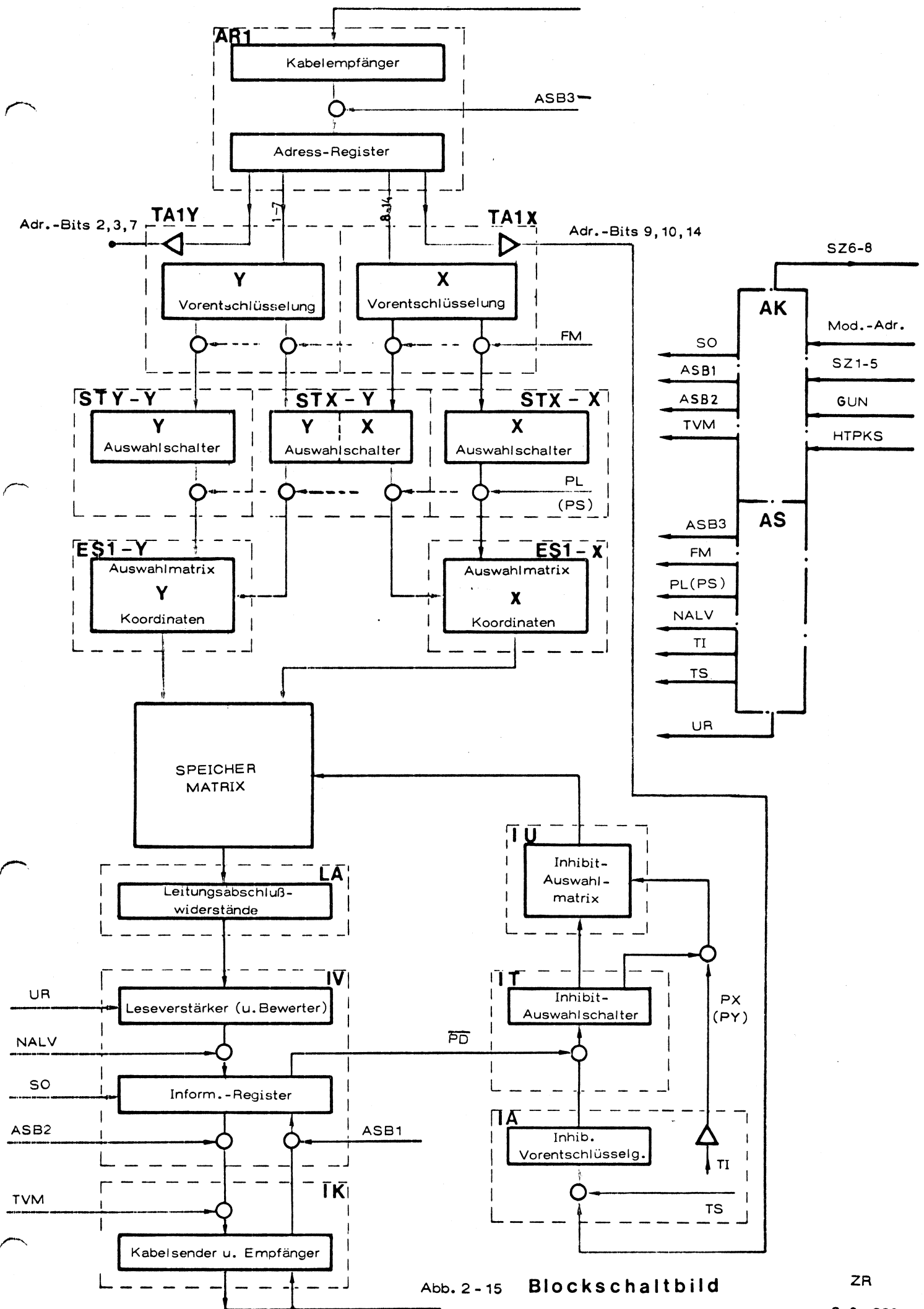


Abb. 2 - 15

Blockschaltbild

Speicher TR 86/440

5.1.3.
Zusammenspiel
zweier Moduln

Die Steuerzeichen und die Information werden auf AK und IK2
für zwei Moduln gemeinsam behandelt.

(gemeinsam für
beide Module)

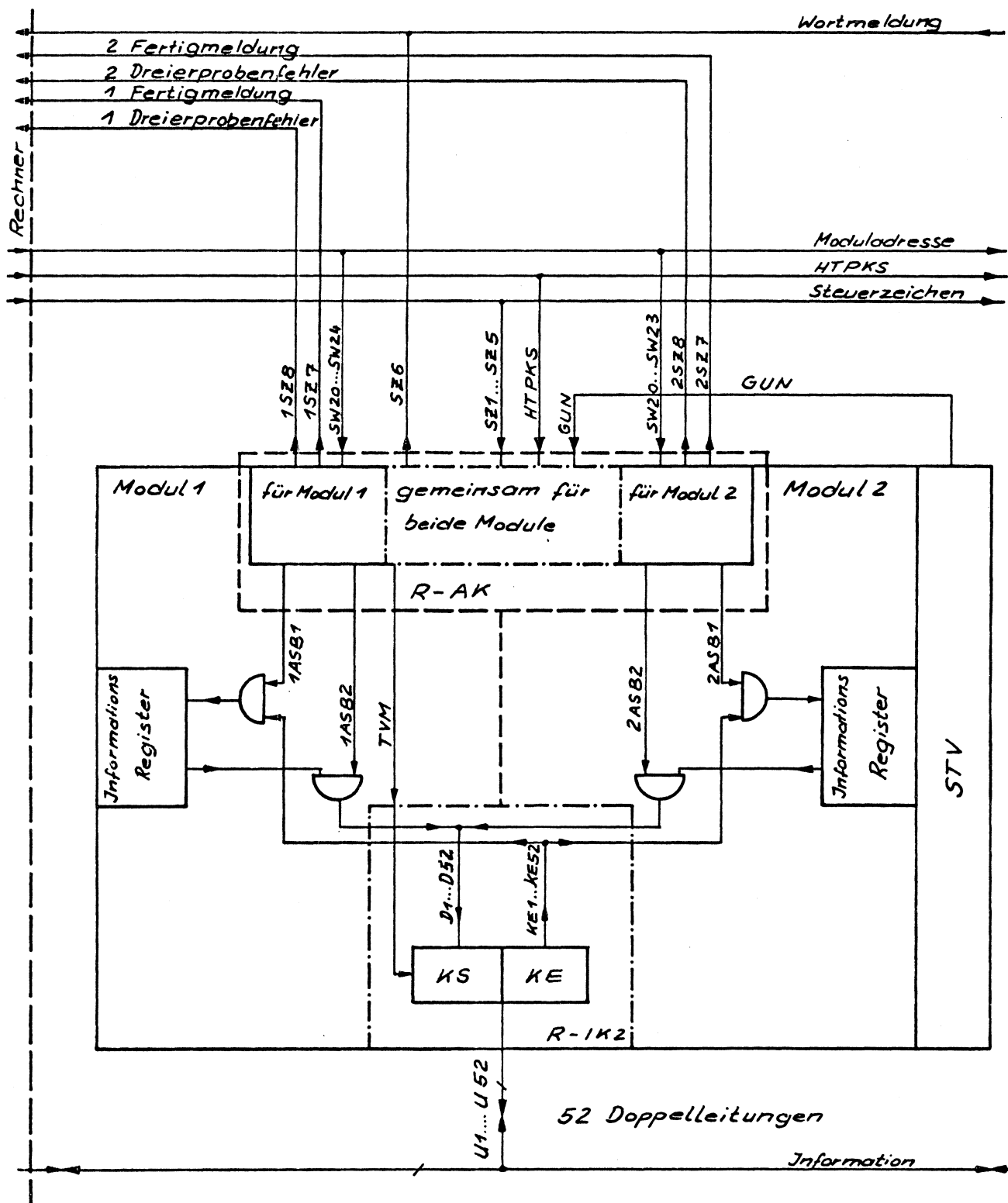


Abb. 2 - 16

ZR

Auf der R-AK werden die Steuersignale SZ1 bis SZ5, entsprechend YAL, YLS, YAS, YUI, DPST empfangen und mit Hilfe der Moduladresse auf die zwei Moduln verteilt.

Die Normiersignale HTPKS und GUN gelten für beide Moduln gemeinsam.

Zum Rechner geht die Wortmeldung (SZ6) auf einer gemeinsamen Leitung für alle Moduln und getrennt für jeden Modul der Dreierprobenfehler und die Fertigmeldung.

Informationsübergabe zum Rechner:

Mit YUI wird bei dem angesprochenen Modul ASB2 gebildet und für die D1...D52 der Weg vom Informations-Register zum KS freigegeben.

Mit dem für beide Moduln gemeinsamen TVM wird dann der KS (gleichzeitig mit SZ6) für etwa 50 ns geöffnet.

Informationsübernahme vom Rechner:

Die Information wird im KE empfangen. Der ausgewählte Modul bildet ein ASB1, das für die KE1...KE52 den Weg zum Informations-Register freigibt.

5.2.
Schnittstelle
Speicher - Rechner

5.2.1.
Adressen

Bei einer quadratischen Matrix mit $16K \hat{=} 16384$ Ganzwörtern besteht jede Blockseite aus 128 Treiberdrähten. Jede Seite wird von einer Matrix aus 8×16 Knotenpunkten angesteuert. Dazu werden $3 + 4 = 7$ Bit für die Adressenauswahl benötigt, für zwei Seiten also insgesamt 14 Bit. Da der Speicher im Vollausbau mit 16 Modulen bestückt ist, sind noch 4 Bit für die Moduladresse vorgesehen.

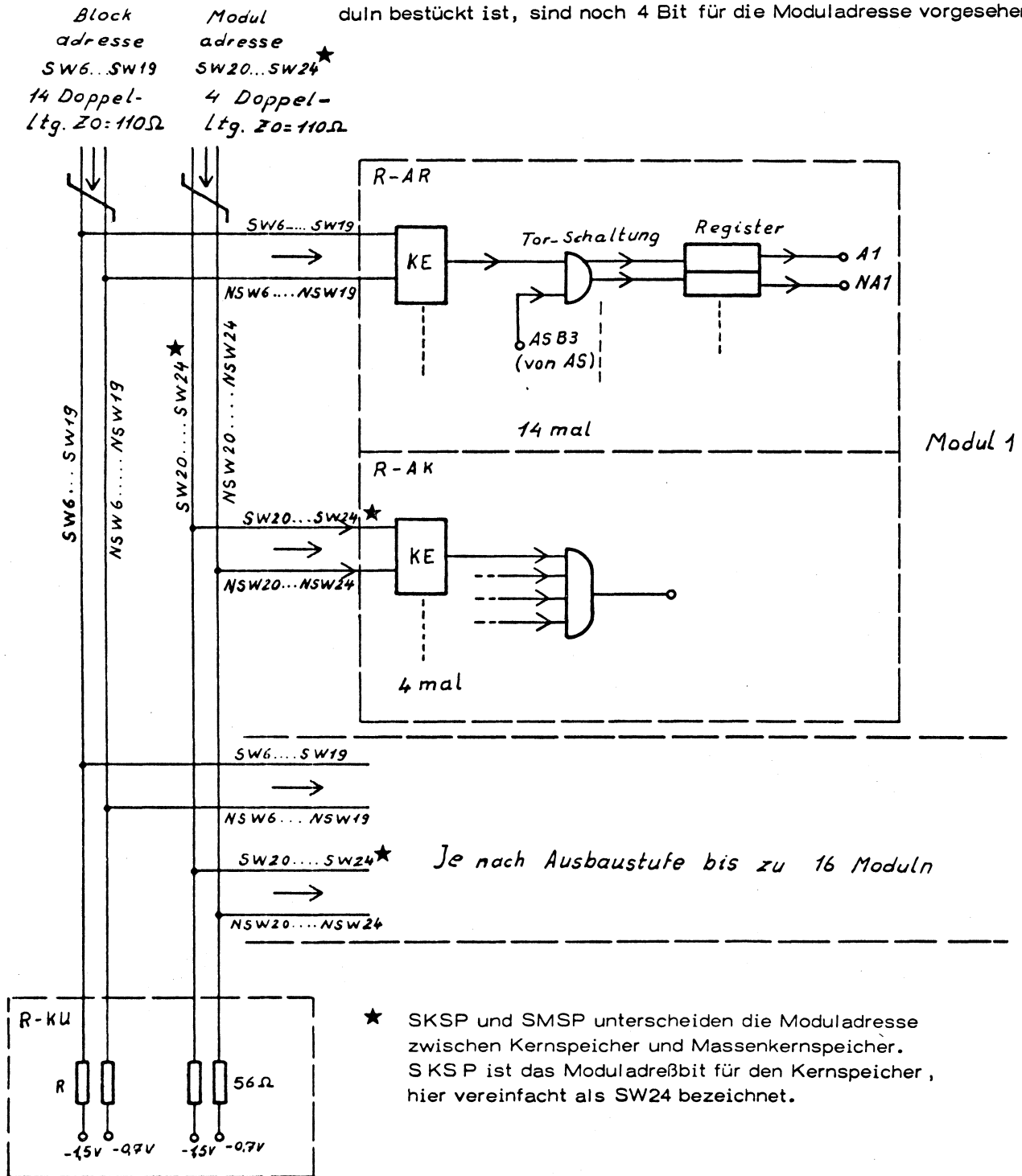


Abb. 2 - 17

ZR

I. MASSENKERNSPEICHER

1.1 Daten

1.1.1 Speicherkapazität

1 Modul : 512 k Ganzworte à 52 (54) Bit
Maximalausbau: 4 Moduln (2048 k)
Ausbaustufen : 512 k, 1024 k, 1536 k, 2048 k

1.1.2 Betriebsarten

Lesenvollzyklus (read write)
Schreibenvollzyklus (clear write)
Lesen- und Schreiben-Teilzyklus (read modify write)

1.1.3 Zeiten

| | <u>Zykluszeit (μs)</u> | <u>Zugriffszeit (μs)</u> |
|--|---------------------------------------|---|
| Lesenvollzyklus | $\leq 2,1$ | $\leq 1,1$ |
| Schreibenvollzyklus | $\leq 2,1$ | |
| <u>Teilzyklen:</u> | | |
| Lesephase | $\leq 1,1$ | $\leq 1,1$ |
| Schreibenphase | $\leq 1,0$ | |
| Zeit zwischen zwei Phasen $\geq 0 \mu$ s | | |

1.2 Aufbau

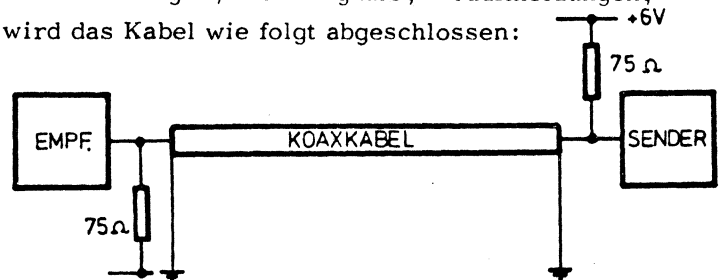
Der Massenkernspeicher ist ein Kernspeicher, der in der 2 1/2 D Technik gefädelt ist.

Die Speicherkapazität eines Moduls (512 k Ganzworte mit 52 Bits) wird gebildet aus 512 k - Blöcken à 9 Bit. Die zwei übrigbleibenden Bits, Bit 53 und 54 werden für Prüfzwecke verwendet. Jeder Block besitzt eine eigene Elektronik zur Ablaufsteuerung mit Adreßregister, Datenregister, Zeilen- und Spaltenschalter und Netzgerät. Die Speicherblöcke für einen Modul nebst Elektroniken sind in 6 Halbschränken (Format TR440) untergebracht.

1.4.4 Elektrische Daten

1.4.4.1 Verbindungskabel

Als Verbindungskabel zwischen AW und MSP werden Koaxialkabel mit 75 Ohm Wellenwiderstand verwendet. Falls das Kabel nur für die Übertragung von Signalen in einer Richtung verwendet wird (z.B. Adreßleitungen, Modulsig-nale, Modulum-meldungen, Betriebsart), wird das Kabel wie folgt abgeschlossen:



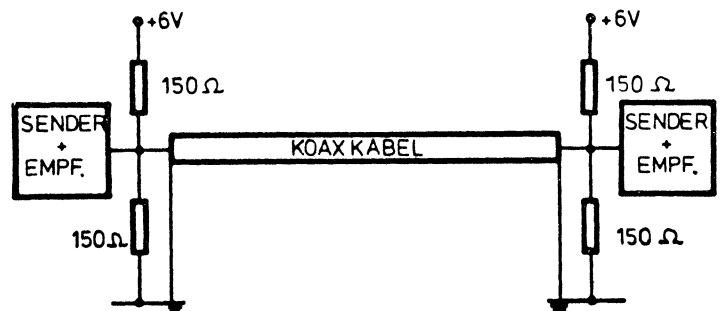
Querstrom bei der Übertragung einer logischen

"L" \leq 10 mA

"0" ca. 40 mA

(Stromrichtung: Sender zum Empfänger)

Wenn das Kabel zur Übertragung von Signalen in beiden Richtungen verwendet wird (z.B. Datenübertragung), liegt folgender Abschluß vor:



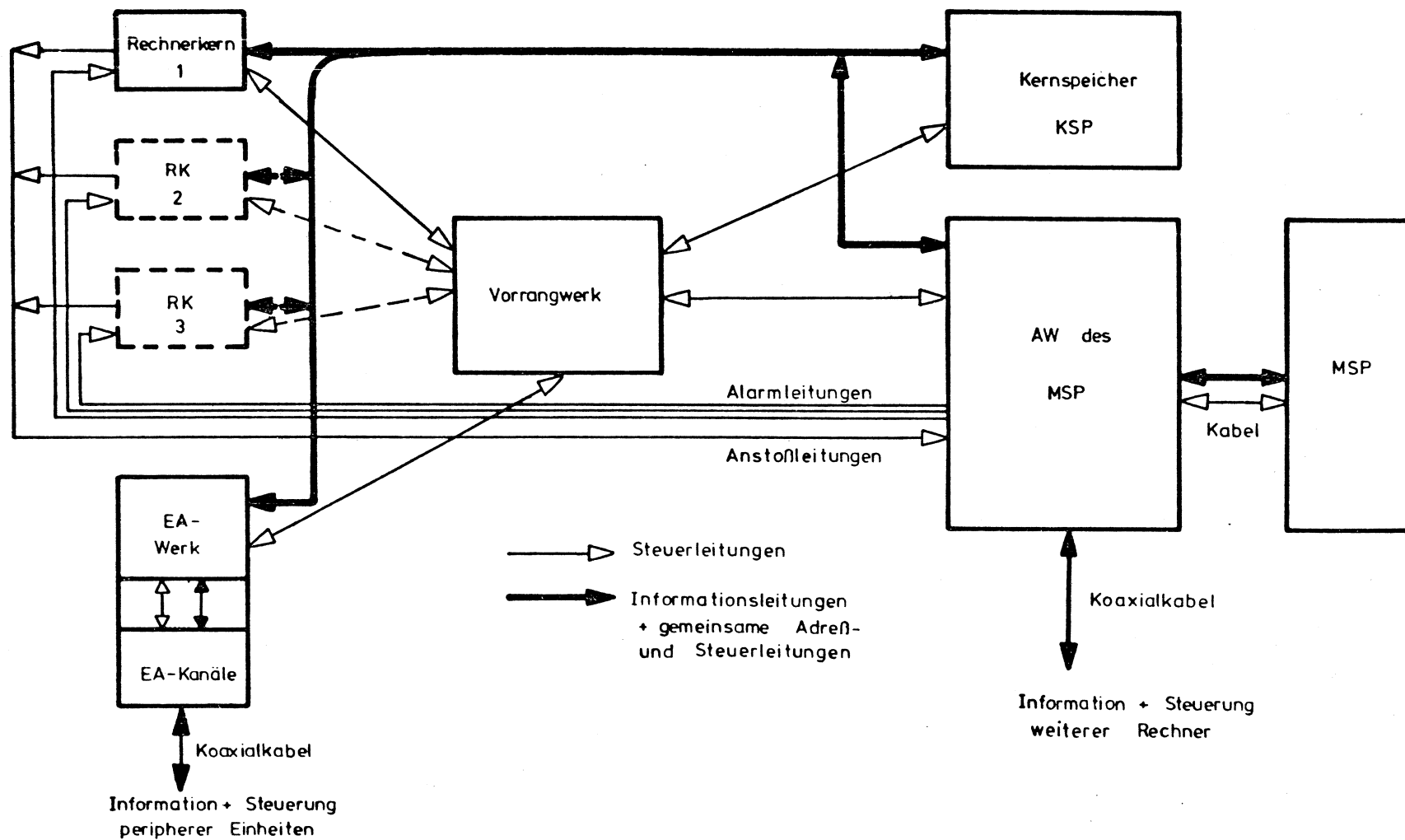
Querstrom bei der Übertragung einer logischen

"L" = ca. 20 mA

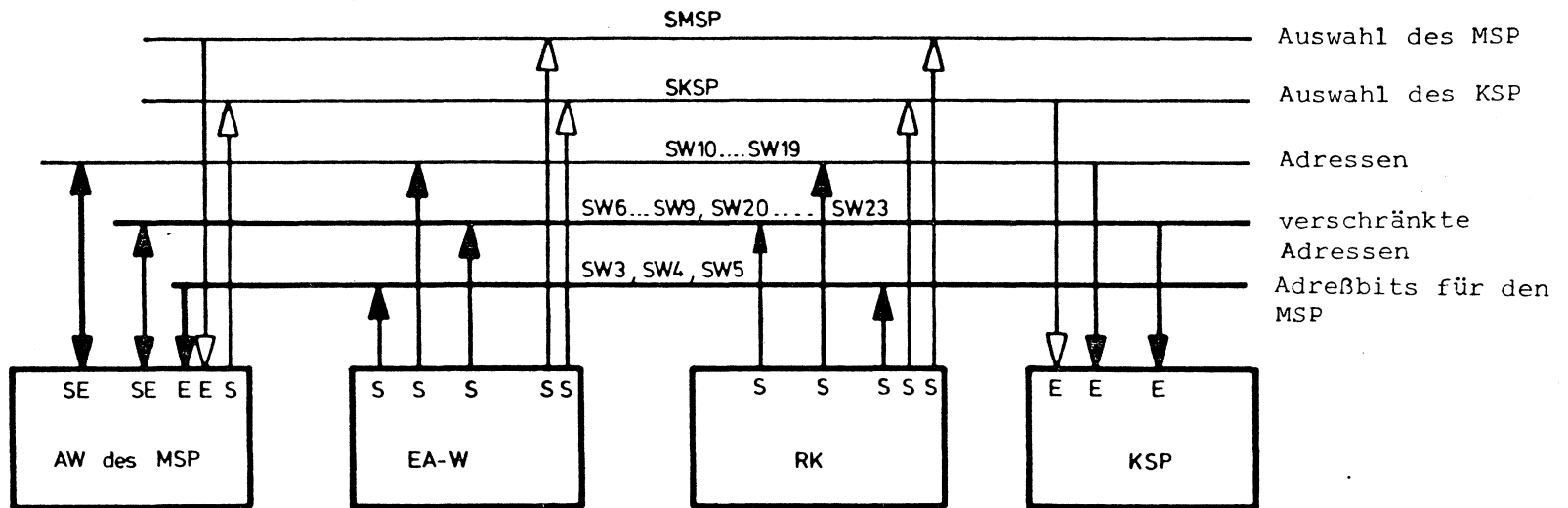
"0" = ca. 0 mA

(Stromrichtung: Empfänger zum Sender)

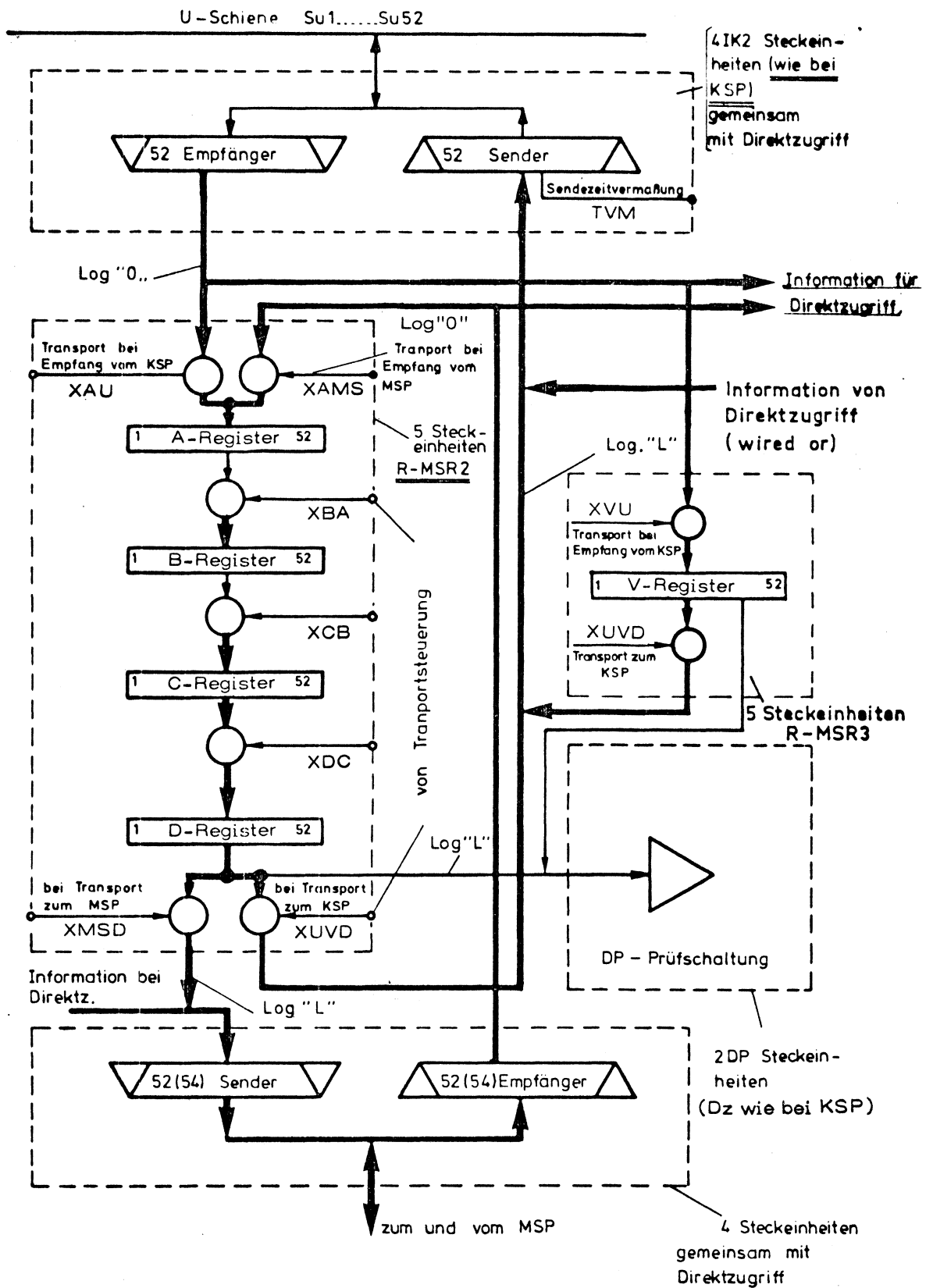
TR440-Anlage mit Massenkernspeicher Bild 1



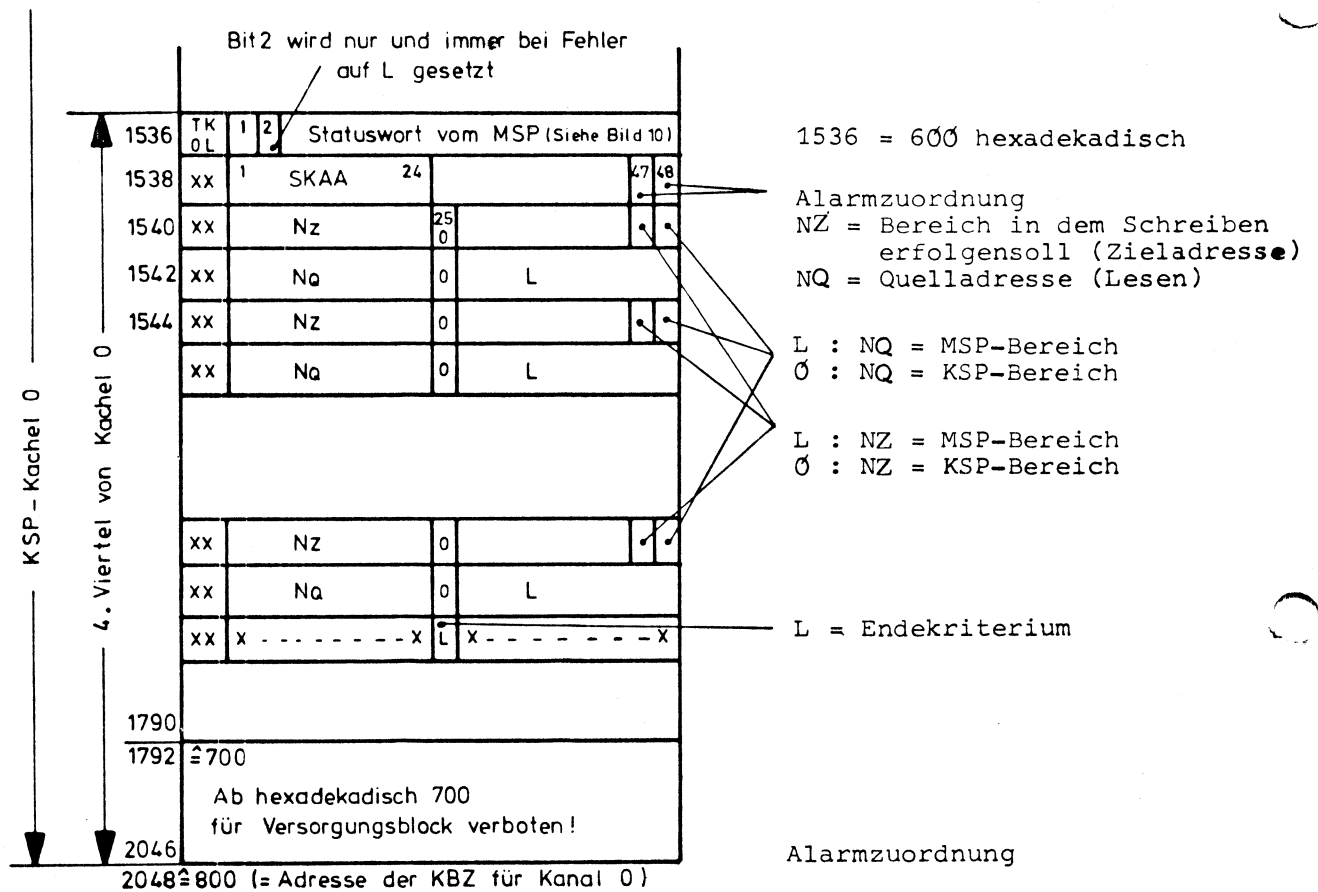
Adreßleitungen im TR440 Bild 2



S = Sender
E = Empfänger



Informationstransporte bei Blocktransport Bild 6



Erläuterungen:

x = beliebig (Ø oder L)

SKAA = Seiten-Kachel-Zuordnungstabelle Anfangsadresse (Kachelbezogen)

NZ = Anfangsadresse (seitenbezogen) des Zielbereiches, d.h. des Bereiches in den geschrieben werden soll, NZ in 1540, 1544 usw. sind im allgemeinen nicht identisch.

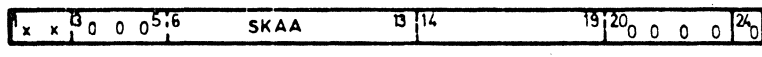
NQ = Anfangsadresse (seitenbezogen) des Quellbereiches, d.h. des Bereiches aus dem gelesen werden soll, NQ in 1542, 1546 usw. sind in allgemeinen nicht identisch.

L = Länge in Ganzworten der Bereiche NQ und NZ.
 L darf auch > 1K sein, L muß rechtshündig angegeben werden.

Belegung des 4. Viertels von KSP Kachel 0
 für MSP-Blocktransport (Statuswort + Versorgungsblock)

Bild 7

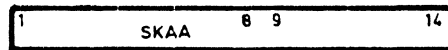
Halbwort aus dem Versorgungsblock (Zelle 1538; 60^{ter} sedezimal) .



da KSP-Adresse

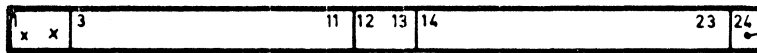


da SKAA nur nach jeweils 16 GW

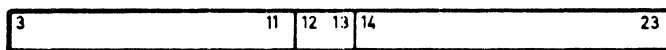


Register im AW des MSP

Halbwort mit Adresse NZ oder NQ aus dem Versorgungsblock



Halbwortadresse



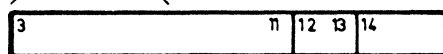
Adreßzähler im AW des MSP
(für NZ und NQ getrennt vorhanden!)

Auswahl eines
Viertelwortes der Tabelle:

Seitenadresse



+ Übertrag

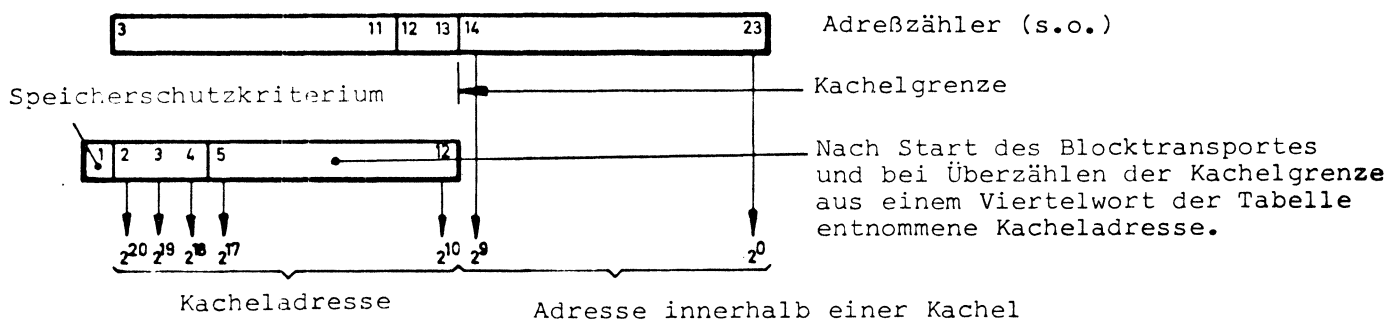


Adreßzähler für
NZ oder NQ

Ergebnis der Addition

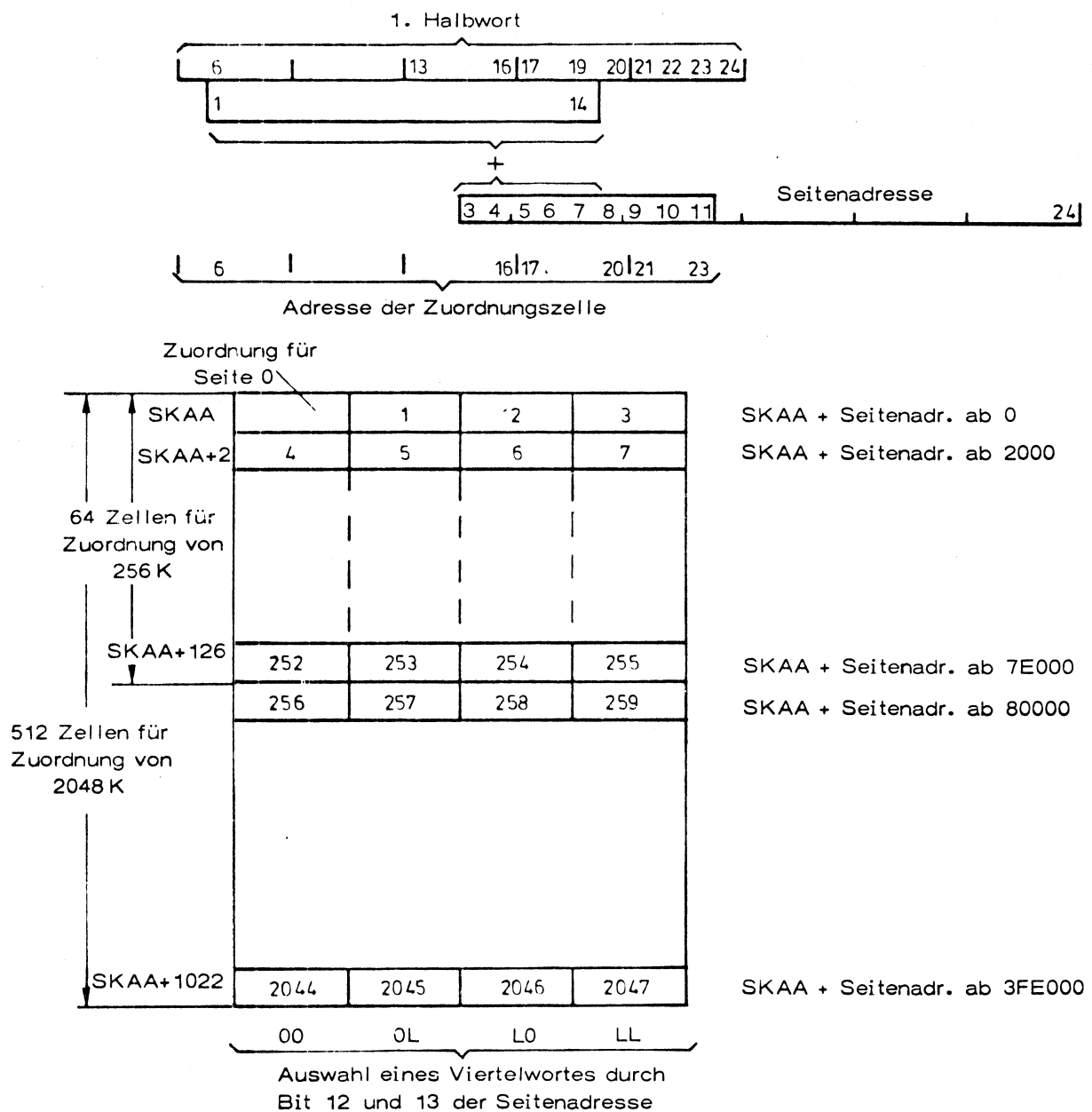


Vollständige, dem Adreßsternpunkt entsprechende
18-Bit KSP-Adresse der benötigten Zelle der Sei-
ten-Kachel-Zuordnungstabelle



Bei 0 0 0 :Adresse des nicht durch Direktzugriff erreichbaren MSP-Bereiches
oder KSP-Adresse (Definition durch Bits 47,48 von Zelle 1540!)

Allgemeine, dem Adreßsternpunkt entsprechende
MSP-Adresse für 2048K oder KSP-Adresse

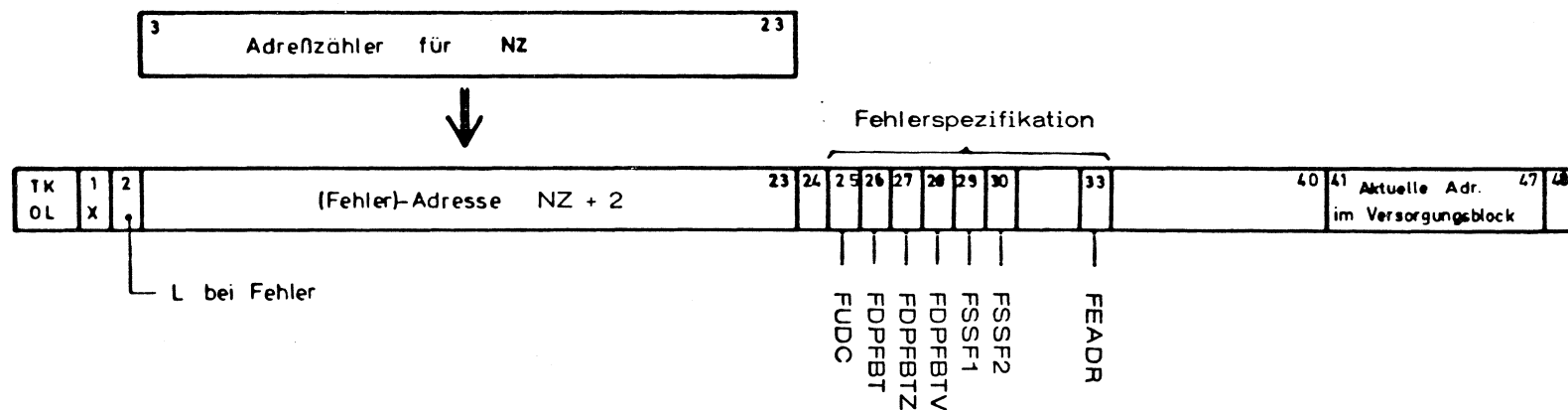


Insgesamt können für KSP + MSP zusammen max. 2048 Kacheln zugeordnet werden!

Beispiel: SKAA 700 (sedez.) } Adr. der Zuordnungs-
Seitenadr. = 80 000 } zelle:
780 (1. Viertelwort)

Mit $\langle 780 \rangle_{1..12} = 100$ (bzw. 900 mit Speicherschutz)
ergibt sich eine absolute Adresse von 80 000,
d.h. Seitenadresse = Kacheladresse

Bild 9 Seiten-Kachel-Zuordnungstabelle



Erläuterungen:

Bit 2 : nur und immer L bei Fehler

Bit 3.....23 : Adresse des letzten transportierten Wortes, daher
seitenbezogene Adresse aus Adreßzähler für NZ
= Fehleradresse bei Abbruch durch z.B. Dreier-
probenfehler der vom AW des MSP erkannt wird.

Fehlerspezifikation

Bit 25 = FUDC DP-Fehler vom DP-Fehlerverteiler gemeldet

Bit 26 = FDPFBT DP-Fehler vom AW des MSP erkannt

Bit 27 = FDPFBTZ " " " " " " " bei einer Zuordnung

Bit 28 = FDPFBTV " " " " " " " bei Auslesen aus d. Versorgungsblock

Bit 29 = FSSF1 Speicherschutzfehler : Schreiben verboten

Bit 30 = FSSF2 " " " : Lesen und Schreiben verboten

Bit 33 = FEADR Adreßfehler : Fehlerhafte Adreßzuordnung oder nicht vorh. MSP-Adresse

Bits 41..47 : Aktuelle Adresse im Versorgungsblock minus 600,
d.h. Adresse des letzten benötigten Nq minus 600.
Bit 48 wird nicht benötigt, da Halbwortadresse.

Bits 24, 48 : nicht benötigte Halbwortadreßbits, die bei Bedarf
für andere Zwecke verwendet werden können.