

Fehlerursachen durch Jochen von ZM auf den einzelnen Steckkarten.

- 1) ZM Auf der TPT Pl 17 St 21 gezogen
Eingabe über LSL möglich, sowie Ausdruck auf KFS
aber keine Eingabe über KFS möglich
Ausgabe aus dem AKKu ohne Fehler
- 2) ZM Auf der EWZ Pl 11 St 59 gezogen
keine Eingabe über LSL möglich
Ausgabe aus dem AKKu geht, aber kein Stop beim
Lösen der EY-Taste (ZM liegt immer an?)
- 3) ZM Auf der LL1 Pl 4 St 31 gezogen
Eingabe über LSL nicht möglich, normaler Programmablauf
ist bei Ein- und Ausgabe gestört (ZM nicht definiert)
AKKu-Ausgabe auf dem Strahler normal
- 4) ZM Auf der FE2 Pl 2 St 24
Eingabe über LSL normal, aber keine Ausgabe auf dem
KFS möglich, KFS reagiert undefiniert

Bemerkung:

Alle ZM der PE sind miteinander verbunden.

Dem Rechner muß deshalb 'L' angeboten werden, wenn die angesprochene PE bei Eingabe nach dem Rechneraufruf ^{RAR} die Inf. auf die I-Leitungen aufschaltet oder bei Ausgabe nach dem Rechneraufruf die Inf. von den I-Leitungen in das AW übernimmt.

Das AW nimmt die ZM zurück (auf '0'), sobald vom Rechner 'RAR' weggeschaltet wird.

Fehlerursachen durch defekte Steuerzeichen EG, EGN, RARN

1) EG TP1 PL47 St 47 gezogen

Keine Eingabe möglich, Lochstreifen wird eingelesen
Inf. wird aber nicht abgespeichert, Rechner zählt
nicht hoch

2) EGN TP1 PL47 St 25 gezogen

Liest den Streifen zwar ein Rechner zählt hoch,
Inf. wird jedoch nicht abgespeichert.

3) RARN TP1 PL47 St 47 gezogen

Lochstreifen wird zwar eingelesen aber nicht über-
nommen und abgespeichert. RARN dauer, '0'

Zu 1u2 EG bzw EGN wird von allen PE gemeinsam benutzt

EGN bei Eingabe, '0'

bei Ausgabe, 'L'

Zu 3 RARN von allen PE gemeinsam

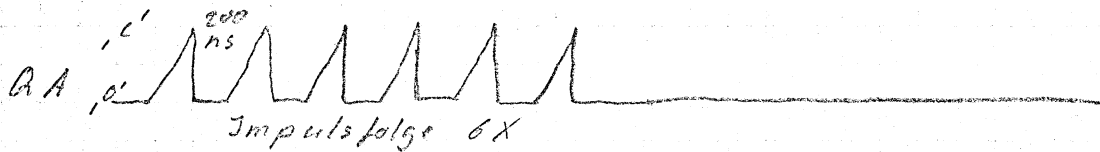
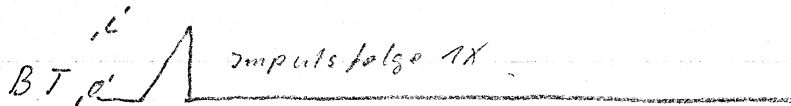
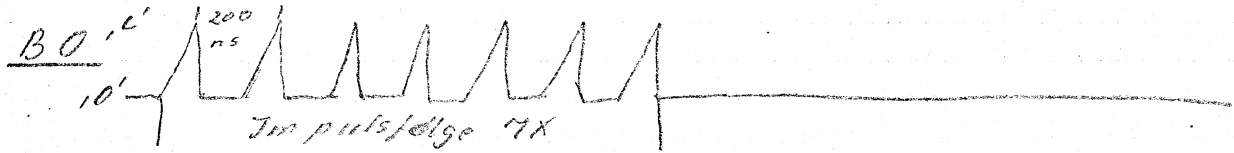
RARN bei Ein- und Ausgabe, '0' Pegel

RARN wird von der jeweiligen PE mit ZM quittiert

Fehler im Rechenwerk RW1

Folgende Tests wurden mit 8 Kanal Lochstreifen
mit Taste-Laden im Durchlauf bzw. im ET gemessen.

Schaltwellen BO, BT, QA, QR, AL, Q1



QR: 0'

AL: siehe QA

Q1: siehe QA

BO RW1 PL 23 D7 PIN 6 abgetastet (Ausgang BON defekt)

8 Kanal Lochstreifen, Taste-Laden und Taste ET (EINZELTAKT)

Wirkung dieses Fehlers auf den vier verschiedenen Plätzen

Auf Platz 25 (Bit 19-24) abgespeichert

" " 24 (Bit 13-24) "

" " 23 (Bit 7-24) "

" " 22 wird gar nichts abgespeichert.

Fehler im D-Reg.

z.B. D46 RW1 PL24 MECL D45 PIN 5 abgelötet.

Test: über das Bedienfeld '1' eingeben, fehlerhafte Stelle bleibt '0'

Fehler im B-Reg.

z.B. RW1 PL24 Mecl H8 PIN 5 abgelötet

'1' über das Bedienfeld eingeben kein Fehler festzustellen

'0' " " Fehlerhaftes Bit tritt als '1' beim Abspeichern in Erscheinung

Je nach Platz ist es Bit 20 (25), Bit 14 (24), Bit 8 (23), Bit 2 (22).

Testmöglichkeiten zum Feststellen möglicher Fehler.

wenn der Rechner steht und keine Wartungstaste eingelesen werden können.

1) Abspeichern und holen von D' und F' in geraden- und ungeraden Adressen in die einzelnen Module.

Durch diesen Test können evtl. Speicher- bzw. Reg-Fehler erkannt werden.

2) Einlesen von 8 Kanalleuchstreifen übers Bedienfeld mit Taste-Laden und ET (nur beim DIGITRONICS) bzw. Facit

Durch diesen Test kann festgestellt werden, ob die Inf. richtig ins D-Reg kommt, bzw. abgespeichert wird, auch kann beobachtet werden ob die Inf. im Rechenwerk richtig zusammengeschiftet wird.

Zum Messen kann man den Streifen rundlaufen lassen um an den entsprechenden Stellen messen zu können.

3. Ausgabe aus dem AKK_{II} über das Bedienfeld auf den Stanzer bzw. FKS

Hierdurch kann der Ausgabeweg vom D-Reg zur PE kontrolliert werden ob alle Inf. in Ordnung ist.

1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20	21	22	23	24				
LL								LL								L								L			

Grütleader

Ausgabe AKK_{II}
FSR Grütleader 2
LSS Grütleader 3

LL				L				LL				L			
----	--	--	--	---	--	--	--	----	--	--	--	---	--	--	--

Grütleader

4. Zum Messen muß man, wenn möglich den Rechner hochzählen lassen, da im ET verschiedene Messungen sehr schlecht durchführbar sind.

Hochzählen

Bei 64K EB-Taste und Taste-Start drücken

Bei 32K (20 A 56 (MN1) ziehen sowie EB und Start-Taste drücken,

bei Serie 4 muß zusätzlich MN1 (20 A 44) gezogen werden.

Bei 16K. N1 u N2 sowie MN1 u MN2 auf (20 (BW1) ziehen

5) Speicher „0“

ZM gegen Masse und Taste laden drücken

wichtig zum Messen auf der IT

6) Speicher „L“

Bei entsprechendem Modul 1A-Karte ziehen und hochzählen lassen

Informationsleitungen:

Bei Ausgabe werden alle werden alle Inf-Signale mit dem invertierten Pegel übertragen. A. d. eine '1' wird durch '0' dargestellt.

Bei Eingabe erfolgt die Übertragung mit normalen Pegel.

Zeitliche Reihenfolge des Prüfablaufes Speicher

Die einzelnen Karten werden am besten in folgender Reihenfolge geprüft.

1. RL-B (0.75)
2. AK
3. AS
4. AR
5. TA
6. JA
7. IK
8. BF5
9. IV3
10. IT
11. ST-x/y/xy
12. BLOCK

Einstellungen auf der AS

- | Potis | | |
|-------|--------------------------|-----------------------------------|
| 1. | ☐ | UR (4V.) Schwellspannung für IV's |
| 2. | ☐ | YAL (SZ1) zu NALV 195ns |
| 3. | ☐ | Breite des Schreibstromes |
| 4. | ☐ | Abstand Lese-Schreibstrom |
| 5. | ☐ | Breite des Lesestromes |

Voreinstellungen:

Die beiden logischen Pegel - 0.75 Volt u. - 1.5 Volt werden auf der RL-B 0.75 Volt mit den beiden oberen Potentiometern eingestellt.

oberes ☐ - 1.5 Volt

nächstes ☐ - 0.75 Volt

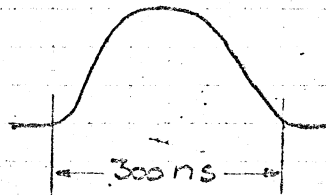
Am Poti 1 auf der AS wird UR mit -4 Volt eingestellt.

Am Poti 2 auf der AS wird der Abstand YAL zu NALV (Vorflanke zu Vorflanke mit 195 ns) voreingestellt.

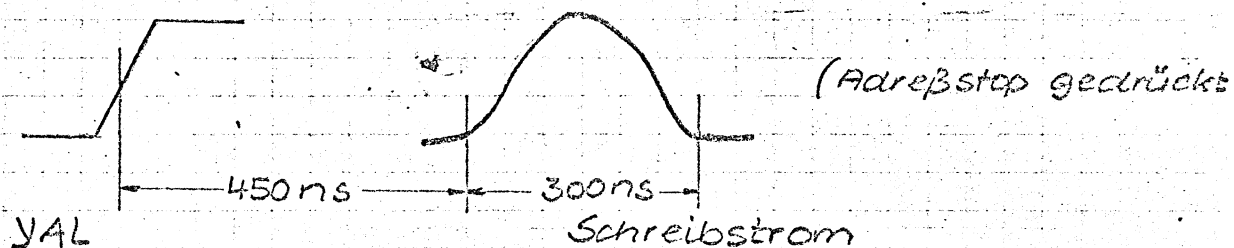
Endgültige Einstellung auf der PS

1. Breite des Lesestromes
Fußpunkt zu Fußpunkt 300 ns

am Poti 5



2. Abstand Lesen - Schreiben
d.h. Vorderflanke von YAL zu Fußpunkt des Schreibstroms



3. Breite des Schreibstromes
Fußpunkt zu Fußpunkt 300 ns

nach diesen Einstellungen wird am Poti 2 das Maximum zwischen NALV und YAL eingestellt, dann muß UR von -3 Volt bis -5 Volt bei fehlerfreiem Lauf einstellbar sein.

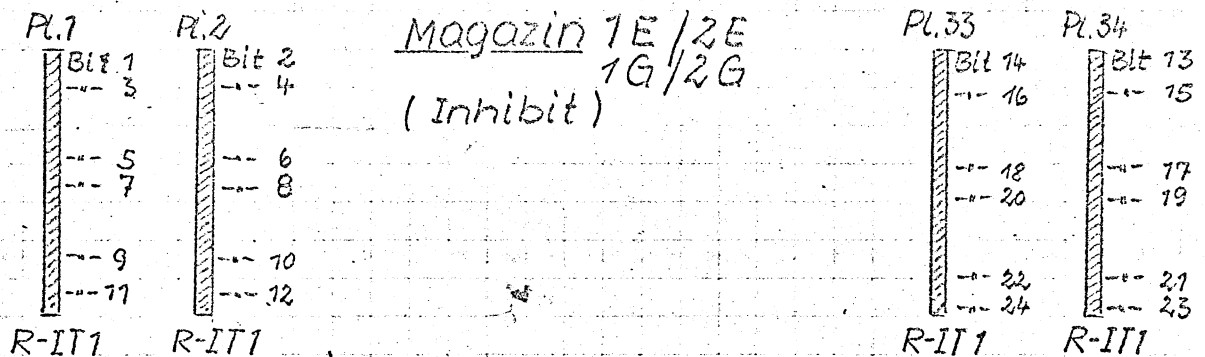
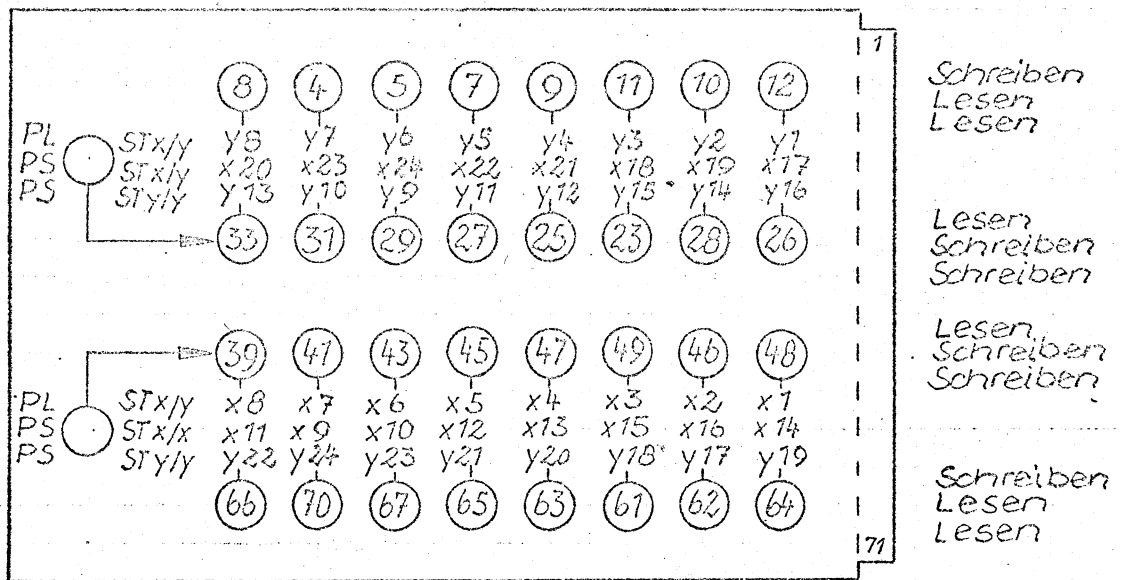
SS muß von ≈ -2.5 Volt auf $+0.7$ Volt gehen mit drücken der Taste HTPKS.

X	13	14	15	16	Trennschalter	
Y	6	7	8	9	Ansteuerung	
	0	0	0	0	X	bzw. y A 24
	0	0	0	L	X	-- y A 16
	0	0	L	0	X	-- y A 20
	0	0	L	L	X	-- y A 12
	0	L	0	0	X	-- y A 22
	0	L	0	L	X	-- y A 14
	0	L	L	0	X	-- y A 18
	0	L	L	L	X	-- y A 10
	L	0	0	0	X	-- y A 23
	L	0	0	L	X	-- y A 15
	L	0	L	0	X	-- y A 19
	L	0	L	L	X	-- y A 17
	L	L	0	0	X	-- y A 21
	L	L	0	L	X	-- y A 13
	L	L	L	0	X	-- y A 17
	L	L	L	L	X	-- y A 9

X	10	11	12
Y	3	4	5
	0 0 0	X	bzw. y A 8
	0 0 L	X	-- y A 4
	0 L 0	X	-- y A 6
	0 L L	X	-- y A 2
	L 0 0	X	-- y A 7
	L 0 L	X	-- y A 3
	L L 0	X	-- y A 5
	L L L	X	-- y A 1

ST x/x	Stecker	ST x/y	Stecker	St x/y	Stecker	St y/y	Stecker
Adr. Anst.	Punkte	Adr. Anst.	Punkte	Adr. Anst.	Punkte	Adr. Anst.	Punkte
X A 24	15	y A 8	14	X A 8	57	y A 24	60
X A 23	16	y A 7	16	X A 7	60	y A 23	58
X A 22	21	y A 6	15	X A 6	58	y A 22	57
X A 21	19	y A 5	21	X A 5	52	y A 21	52
X A 20	14	y A 4	19	X A 4	53	y A 20	53
X A 19	20	y A 3	22	X A 3	54	y A 19	56
X A 18	22	y A 2	20	X A 2	55	y A 18	54
X A 17	18	y A 1	18	X A 1	56	y A 17	55
X A 16	55					y A 16	18
X A 15	54					y A 15	22
X A 14	56					y A 14	20
X A 13	53					y A 13	14
X A 12	52					y A 12	19
X A 11	57					y A 11	21
X A 10	58					y A 10	16
X A 9	60					y A 9	15

R-ST1



Zum Adressenverlauf vom Rechner zum Speicher

Beispiel 1 ab Adresse C180 mehrere Fehler Bit 1...12 bringen „0“

Adr. Bits	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16
	C	1	8	0												
	L	L	0	0	0	0	0	L	L	0	0	0	0	0	0	0
	L	L	0	0	0	0	0	L	L	0	0	0	0	0	0	0
MA	1	aus 8	1	aus 16	1	aus 8	1	aus 16	1	aus 8	1	aus 16	1	aus 8	1	aus 16
4.Mod.																

Rechner

Speicher

→ auf Karte STy/y (Platz 15, da Bit 11 an Stecker-Punkt A19 auf R-ST1-Plan Transistor f. **y12**)

F1 ADR. C180 SOLL: FFFFFFFF
IST: 000FFF

Beispiel: 2 ab Adresse 0030 mehrere Fehler Bit 13-24, 0'

1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16
0				0				3				0			
0	0	0	0	0	0	0	0	0	0	L	L	0	0	0	0
0	0	0	0	0	0	0	0	0	L	L	0	0	0	0	0
MA	1 aus 8			1 aus 16			1 aus 8			1 aus 16					
1. Mod.	Y							XA2				X			

Rechner

Speicher

1. Mod

Y

XA2

X

→ auf Karte STx/y
Platz 21, da Bit 13-24
Steckerplt. A55
auf R-ST1 Transistor f. X2

F1 ADR. 0030 SOLL : FFFFFFFF
IST : FFF000

MA	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
1			0	L	0	0	0	L	0	0	0	L	0	0	0	L
2			L	0	0	0	L	0	0	0	L	0	0	0	L	0
3			L	L	0	0	L	L	0	0	L	L	0	0	L	L
4					0	L	0	0	0	L	0	0	0	L	0	0
5					0	L	0	L	0	L	0	L	0	L	0	L
6					0	L	L	0	0	L	L	0	0	L	L	0
7					0	L	L	L	0	L	L	L	0	L	L	L
8					L	0	0	0	L	0	0	0	L	0	0	0
9					L	0	0	L	L	0	0	L	L	0	0	L
A					L	0	L	0	L	0	L	0	L	0	L	0
B					L	0	L	L	L	0	L	L	L	0	L	L
C					L	L	0	0	L	L	0	0	L	L	0	0
D					L	L	0	L	L	L	0	L	L	L	0	L
E					L	L	L	0	L	L	L	0	L	L	L	0
F					L	L	L	L	L	L	L	L	L	L	L	L

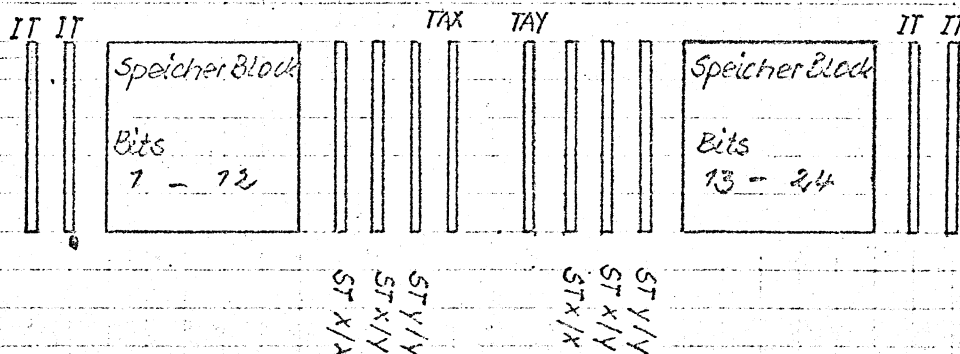
von 0000 STx/x (1 aus 16)
bis 000F

von 0016 STx/y (1 aus 8)
bis 007F

von 0080 STy/y (1 aus 16)
bis 07FF

von 0800 STx/y (1 aus 8)
bis 3FFF

1 aus 8 1 aus 16 1 aus 8 1 aus 16
Y X



Fehler auf der A12 4121

20. FF 69 defekt (A9, NA9) PIN 5 abgetötet

1S1-06 -
P=1

WTEST TR86-SPEICHER

F6 ADR. 4000 SOLL: 004000

IST: 004020

F6 ADR. 4001 SOLL: 004001

IST: 004021

F6 ADR. 4002 SOLL: 004002

IST: 004022

1S-06 - FF C19 PIN 5 abgetötet

(A4)

WTEST TR86-SPEICHER

AA: H4000 EA: H7FFF VERSCH

F6 ADR. 4000 SOLL: 004000

IST: 004400

F6 ADR. 4001 SOLL: 004001

IST: 004401

F6 ADR. 4002 SOLL: 004002

IST: 004402

17A 11
soll 0 L 0 0 0 0 0 0 0 0 0 0 0 0 0 0

ist 0 L 0 0 0 0 0 0 0 0 0 0 0 0 0 0

A9 = defekt

17A A1
soll 0 L 0 0 0 0 0 0 0 0 0 0 0 0 0 0

ist 0 L 0 0 0 0 0 0 0 0 0 0 0 0 0 0

A4 = defekt

FEHLER AUF DER IT1

Beispiel I: INHIBITENTSCHLÜSSELUNG

WTEST TR86-SPEICHER I

F1 ADR. 4021 SOLL: 000000

X PD1-PD11 IST: 200000

F1 ADR. 4023 SOLL: 000000

IST: 200000

Platz 1

0 L 0 0 0 0 0 0 0 0 0 0 0 0 0 0

N-REG

ENTSCHLÜSSELUNG
AUF DER IA1

1 2 3 4 9 10 14
0 0 0 0 0 0 0 0 0 0 0 0 0 0

ADR-REG

V X

N1A9 } 1X1 AUSWAHL
N1A14 } 1X4 AUF DER
IA10 1X6 IA1

WTEST TR86-SPEICHER II

F1 ADR. 4021 SOLL: 000000

X IST: 000200

F1 ADR. 4023 SOLL: 000000

IST: 000200

Platz 34

F1 ADR. 5020 SOLL: 000000

III IST: 100000

F1 ADR. 5081 SOLL: 000000

Y PD2-PD12 IST: 100000

F1 ADR. 5082 SOLL: 000000

IST: 100000

IV-REG
Platz 2

PD1 PD2 PD3 PD4
0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0

! dieses Bit wurde zusätzlich gesetzt
und entspricht PD3

1X1 und PD3 ergibt TS 62 auf der IT1

Fehlerhafter TS 62 auf der IT1 Platz 1

WTEST TR86-SPEICHER IV

F1 ADR. 5080 SOLL: 000000

Y IST: 000100

F1 ADR. 5081 SOLL: 000000

IST: 000100

Platz 33

DER FEHLERHAFTE TRANSISTOR IST BEI ALLEN
4 BEISPIELEN DER GLEICHE WIRKUNG SIEHE BEISPIELE

FEHLER AUF DER ST1 TRANSISTOR 142 defekt

WTEST TR86-SPEICHER

F1 ADR. 4007 SOLL: FFFFFFFF

IST: 000FFF

F1 ADR. 4017 SOLL: FFFFFFFF

IST: 000FFF

XA10
ST 58

N-Reg 0 L 0 0 0 0 0 0 0 0 0 0 0 0 0 0

0 0 0 0 0 0 0 0 0 0 0 0 0 0

A11 }
NA 12 } XA10 AUSWAHL
NA 13 } AUF DER
NA 14 } TRA

WTEST TR86-SPEICHER

F1 ADR. 4020 SOLL: FFFFFFFF

IST: FFF000

F1 ADR. 4021 SOLL: FFFFFFFF

IST: FFF000

XA6
ST 58
X/Y

WTEST TR86-SPEICHER

F1 ADR. 4400 SOLL: FFFFFFFF

IST: FFF000

F1 ADR. 4401 SOLL: FFFFFFFF

IST: FFF000

YA23
ST 58

STECKER 58 AUF DER ST X1X
TRANSISTOR 142 defekt

FEHLER AUF DER TA4

MECL 65 PIN 5 abgeleitet

1aus 16

WTEST TR86-SPEICHER

AA:H4000 EA:H7FFF VERSCH

F1 ADR.40A4 SOLL: FFFFFFFF

IST: EAEFFE

TA1/
X

F1 ADR.40A4 SOLL: FFFFFFFF

IST: EAEFFE

F1 ADR.4284 SOLL: FFFFFFFF

IST: EAEFFE

WTEST TR86-SPEICHER

F1 ADR.4207 SOLL: 000000

IST: 114000

F1 ADR.420D SOLL: 000000

IST: 040000

F1 ADR.402E SOLL: 000000

IST: 011000

TA1/
Y

MECL H9 PIN 5 1aus 8

WTEST TR86-SPEICHER

F4 ADR.4010 SOLL: 000040

IST: 000000

F4 ADR.4011 SOLL: 000020

IST: 000000

F4 ADR.4012 SOLL: 000010

IST: 000000

TA1/
Y

WTEST TR86-SPEICHER

AA:H4000 EA:H7FFF VERSCH

F6 ADR.4010 SOLL: 004010

IST: 000000

F6 ADR.4011 SOLL: 004011

IST: 000000

F6 ADR.4012 SOLL: 004012

IST: 000000

TA1/
X

FEHLER AUF DER TA1

MECL C5 PIN 6 1aus 4

1AX

WTEST TR86-SPEICHER

F1 ADR.4020 SOLL: 000000

IST: AAAAAA

F1 ADR.4022 SOLL: 000000

IST: AAAAAA

F1 ADR.4024 SOLL: 000000

IST: AAAAAA

MECL C11 PIN 5 1aus 4 1AY

WTEST TR86-SPEICHER

F1 ADR.5080 SOLL: 000000

IST: 555555

F1 ADR.5081 SOLL: 000000

IST: 555555