Digital – Rechenanlage

TR 86

Unterlagensammlung

Hardware

Zentraler Rechner

1. Auflage

Rechenanlage allgemein	0
Rechnerkern	1
Speicherwerk	2
Diverse Flußdiagramme EIA, EGW, EIA-ADW, STAKA RK	3
EA - Werke	4
	5
Korrespondenzeinrichtung	6
Stromversorgung	7

ZR

Vervielfältigungen dieser Unterlage sowie Verwendung der Mitteilung ihres Inhalts ist unzulässig, soweit nicht ausdrücklich zugestanden.

Zuwiderhandlungen sind strafbar und verpflichten zu Schadenersatz (Lit UrhG., UWG, BGB).

Alle Rechte für den Fall der Patenterteilung oder GM-Eintragung vorbehalten.

AEG - TELEFUNKEN

Rückfragen zu diesen Unterlagen, Berichtigungen und Ergänzungen bitte an:

ALLGEMEINE ELEKTRICITÄTS-GESELLSCHAFT
AEG-TELEFUNKEN
Fachbereich Anlagen Informationstechnik
775 Konstanz, Bücklestraße 1-5
N3/MR/V3

Änderungsstand

In diese Felder sind fortlaufend die Nummern der jeweiligen Änderungen einzutragen. Sie können dadurch feststellen, ob Sie von uns alle Änderungen erhalten haben.

Beispiel:

1	2	3	4	5			

Sie haben die fortlaufenden Nummern 1 bis 5 unserer Änderungen eingetragen. Bekommen Sie jetzt die Änderung mit der fortlaufenden Nummer 7, so wissen Sie, daß Ihnen die Änderung Nummer 6 fehlt.

Die hier vorliegende "Unterlagensammlung Hardware TR 86" ist eine Zusammenfassung der von der Entwicklung zum Projekt Rechenanlage TR 86 erstellten Unterlagen.

Digital – Rechenanlage

TR 86

Unterlagensammlung

Hardware

Zentraler Rechner

2. Auflage

Vervielfältigungen dieser Unterlage sowie Verwendung der Mitteilung ihres Inhalts ist unzulässig, soweit nicht ausdrücklich zugestanden.

Zuwiderhandlungen sind strafbar und verpflichten zu Schadenersatz (Lit UrhG., UWG, BGB).

Alle Rechte für den Fall der Patenterteilung oder GM-Eintragung vorbehalten.

AEG - TELEFUNKEN

ZR

Rückfragen zu diesen Unterlagen, Berichtigungen und Ergänzungen bitte an:

ALLGEMEINE ELEKTRICITÄTS-GESELLSCHAFT
AEG-TELEFUNKEN
Fachbereich Anlagen Informationstechnik
775 Konstanz, Bücklestraße 1-5
N3/MR/V3

ALLGEMEINE ELEKTRICITÄTS-GESELLSCHAFT
AEG-TELEFUNKEN
Fachbereich Anlagen Informationstechnik
775 Konstanz, Bücklestraße 1-5

Best.Nr. DHB 643 0969

I N H A L T Seite

0.	Allgemeines	0-3
0.1.	Allgemeine technische Beschreibung	0-3
0.1.1.	Struktur der Zentraleinheit	0-3
0.1.1.1.	Rechnerkern	0-3
0.1.1.1.1.	Leitwerk	0-4
0.1.1.1.2.	Rechenwerk	0-5
0.1.1.1.3.	Unterbrechungswerk	0-5
0.1.1.1.4.	Rechnerkernkanal	0-6
0.1.1.2.	Vorrangwerk	0-8
0.1.1.3.	Speicherwerk	0-8
0.1.1.4.	Ein-/Ausgabewerke	0-9
0.1.1.4.1.	Rechnerkernkanal	0-9
0.1.1.4.2.	Standardkanalwerke	0-9
0.1.1.4.3.	Sonderkanalwerke	0-10
0.1.1.4.4.	Eingriffswerk	0-10
0.1.2.	Anschließbare Peripherie	0-11
0.1.2.1.	Rechnerkernkanal	0-11
0.1.2.2.	Standardkanalwerke	0-11
0.1.2.3.	Sonderkanalwerke	0-12
0.2.	Wortstruktur	0-12
0.3.	Zentralcode	0-14
0.4.	Schaltkreissystem	0-21
0.4.1.	Schaltzeichen, Logik	0-21
0.4.2.	Schreibweise	0-23
0.4.3.	Beschreibung der integrierten Schaltkreise und technische Daten	0-25
0.5	Interne Arbeitsweise des Rechners	0-57
0.5.1.	Befehlsablauf	0-59
0.5.2.	Getaktete und ungetaktete Abläufe	0-60
0.5.3.	Schaltwellen	0-62
0.5.4.	Transporte	0-63
0.5.4.1.	Löschen eines Registers	0-64
0.5.4.2.	Halbtransport der Registerstellen mit Inhalt "L"	0-65

0.5.4.3.	Halbtransport der Registerstellen mit Inhalt "0"	0-66
0.5.4.4.	Volltransporte	0-67
0.5.4.5.	Invertierende Transporte	0-69
0.5.4.6.	Transport mit 1 - Addition	0-71

0. Allgemeines

Der TR 86 ist eine ausbaufähige speicherprogrammierte Ein-Adreß-Digital-Rechenanlage mittlerer Größe mit fester Wortlänge und wortweise paralleler Informationsverarbeitung.

Die Anwendung modernster Schaltkreistechnik ist beim TR 86 selbstverständlich. Darüber hinaus erübrigen sich bei den geringen Klimatisierungsanforderungen, Staubfilterung u. a. besondere bauliche Vorkehrungen.

Für die vielfältigen Einsatzmöglichkeiten stehen außer den üblichen E/A-Geräten spezielle Einrichtungen wie Digital/Analogumsetzer, Analog/Digitalumsetzer, Zeichengeräte, Realzeituhr und Sichtgeräte für grafische, numerische oder verbale Darstellung zur Verfügung.

Für die Grundausstattung ist ein 8 K-Speicher vorgesehen. Die nächste Ausbaustufe ist ein 16 K-Modul. Der weitere Ausbau erfolgt in 16 K-Stufen bis zu einer Kapazität von 64 K=4 Moduln. Beim Kernspeicherausbau mit mehreren Moduln werden Adressenverschränkung und Zyklenüberlappung wirksam.

Die Ausbaumöglichkeiten in Richtung Speicherkapazität und/oder Ein/Ausgabesystem erlauben eine individuelle Anpassung der Anlage an die Anforderungen des Benutzers.

0.1. Allgemeine technische Beschreibung

0.1.1. Struktur der Zentraleinheit

0.1.1.1. Rechnerkern

Im Rechnerkern findet die eigentliche Datenverarbeitung statt, d.h. die Durchführung der in den Befehlen geforderten Operationen.

Jeder Befehl wird im Leitwerk des Rechnerkerns entschlüsselt. Erforderlichenfalls wird gleichzeitig über die Befehlsfolgesteuerung der Operand bestimmt und dem Rechenwerk zur Verfügung gestellt. Dann steuert die Befehlsablaufsteuerung des Leitwerks die Ausführung des Befehls und das Zusammenwirken der Rechnerkernregister.

Die wichtigsten Register des Rechnerkerns sind:

Der Akkumulator A, 24 Bit,
Das Q-Register Q, 24 Bit,
Das Merklichtregister W, 8 Bit,
dessen einzelne Stellen,

Überlauf-Merklicht	U
Unterbrechungssperre-Merklicht	M
Merklicht	1
Merklicht	2
Merklicht	3
Merklicht	4
Merklicht	5
Merklicht	6

Der Befehlszähler F, 16 Bit,
Der Shiftzähler Y, 6 Bit.

0.1.1.1.1.
Leitwerk

Das Leitwerk besteht aus:

- Befehlsablaufsteuerung
- Befehlsfolgesteuerung
- Shiftzähler

Das Leitwerk übernimmt in der Befehlsabrufphase in das C-Register die operationsbestimmenden Teile des Befehls. Darin sind als Spezifikationen enthalten:
die Steuerung der Merklichter, die Ausführung der Skip-, Shift- und Ein/Ausgabebefehle.

Die Befehlsentschlüsselung sowie zeitlich definierte Impulse aus der getakteten Zeitschaltkette veranlassen die Ausführung der jeweiligen Teiloperationen.

Das Leitwerk enthält ferner 8 Merklichter (U, M, 1...6), die durch Befehl gesetzt, gelöscht oder invertiert werden können. Sie dienen zur Anzeige des arithmetischen Überlaufs (U), als Unterbrechungssperre (M) und als Programmschalter (1...6), deren Stellung im Programm abgefragt werden kann.

Die Merklichter können einzeln oder in beliebiger Kombination gelöscht, gesetzt, invertiert und abgefragt werden und erleichtern die Organisation komplizierter Programmschleifen oder -verzweigungen.

Die Befehlsfolgesteuerung besteht aus:

- Adreßregister (N-Register)
- Befehlszähler (F-Register)
- Hilfsregister (G-Register)

Mit den 16-stelligen Flipflop-Registern F und N lassen sich bis zu 65 536 Speicherzellen direkt adressieren.

Der Befehlszähler enthält im allgemeinen die Adresse der Zelle, aus der der jeweils nächste auszuführende Befehl entnommen werden soll.
Das N-Register übernimmt den Adreßteil des Befehlswortes.

Durch die Entschlüsselung des Operationsteiles des Befehls im Leitwerk wird der Inhalt des N-Registers als Speicheradresse des Operanden, als Spezifikation oder als Adresse des nächsten Befehls erkannt. Im ersten Fall wird die entsprechende Speicherzelle aktiviert. Der zweite Fall kann nur eintreten bei Befehlen, deren Adreßteil als Operand verwendet wird und bei adressenfreien Befehlen, das sind:

- Adreßarithmetische Befehle
- Ein/Ausgabebefehle (E/A-Befehle)
- Shift-Befehle
- Merklicht-Befehle und
- Skip-Befehle

Der dritte Fall liegt bei Sprungbefehlen vor.

Ist die Ausführung des Befehls abgeschlossen, so wird nach der Übernahme des F-Registerinhalts in das N-Register der nächste auszuführende Befehl aufgerufen. Dann wird die Befehlsadresse im F-Register um eins erhöht und für den nächsten Aufruf bereitgehalten.

Diese aufsteigende Folge von Befehlsadressen kann durch einen Sprungbefehl unterbrochen werden.

0.1.1.1.2.
Rechenwerk

Das Rechenwerk enthält als Rechenregister den programmierbaren Akkumulator (A-Register), der für bestimmte Operationen mit dem Q-Register (Multiplikator-Register) verlängert wird. Beiden Registern sind als Zwischenspeicher die Hilfsregister B bzw. P zugeordnet.

Im Rechenwerk werden die Operanden in der vom Befehl geforderten Weise miteinander verknüpft. Dabei steht der erste Operand im Akkumulator, der zweite wird durch den Befehl im D-Register bereitgestellt. Bei der Addition z.B. wird das Ergebnis zunächst im B-Register gebildet und dann in den Akkumulator übernommen; ein Produkt steht in Akkumulator und Q-Register.

Transportbefehle zum und vom Akkumulator benutzen das D-Register.

Vergleichsoperationen bei Sprungbefehlen beziehen sich auf den Akkumulatorinhalt, der mit Null verglichen wird.

Shiftbefehle können sich im Akkumulator und im Q-Register (Akkumulatorverlängerung) auswirken.

0.1.1.1.3.
Unterbrechungswerk

Über das Unterbrechungswerk können interne oder externe Ereignisse im Bedarfsfall ein im Rechnerkern laufendes Programm unterbrechen. Je nach Ausbaustufe können 12 oder 28 Ebenen die Unterbrechungssignale aufnehmen.

Sobald ein Unterbrechungssignal eintrifft, wird selbsttätig eine Unterbrechungssperre gesetzt und ein Sprungbefehl generiert, der die Rücksprungadresse abspeichert und den Befehlszähler überschreibt. Der nächste Befehl bewirkt dann einen Sprung in ein Unterprogramm, in dem bei Bedarf die aktuellen Register-

inhalte abgespeichert und die dem Unterprogramm zugeordneten Reaktionen eingeleitet werden.

Im Verlauf oder nach Beendigung des Unterprogramms kann die gesetzte Unterbrechungssperre aufgehoben und das unterbrochene Programm fortgesetzt werden.

Bei gesetzter Sperre eingehende Unterbrechungswünsche werden so lange gespeichert, bis die Sperre aufgehoben wird, um dann nach vorgegebener Priorität abzulaufen.

Die Zeit vom Eintreffen des Unterbrechungssignals bis zum Start des dadurch aufgerufenen Unterprogramms beträgt mindestens 2,6 µs, sie erhöht sich um die Zeit, die der gerade laufende Befehl bis zu seiner Beendigung benötigt.

Eine der Unterbrechungssperren (Merklicht M) kann auch durch Befehl beliebig gesetzt oder gelöscht werden.

Unter den 12 oder 28 Ebenen für Unterbrechungswünsche enthält das Unterbrechungswerk 4 Ebenen für Alarmsignale, die gegenüber den obengenannten Unterbrechungswünschen vorrangig sind. Diese Alarme gelten der Datensicherung oder werden von den Kanalwerken (z.B. bei Ein/Ausgabe-Ende) ausgelöst.

Eine Sondereinrichtung zur Datensicherung ist die Dreierprobe. Diese erfaßt im Gegensatz zur Paritätsprüfung auch einen Teil der Fälle, bei denen sich zwei Bits geändert haben. Die Dreierprobenbits werden beim Einschreiben in die Speicherzelle generiert und beim Auslesen geprüft. Ein Fehler wird auf dem Bedienfeld angezeigt und löst einen Alarm aus, der zu einer internen Programmunterbrechung führt.

Bei unzureichender Versorgungsspannung bewirkt der standardmäßige Unterspannungsschutz über einen Alarm eine interne vorrangige Programmunterbrechung, die auch bei gesetzter Unterbrechungssperre M wirksam wird. Dabei werden im allgemeinen die aktuellen Registerinhalte abgespeichert, und der Rechner schaltet ab. Nach Spannungsrückkehr und Wiedereinschalten kann der Rechner das Programm an der unterbrochenen Stelle automatisch fortsetzen.

Die Hauptaufgabe des Speicherschutzes ist die Sicherung des Betriebssystems.

Ein in gewissen Grenzen wählbarer Speicherbereich läßt sich gegen Überschreiben und unzulässiges Einspringen schützen. E/A-Befehle werden nur aus dem geschützten Bereich wirksam. Ein unberechtigtes Ansteuern des geschützten Bereiches führt zu einem Alarm, der eine interne Programmunterbrechung auslöst.

0.1.1.1.4.
Rechnerkernkanal

Als Teil des E/A-Werks gehört der Rechnerkernkanal (RKK) in technischer Realisierung und funktionellem Zusammenhang zum Rechnerkern: Er benutzt dessen Einrichtungen zum Datentransfer und zur Aufbereitung der Daten in eine dem Übertragungsmedium angepaßte Struktur. Die Aufbereitung der Daten und deren Transport sind Teile des E/A-Befehls und damit des Programms. Die weitere Verarbeitung des Programms stockt, solange die Über-

tragung nicht abgeschlossen ist.

Der Rechnerkernkanal führt die Ein/Ausgabe über den Akkumulator des Rechenwerkes durch.

In der Grundstufe sind 31 Geräteanschlüsse vorhanden. Die Erweiterung bis auf 255 Anschlüsse erfolgt in Stufen von je 32. Unabhängig von der Ausbaustufe können die letzten 8 Anschlüsse für Mehrwort-Ein/Ausgabe eingerichtet werden.

Die Ablaufsteuerung ist durch das Format der Ein/Ausgabebefehle vorgegeben. Die Befehlsspezifikationen können folgende im Rechnerkern entschlüsselten Verarbeitungsmodi enthalten:

- Einzelworteingabe in den Akkumulator und in den Speicher oder nur in den Akkumulator
- Einzelwortausgabe vom Speicher oder vom Akkumulator
- Mehrwort-Ein/Ausgabe zum/vom Speicher

Bei der Einzelwort-Ein/Ausgabe wird zusätzlich nach den Gerätemodi unterschieden, die eine

- wortweise
- halbwortweise
- oktadenweise oder
- hexadenweise

Ein/Ausgabe ermöglichen.

Jedem Gerät ist eine Adressenleitung zugeordnet, über die es aktiviert wird.

Geräte mit Einzelwort-Ein/Ausgabe liegen an der Informationsringleitung. Geräte für Mehrwort-Ein/Ausgabe sind über besondere Übertragungseinrichtungen, sog. Korrespondenzeinrichtungen, angeschlossen.

Einzelwort-Ein/Ausgabe			
zum Akkumulator	zum Akkumulator und Speicher	vom Akkumulator	vom Speicher und Akkumulator
Die Information wird rechtsbündig		Entsprechend dem Gerätemodus werden Ganzwörter, Halbwörter, Oktaden oder Hexaden ausgegeben	Der Inhalt der dem Ausgabebefehl folgenden Speicherzelle wird in den Akkumulator übertragen und entsprechend dem Gerätemodus als Ganzwort, Halbwort, Oktade oder Hexade ausgegeben
in den Akkumulator übertragen	in den Akkumulator und in die dem Befehl folgende Speicherzelle übertragen		

Mehrwort-Ein/Ausgabe

Die Mehrwort-Ein/Ausgabe dient der Übertragung von Datenblökken. Im Mehrwort-Ein/Ausgabebefehl wird der Gerätemodus "oktadenweise" angegeben.

Die dem Befehl folgende Speicherzelle enthält die Blocklänge, der sich die Startinformation, bestehend aus Steuerinformation für den Kanal und für das Gerät, anschließt. Danach folgt der zu übertragende Datenblock.

Die Übertragungsgeschwindigkeit ist vom Verarbeitungsmodus abhängig und beträgt für Einzelwort-Ein/Ausgabe ca. 350 000 Wörter/s, bei Mehrwort-Ein/Ausgabe 350 000 Oktaden/s.

0.1.1.2. Vorrangwerk

Das Vorrangwerk steuert den Zugriff von Rechnerkern, Kanalwerken, Eingriffswerk und E/A-Adressenwerk zum Speicherwerk; es vermeidet somit Zugriffskollisionen. Die Vorrangsteuerung berücksichtigt selbsttätig die Rangfolge

- Sonderkanalwerke
- Eingriffswerk
- E/A-Adressenwerk
- Standardkanalwerke
- Rechnerkern

Die Übertragung zwischen dem Speicherwerk und denjenigen Einheiten, die zum Speicherwerk zugreifen, geschieht über Kabel, an deren Enden sich Kabelsender bzw. -empfänger befinden (siehe Speicherbeschreibung, Kap. 2).

0.1.1.3. Speicherwerk

Der interne Arbeitsspeicher ist ein Ferritkernspeicher und hat in der Minimalausstattung eine Kapazität von 8 K 24-Bit-Wörtern. Die nächste Ausbaustufe umfaßt einen 16 K-Modul. Der weitere Ausbau erfolgt 16 K-weise bis zu einer Kapazität von 64 K = 4 Moduln.

Jedem Modul ist eine eigene Speicherablaufsteuerung, ein 24-stelliges Informationsregister und ein 14-stelliges Adreßregister zugeordnet.

Dieses Adreßregister übernimmt den Inhalt der ersten 14 Bit des 16-stelligen N-Adreß-Registers des Leitwerks. Die beiden letzten Bit des N-Registers dienen dann zur Adressierung der einzelnen Moduln. Dadurch werden aufeinanderfolgende Adressen den aufeinanderfolgenden Moduln zugeteilt. Ebenfalls wirksam wird eine zeitliche Überlappung der Zyklen, die in verschiedenen Moduln ablaufen.

Wegen ihres Aufbaus sind die Moduln in ihrer Funktion völlig selbständig.

Der TR 86 ist speicherprogrammiert; er arbeitet wortweise parallel; die Ausführungszeiten der Befehle betragen ein Vielfaches der Taktzeit T = 0,1 µs. Die Speicherzykluszeit beträgt 0,9 µs, die Zugriffszeit 0,3 µs.

0.1.1.4.
Ein-/Ausgabewerke

Die im Rechnerkern zu verarbeitenden Daten werden vom/zum Kernspeicher über drei unterschiedliche Kanalsysteme geführt. Um eine sinnvolle Arbeitsteilung zu erreichen, sollten langsame E/A-Geräte (z. B. Lochstreifengeräte) dem Rechnerkernkanal zugeteilt werden, während die schnelle Übertragung von Datenblökken den Standardkanalwerken zufiele; für Sonderaufgaben und schnellste Übertragungen stehen die Sonderkanalwerke zur Verfügung.

Die Art des Übertragungsweges ist bestimmend für die Priorität des Zugriffs zum Kernspeicher (s. Vorrangwerk 0.1.1.2.).

0.1.1.4.1.
Rechnerkernkanal

Der Rechnerkernkanal ist wegen seiner Zugehörigkeit zum Rechnerkern bereits unter 0.1.1.1.4 aufgeführt.

0.1.1.4.2.
Standardkanalwerke

Die Standardkanalwerke ermöglichen die Ein/Ausgabe beliebig langer Datenblöcke, ohne das Rechenwerk zu beanspruchen. Die max. 4 Kanalwerke sind mit je 2 Geräteanschlüssen ausgestattet, die um je 6 Anschlüsse erweitert werden können. Jedes Kanalwerk enthält eine eigene Ablaufsteuerung, Puffer-Register und eine Korrespondenzeinrichtung.

Jedem Standardkanalwerk sind 2 Speicherzellen fest zugeordnet. In diese Speicherzellen werden Länge und Anfangsadresse eines Datenblocks eingegeben, wenn vom Programm eine Übertragung über das Standardkanalwerk angefordert wird. Der Startbefehl für das Standardkanalwerk leitet die Übertragung ein; dann übernehmen das E/A-Adressenwerk und die kanalseitige Ablaufsteuerung die Übertragung in die eigene Regie.

Der Datenblock beginnt in der mit der Anfangsadresse bezeichneten Speicherzelle. Seine ersten Oktaden bilden die Startinformation, bestehend aus der Steuerinformation für den Kanal und das Gerät.

An einem Beispiel soll der Ablauf einer Ausgabe über ein Standardkanalwerk beschrieben werden:

Durch einen Startbefehl erhält das Kanalwerk vom Rechnerkern die Meldung, daß im Speicher ein Datenblock zum Abruf bereitsteht. Daraufhin meldet sich das Standardkanalwerk beim Vorrangwerk an und wird seiner Priorität entsprechend bedient. Es ergeben sich folgende Ablaufstufen:

- Übertragen der Blocklänge aus der Speicherzelle in das E/A-Adressenwerk und Erhöhen der Abschnittslänge um eins (die Abschnittslänge ist negativ eingeschrieben).
- Zurückschreiben der um eins erhöhten Abschnittslänge in dieselbe Speicherzelle.
- Übertragung der Anfangsadresse in das E/A-Adressenwerk und Erhöhung der Anfangsadresse um eins.
- Zurückschreiben der um eins erhöhten Anfangsadresse.
- Mit Hilfe der Anfangsadresse wird die Speicherzelle des ersten Wortes angewählt und ihr Inhalt in das Kanalwerk übertragen.

Dieser Vorgang wird so oft wiederholt, bis die Abschnittslänge den Wert Null erreicht hat. Die Dateneingabe erfolgt in entsprechender Weise. Das Ende jeder Übertragung wird dem Rechnerkern vom Eingriffswerk mitgeteilt (0.1.1.4.4.).

Die Übertragungsgeschwindigkeit beträgt maximal 800 000 Oktaden/ s.

Das E/A-Adressenwerk übernimmt die Adressenrechnung und Abschnittslängenzählung für alle angeschlossenen Standardkanalwerke. Durch den direkten Zugriff des E/A-Adressenwerkes zum Speicher können die Standardkanalwerke simultan und unabhängig vom Rechnerkern arbeiten.

0.1.1.4.3.
Sonderkanalwerke

Die Sonderkanalwerke (max. 4) haben direkten und vorrangigen Zugriff zum Speicher. Die Übertragungsgeschwindigkeit kann bis zu 1 000 000 Wörter/s betragen, wodurch der Anschluß schnellster Geräte möglich wird. Jedes Kanalwerk führt Steuerung und Adressenrechnung selbständig durch.

Sonderkanalwerke sind z.B. das Schnellkanalwerk und das Sichtgerätekanalwerk.

Ein Schnellkanalwerk überträgt oktadenweise parallel mit einer Geschwindigkeit von 1 500 000 Oktaden/s. Diese Übertragungscharakteristik entspricht z.B. den Anforderungen des Großraumplattenspeichers PSP 600 und des Schnellspeichers TSP 500.

Wie beim Standardkanalwerk löst ein Startbefehl die Übertragung aus. Die über den Rechnerkernkanal vorgegebene Anfangsadresse und Abschnittslänge übernimmt das Kanalwerk zur Weiterrechnung in eigene Register.

Ein Sichtgerätekanalwerk ist ein auf Ausgabe reduziertes Sonderkanalwerk für max. 16 Sichtgeräte SIG 100.

Der zur Bildwiederholung benötigte Bereich des Arbeitsspeichers ist dadurch definiert, daß seine letzte Zelle eine bestimmte Steuerzeichenkombination enthält.

Bei der Ausgabe wird der Inhalt dieser Zelle nicht als Information, sondern als Sprunganweisung auf eine Speicherzelle entschlüsselt, die die Anfangsadresse enthält, so daß sich die Ausgabe ununterbrochen wiederholen kann.

Das Kanalwerk übernimmt die Information wortweise und gibt sie über ein Pufferregister und die multiplex gesteuerten Kabelsender an die Sichtgeräte weiter.

Jedes Sichtgerät erhält im Abstand von 12 µs eine Informationshexade, deren Übertragungszeit 1,8 µs beträgt (die Bitfolgefrequenz beträgt 3,3 MHz).

0.1.1.4.4.
Eingriffswerk

Das Eingriffswerk übernimmt das Abspeichern der Ende- und Fehlermeldungen der Kanalwerke im Kernspeicher. Von mehreren Kanalwerken gleichzeitig eintreffende Meldungen werden im Eingriffswerk zwischengespeichert. Das Hauptprogramm wird

durch eine vom Eingriffswerk eingeleitete und dafür reservierte Programmunterbrechung unterrichtet, daß Meldungen aus den Kanalwerken abgespeichert werden.

Am Eingriffswerk sind Anschlußmöglichkeiten für 5 Kanalwerke vorhanden.

0.1.2. Anschließbare Peripherie

0.1.2.1. Rechnerkernkanal

An den Rechnerkernkanal MEK 032 kann man bis zu 31 E/A-Geräte anschließen. Mittels der Erweiterung EEK 032 lassen sich maximal weitere 32 Geräte anschließen. Der maximale Ausbau des Rechnerkernkanals besteht aus dem Grundausbau, vermehrt um 7 Einheiten EEK 032 (≙ 255 E/A - Geräteanschlüsse).

Folgende Geräte werden an den RKK angeschlossen:

- Kontrollfernschreiber	KFS 075
- Lochstreifenleser	LSL 030
	LSL 050
	LSL 100
- Lochstreifenstanzer	LSS 012
	LSS 150
- Datenübertragungsgerät	DM - PhM 1200
	DM - PhM 2400
mittels Datenfernbetriebseinheit	DFE
- AD/DA-Umsetzer	ADU1, DAU1
- Realzeituhr	RZU 100
- Weckereinheit	WZU 100
- Plotter	563
	565
mittels Anpaßwerk	ZZC 500
- Zeichengerät	ZCH 100
	ZCH 501
	ZCH 502
- Prozeßperipherie	
Digital - E/A	DEA 100

Die Mehrwort- Ein/Ausgabe EAK 154 dient zum Anschluß von 2, bzw. nach Erweiterung 8 schnellen Peripheriegeräten an den TR 86, zur Kopplung mit dem TR 440 und zur Kopplung zweier TR 86.

Jedes an die Mehrwort - E/A angeschlossene Gerät belegt einen Anschluß des Rechnerkernkanals.

An die Mehrwort - E/A anschließbare Geräte:

- Fernschreibmultiplexer	FMP 100
zum Anschluß von	
Fernschreibern	FSR 100
Tastaturen	TST 100

0.1.2.2. Standardkanalwerke

An ein Standardkanalwerk EAK 150 kann man 2 bzw. nach Erweiterung 8 Peripheriegeräte anschließen. Ein Ausbau ist möglich bis zu 4 Standardkanalwerken zum Anschluß von insgesamt 20 Peri-

pheriegeräten (Es können nur 2 Standardkanalwerke auf 8 Geräteanschlüsse erweitert werden).

Folgende Geräte werden an die Standardkanalwerke angeschlossen:

- Lochstreifenleser	LSL 200
- Lochstreifenstanzer	LSS 150
- Lochkartenleser	LKL 240
- Lochkartenstanzer	LKS 072
- Magnetband-Digitalspeicher	MDS 200
	MDS 202
	MDS 205
	MDS 252
- Plattenspeicher	SSP 300
- Schnelldrucker	SDR 153
	SDR 176
	SDR 366
- Belegsortiermaschine	BSM 2051 A
- Beleglesemaschine	BLM 2051 A
- Fernschreib-Multiplexer	FMP 100
- Koppelwerk TR 4	KOW 4

0.1.2.3.
Sonderkanalwerke

Die maximal 4 Sonderkanalwerke sind für E/A-Geräte mit hoher Übertragungsleistung bestimmt.

Spezielle Ausführungen der Sonderkanalwerke sind:

1) Sichtgerätekanalwerk SIK 016
   zum Anschluß von maximal 16 Peripheriegeräten, wie:
   - Sichtgerät SIG 100
   - Universalsichtgerät SAP 300

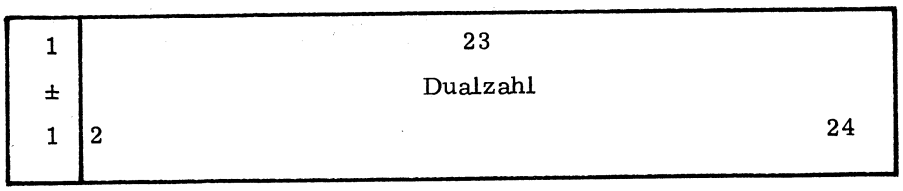
2) Schnellkanalwerk EAK 200
   zum Anschluß eines Peripheriegerätes mit Transfergeschwindigkeit bis maximal 1.5 Mio Oktaden/s , wie
   - Magnetplattenspeicher TSP 500
   - Großraumplattenspeicher PSP 600

3) Multiplexkanalwerk MXK 032
   zum Anschluß von maximal 32 Peripheriegeräten

4) Inkrementkanalwerk INK 020
   zum Anschluß von maximal 20 Geräten

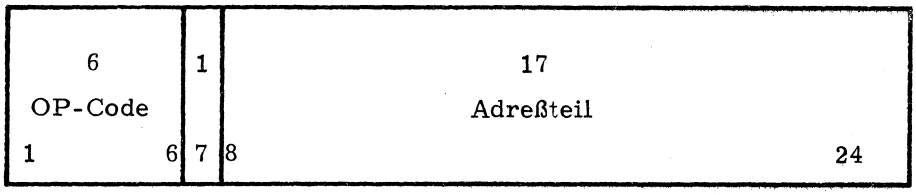
0.2
Wortstruktur

Das TR 86-Wort hat 24 Stellen (Bit). Je nach Interpretation durch den Rechnerkern kann man Datenwörter und Befehlswörter unterscheiden. Das Datenwort kann ein Alphawort, ein alphanumerisches Wort oder ein Zahlwort sein. Bei Zahlwörtern ist die erste Stelle (1. Bit) für das Vorzeichen reserviert:



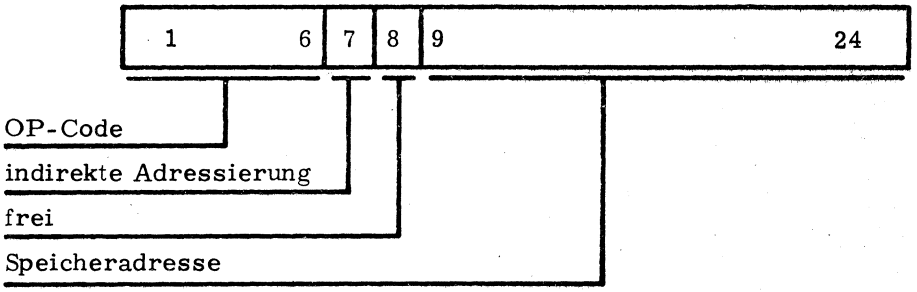
Die größte rechtsbündig darstellbare Zahl ist somit $2^{23} - 1 = 8.388.607$; bei allen Rechnungen kann daher mit einer Genauigkeit von mehr als 6 Dezimalen gearbeitet werden, die in sehr vielen Fällen ausreicht.

Im Befehlswort sind die Stellen 1 ... 6 dem Operationscode vorbehalten, Stelle 7 dient zur Kennzeichnung der indirekten Adressierung. Die Aufteilung der Stellen 8 ... 24 (Adreßteil) ist unterschiedlich:



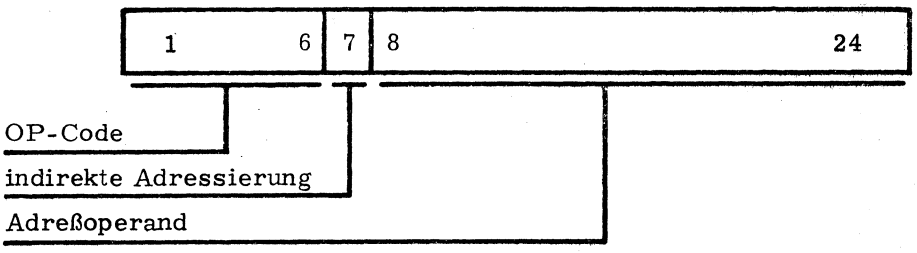
Es werden 3 Befehlsformate unterschieden:

- Befehle mit echten Adressen:
  der Adreßteil enthält die Adresse einer Speicherzelle;



Dies gilt für die Befehle: A, SB, ML, B, C, CA, S, SI, SK, SU, ET, AT.

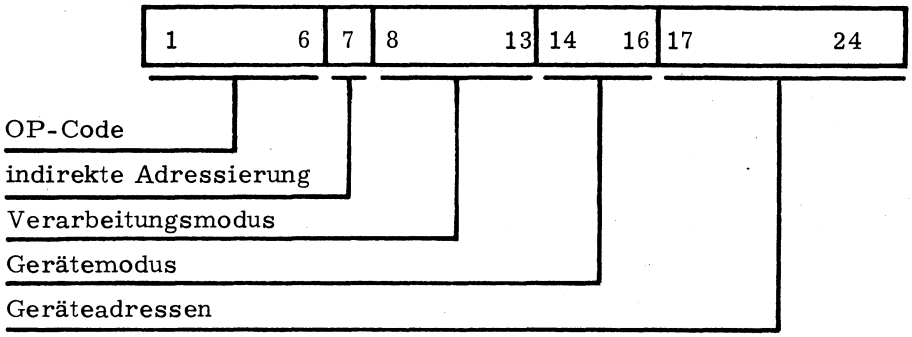
- Befehle mit Adreßoperanden:
  der Adreßteil wird als Operand benutzt;



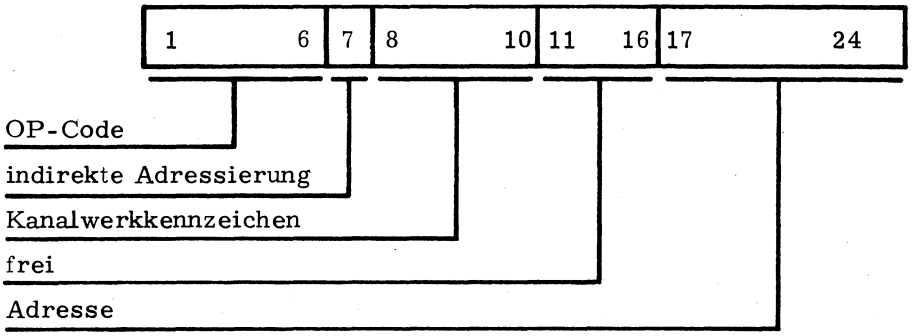
Hierunter fallen die Befehle: AA, SA.
Der Adreßoperand ist stets eine positive Dualzahl, die vor der eigentlichen Operation links mit Nullen auf 24 Stellen aufgefüllt wird.

- adressenfreie Befehle:
  der Adreßteil enthält Spezifikationen oder Parameter;
  hierzu gehören die Befehle: SH, VM, SM, KE, KA.

z.B.: E/A-Befehl für den Rechnerkernkanal



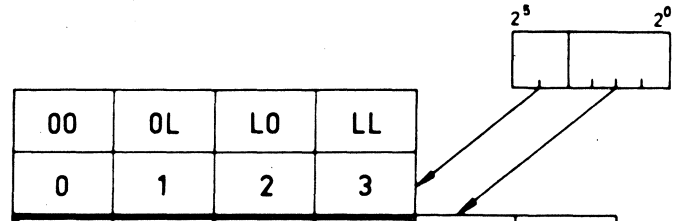
z.B.: Startbefehl für Standard- und Schnellkanalwerk



0.3 Zentralcode

Stellt man sich die 24 Bit eines in einer Speicherzelle abzulegenden TR 86-Wortes in vier Gruppen zu je 6 Bit zerlegt vor und ordnet diesen Gruppen die Bedeutung von Ziffern, Buchstaben und gewissen Sonderzeichen zu, so gewinnt man einen aus 64 Zeichen bestehenden "Hexadencode". Beim TR 86 wird als sogenannter "Zentralcode" der unten angegebene Hexadencode benutzt. Der Zentralcode ist sozusagen die "normale" Darstellung alphanumerischer Zeichenfolgen; im Betriebssystem existieren für die Eingabe Programme zur Umschlüsselung beliebiger alphanumerischer "Fremdcodes" in den Zentralcode und für die Ausgabe Programme zur Umschlüsselung des Zentralcodes in beliebige Fremdcodes.

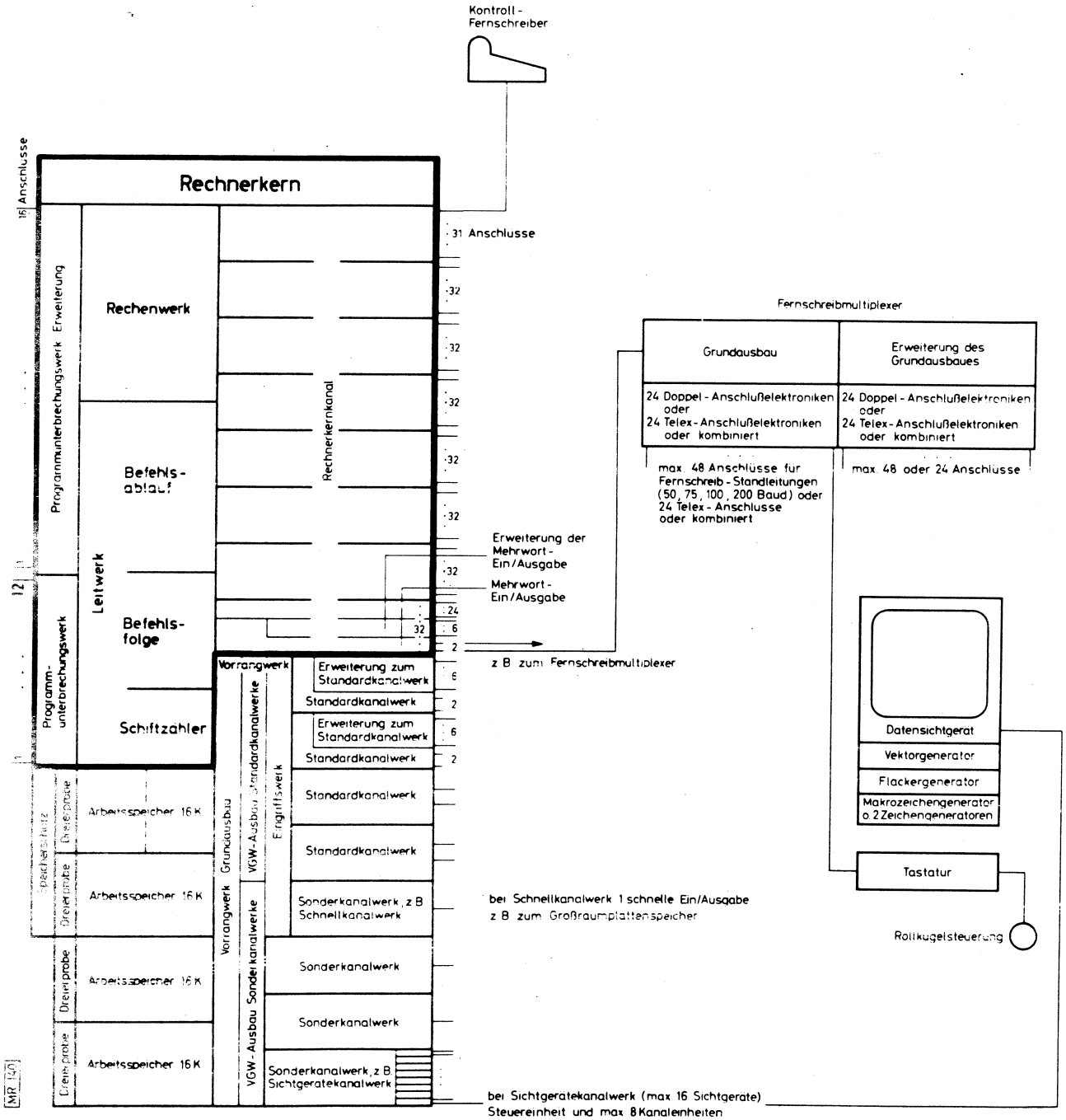
(Siehe auch Werknorm 2 N 0812.512)



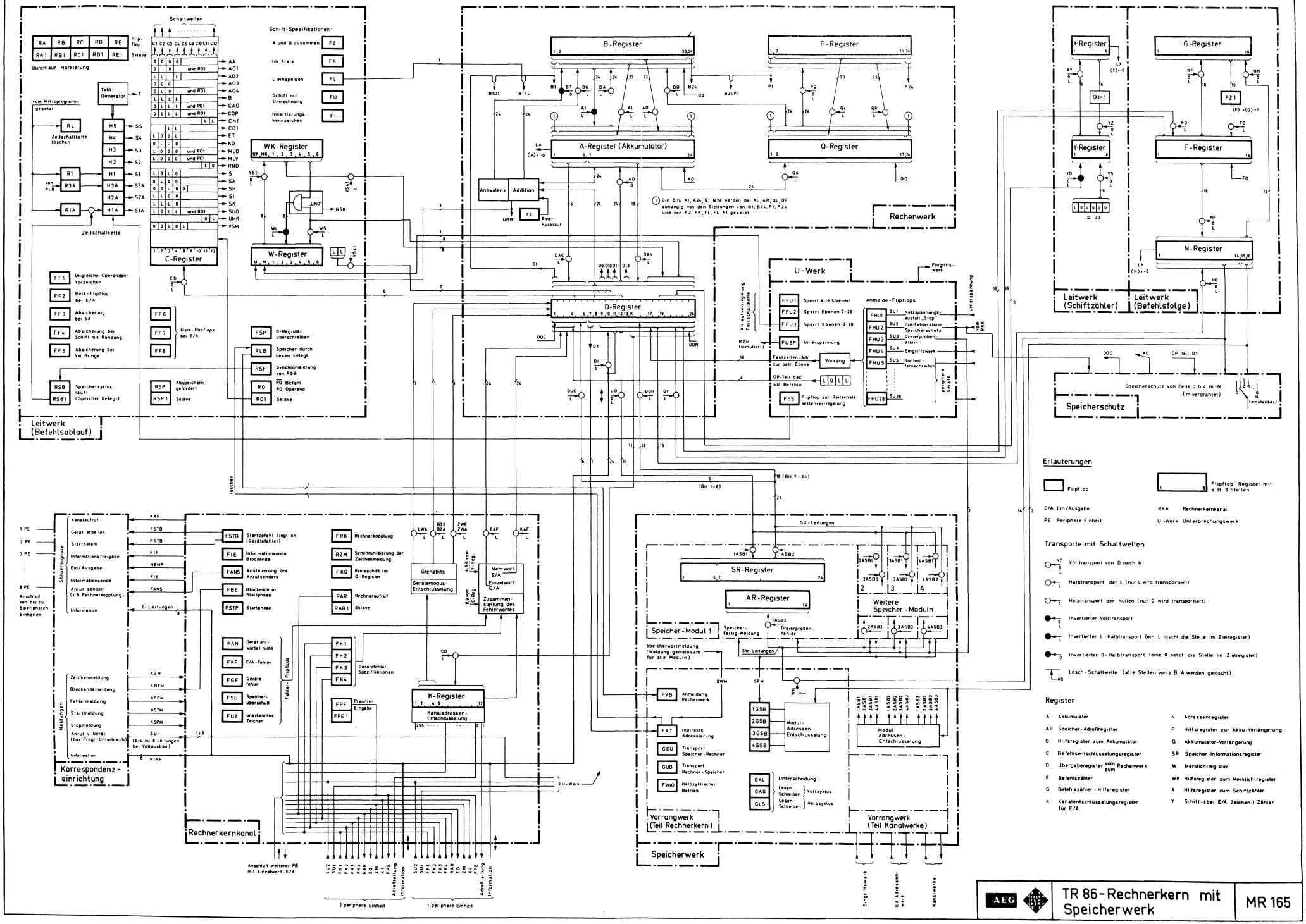
00	0L	L0	LL		
0	1	2	3		
0 0	16 G	32 W	48 □	0	0000
1 1	17 H	33 X	49 ;	1	000L
2 2	18 I	34 Y	50 |	2	00L0
3 3	19 J	35 Z	51 /	3	00LL
4 4	20 K	36 [	52 %	4	0L00
5 5	21 L	37]	53 &	5	0L0L
6 6	22 M	38 ¬	54 (	6	0LL0
7 7	23 N	39 LF	55)	7	0LLL
8 8	24 O	40 $	56 '	8	L000
9 9	25 P	41 NUL	57 *	9	L00L
10 A	26 Q	42 SP	58 >	A	L0L0
11 B	27 R	43 _	59 <	B	L0LL
12 C	28 S	44 -	60 +	C	LL00
13 D	29 T	45 =	61 :	D	LL0L
14 E	30 U	46 ,	62 ?	E	LLL0
15 F	31 V	47 .	63 !	F	LLLL

ZENTRALCODE ZC2 :

LF = Wagenrücklauf und Zeilensprung
NUL = Ignore-Hexade, Füllhexade, ohne Auswirkung
SP = Leertaste, Weiterschaltung der Position



TR86 Struktur- und Anschlußschema



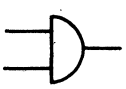
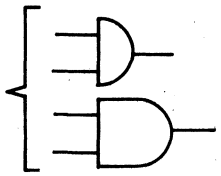
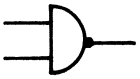
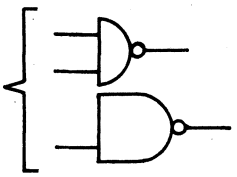
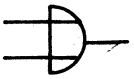
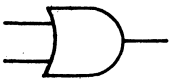
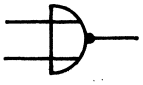
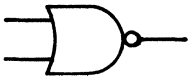
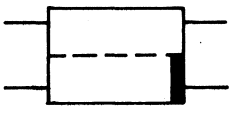
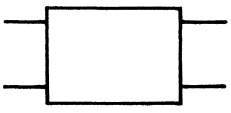
A	Akkumulator	N	Adressenregister
AR	Speicher-Adreßregister	P	Hilfsregister zur Akku-Verlängerung
B	Hilfsregister zum Akkumulator	Q	Akkumulator-Verlängerung
C	Befehlsentschlüsselungsregister	SR	Speicher-Informationsregister
D	Übergaberegister vom zum Rechenwerk	W	Merklichtregister
F	Befehlszähler	WK	Hilfsregister zum Merklichtregister
G	Befehlszähler - Hilfsregister	X	Hilfsregister zum Schiftzähler
K	Kanalentschlüsselungsregister für E/A	Y	Schift-(bei E/A Zeichen-) Zähler

SCHALTKREISSYSTEM

0.4.1 Schaltzeichen, Logik

In dieser Schrift werden die Schaltzeichen verwendet, die in dem DIN 40 700, Blatt 14, festgelegt sind, aber auch jene, die in der amerikanischen Fachliteratur gebräuchlich sind.

Die folgende Aufstellung enthält die deutsche Bezeichnung und beide Darstellungsweisen:

Benennung	Schaltzeichen nach DIN	Schaltzeichen aus amerikanischer Literatur
UND-Glied mit 2 Eingängen		
NAND-Glied		
ODER-Glied		
NOR-Glied		
Kippschaltung bistabil (Flipflop)		

Den beiden MECL-Potentialen -0,75 V und -1,55 V werden die logischen Werte L und O zugeordnet.

Sinnfällig, aber willkürlich, wird folgende Festlegung als positive Logik bezeichnet:

-0,75 V ≙ L
-1,55 V ≙ O

Für ein Verknüpfungsglied, bei dem zwischen den Potentialen an den 2 Eingängen und dem Ausgang der unten dargestellte Zusammenhang besteht, ergibt sich bei so definierter positiver Logik folgende Wertetabelle :

Eingang		Ausgang
-0,75 V	-0,75 V	-0,75 V
-0,75 V	-1,55 V	-0,75 V
-1,55 V	-0,75 V	-0,75 V
-1,55 V	-1,55 V	-1,55 V
L	L	L
L	O	L
O	L	L
O	O	O

Dieses Verknüpfungsglied ist also bei positiver Logik ein ODER-Glied. Aus der positiven wird die negative Logik, wenn die andere mögliche Zuordnung zwischen Potential und logischem Wert festgelegt wird.

-0,75 V ≙ O
-1,55 V ≙ L

Das oben beschriebene Verknüpfungsglied erfüllt dann die Wertetabelle,

Eingang		Ausgang
O	O	O
O	L	O
L	O	O
L	L	L

die der eines UND-Gliedes entspricht.
Beim Übergang von einer Logik in die andere werden ersetzt

UND	durch	ODER
NAND	durch	NOR

und umgekehrt. Negierte Eingänge bleiben negiert.

0.4.2 Schreibweise

Da in der MECL-Familie nur ODER- und NOR-Glieder vorhanden sind, müssen die in Mikroprogrammen vorkommenden UND- und NAND-Verknüpfungen auf MECL-Format umgeschrieben werden. Das geschieht durch die Transformationsgleichung (de Morgan)

$$T = A \cdot B = \overline{\bar{A} + \bar{B}}.$$

Eine Konjunktion aus A und B wird durch ein NOR-Glied ausgeführt, an dessen Eingängen $\bar{A}$ und $\bar{B}$ anliegen.

In den vom Schnelldrucker gedruckten Gleichungen ist aus technischen Gründen diese Konjunktion durch den Ausdruck

T = -+ (AN, BN)

beschrieben.
Dabei bedeuten:

- Der Ausdruck in der Klammer ist negiert,
+ die Signale in der Klammer sind durch ODER verknüpft,
N (bei AN und BN) die negierten Werte $\overline{A}$ und $\overline{B}$ liegen an den Eingängen.

Flipflops:

Setzen des Flipflop FF wird dargestellt durch
FF',
Rücksetzen durch FF-',
das gesetzte Flipflop FF,
das rückgesetzte Flipflop FF-.

Beispiel:

FF1', FF2-', B, C = -+ (AN, B, FF3, FF4-)

FF1 wird gesetzt, FF2 wird rückgesetzt, die Signale B und C werden erzeugt, wenn die rechts vom Gleichheitszeichen aufgeführte Bedingung $A.\overline{B}.\overline{FF3}.$ FF4 erfüllt ist, d. h. den logischen Wert L angenommen hat.

0.4.3.
Beschreibung der integrierten Schaltkreise und technische Daten

Diese Beschreibung macht den Benutzer digitaler integrierter Schaltkreise mit den integrierten Schaltkreisen "MECL"" von Motorola bekannt.

Sie führt Anschlußschema, logisches Diagramm und die jeweiligen Merkmale jedes Bausteins der MECL-Serie auf.

Diese Beschreibung enthält Anwendungshinweise für die verschiedenen Schaltkreise und illustriert damit die Vielseitigkeit der MECL-Familie.

Hohe Arbeitsgeschwindigkeit, hoher Eingangswiderstand, hohe Ausgangsfächerung (fan-out) und sehr geringe intern erzeugte Störspannungen zeichnen diese integrierte Schaltkreisserie aus.

0. 4. 3. 1.
EINFÜHRUNG

Die Motorola Emitter-gekoppelte Logik (MECL)-Serie der monolithischen integrierten Schaltkreise enthält eine breite Auswahl von emitter-gekoppelten logischen Schaltkreisen mit eingeprägtem Strom. Da bei MECL die Transistoren im ungesättigten Betrieb arbeiten, stellt sie die schnellste verfügbare Logik dar. MECL wird für zwei Temperaturbereiche hergestellt: die MC 300 Serie (von -55° C bis +125° C) und die MC 350 Serie (von 0° C bis +75° C). Die Nenn-Versorgungsspannung beträgt -5, 2 V ± 10 %, der Leistungsverbrauch 35 bis 40 mW je Glied. Die Durchlaufzeit beträgt 5 - 10 nsek. Der Störabstand für alle möglichen Störspannungen am Eingang beträgt 200 mV oder mehr, und zwar über dem vollen Temperaturbereich für mindestens 90 % aller mit einem fan-out von 1 belasteten Stücke. Der Störabstand beträgt ca. 300 mV bei Zimmertemperatur. Ausführliche Angaben über MECL-Spezifikationen und Parameter für die MECL MC 300 Serie, und die MECL MC 350 Serie sind in den Entwicklerdatenbüchern DS 9044 bzw. DS 9046 zu finden.

Das MECL- Glied enthält einen Differenz-Verstärker-Eingang, der einen hohen Eingangswiderstand bewirkt und es unempfindlich gegen Versorgungsspannungsschwankungen macht. Der sehr kleine Ausgangswiderstand der Emitter-Folger-Stufen ermöglicht hohes fan-out und kurze Anstiegszeit auch bei kapazitiver Last. Die Widerstände und die logischen Potentiale sind so gewählt, daß eine Sättigung der Eingangstransistoren und somit Speicherzeit vermieden wird. Der 1, 24 kOhm Widerstand (Abb. 0-1) stabilisiert den Stromkreis auch bei großer Streuung des Transistor-Verstärkungsgrades β (B).

Die logische "1" entspricht bei MECL -0, 75 V, dem Spannungsabfall über der Basis-Emitter-Diode, wobei die Basis auf Masse liegt.

Die logische "0" ist -1, 55 V. Das gibt 800 mV Spannungshub.

Die normale Arbeitsweise ist folgendermaßen: Am Eingang V_{BB} liegt eine feste Bezugsspannung von -1,15 V (Abb. 0-1). Diese Spannung wird genau zwischen logisch "0" und "1" gelegt und bestimmt den Störabstand in der Grundschaltung. Zum Beispiel liegen die Transistoren A_1 und A_2 im Sperrbereich, falls an den Eingängen A_1 und A_2 logisch "0" oder weniger anliegt. Punkt E (Abb. 0-1) liegt um den Basis-Emitter-Spannungsabfall unter V_{BB}, also bei -1,90 V. Bei logisch "0" liegt an den Eingängen A_1 und A_2 eine Flußspannung von nur 0,35 V. Diese ermöglicht noch keinen Stromfluß durch A_1 bzw. A_2. Bei einer logischen "1" an A_1 oder A_2 liegt dagegen Punkt E um den Basis-Emitter-Spannungsabfall tiefer als "1", d. h. bei -1, 50 V. Jetzt hat der Transistor B nur 0,35 V Flußspannung, er ist also gesperrt. Der Strom, der bisher durch B floß, ist damit auf den mit "1" belegten Eingangstransistor A_1 oder A_2 geschaltet worden.

Der Strom durch Transistor B betrug:

$$\frac{-1,90\ V - (-5,2\ V)}{1,24\ K} = 2,66\ mA$$

Der Strom durch Transistor A_1 bzw. A_2 bei einer logischen "1" am Eingang beträgt nun:

$$\frac{-1,50\ V - (-5,2\ V)}{1,24\ K} = 2,98\ mA$$

Das Glied zieht also einen fast konstanten Strom.

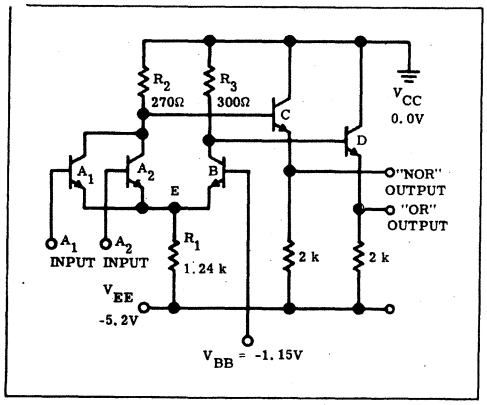


Abb. 0 - 1

Zu Abb. 0-1
Arbeitsweise der MECL Grundschaltung:
Input = Eingang; "NOR" Output = Weder-Noch Ausgang oder negierter "Oder"-Ausgang.
"Or" Output = "Oder"-Ausgang.

Die Kollektorspannung des leitenden Transistors B beträgt: 0-(300 Ohm · 2,66 mA) = -800 mV.

Die Kollektorspannung der Eingangstransistoren bei einer "1" am Eingang ist 0V - (270 Ohm · 2,98 mA) = -800 mV.

Die Transistoren C und D werden als Emitter-Folger betrieben. Die "NOR" und "OR" Ausgangsspannung liegt daher um -0,75 V unter der jeweiligen Basisspannung. Wenn alle Eingänge auf logisch "0" liegen (-1,55 V), hat die Basis des Transistors C Massepotential. Der "NOR"-Ausgang liegt um 0,75 V tiefer auf -0,75 V (=logische "1"). Wenn ein oder mehrere Eingänge auf logisch "1" sind, dann liegt die Basis des Transistors C auf -0,8 V und der "NOR"- Ausgang noch um 0,75 V tiefer auf - 1,55 V -1,55 V (= logische "0"). Ähnlich verläuft die "OR"-Funktion am "OR"-Ausgang mit entsprechender Umkehrung.

Das Verhältnis der Kollektorwiderstände zum Emitterwiderstand der Differenzeingänge bestimmt das Ausgangspotential "0". Da genaue Verhältnisse von Widerständen leichter herzustellen sind als absolute Widerstandswerte (Herstellungstoleranzen, meistens mit gleichem Vorzeichen, fallen bei der Verhältnisbildung heraus), streuen die MECL Ausgangspegel von Exemplar zu Exemplar nur wenig. Bei der Wahl der Widerstandswerte wird ein Kompromiß zwischen Operationsgeschwindigkeit und Leistungsverbrauch gemacht. Wenn die Versorgungsspannung zunimmt, wird der "0"-Pegel negativer, während der "1"-Pegel konstant bleibt. Wenn V_{BB}, die Bezugsspannung, von derselben Versorgungsspannung hergestellt wird, dann folgt sie ihr bei Versorgungsspannungsänderungen oder Temperaturänderungen gleichsinnig, so daß V_{BB} immer in der Mitte zwischen den logischen Potentialen bleibt. Bei V_{EE} = -6 V beträgt z. B. der logische Spannungshub 1,0 V. Hier wurde also nicht nur der Spannungshub größer und der Störabstand um etwa 50 mV verbessert, sondern auch der Leistungsverbrauch mit dem Quadrat der Versorgungsspannung erhöht. Man sieht, daß V_{EE} = -5,2 V einen Kompromiß zwischen Störunempfindlichkeit und Leistungsverbrauch darstellt. Der Nennleistungsverbrauch für die Glied-Grundschaltung beträgt 37 mW, der sich im schlimmsten Fall um 20 % erhöht.

Da das "1"-Potential fest auf -0,75 V (entspricht dem Basis-Emitter-Abfall) unter V_{cc} gehalten wird, wird auch jede Störung, die an der V_{cc} Klemme auftritt, am Ausgang mit nur sehr kleiner Abschwächung erscheinen. Dagegen wird eine Störung an der V_{EE}-Leitung um den Faktor 4 bis 5 gedämpft. Dieser Faktor wird in erster Linie durch das Verhältnis von R_1 zu R_2 bzw. R_1 zu R_3 festgelegt. In den meisten Fällen besitzt der Masseanschluß die geringste Impedanz, und daher den konstantesten Spannungswert (0V) und die kleinsten, induzierten Störspannungen.

Aus diesem Grund wird bei MECL die V_{cc}-Versorgung gewöhnlich über die Masseleitung geführt. Ein weiterer Vorteil, V_{cc} an Erdpotential zu legen, besteht darin, daß die Ausgänge Masseschluß haben dürfen, ohne daß ein übermäßig hoher Stromfluß entsteht. Falls ein Ausgang aus Versehen mit V_{EE} = -5,2 V Kontakt bekommt, zieht das Glied einen größeren Strom, etwa 200 mA. Dauerschaden tritt dabei aber erst dann auf, wenn V_{EE} auf -8 V oder -9 V absinkt, und der Strom dann 400 mA übersteigt.

Zu Abb. 0-2
Cutoff Region = Sperrbereich,
Transition Region = Übergangsbereich,
Conduction Region = Durchschaltebereich,
Div. = Teilung.

Abb. 0-2 zeigt die typische Eingangskennlinie eines MECL-Gatters (Eingangsstrom in Abhängigkeit von der Eingangsspannung).

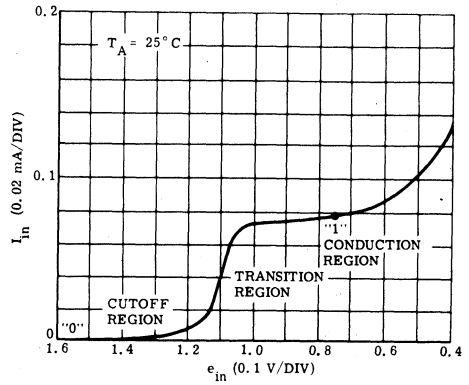


Abb. 0 - 2

Zu Abb. 0-3
Abb. 0-3 zeigt die Ausgangsspannung in Abhängigkeit vom Ausgangsstrom über den ganzen Temperaturbereich aufgetragen.

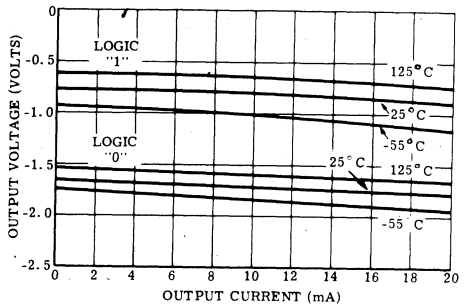


Abb. 0 - 3

Der Eingangsstrom liegt unter 0,1 mA und die Ausgangsspannung bleibt noch erhalten bei einer Belastung von 2,5 mA. Das Gleichstrom fan-out ist also 2,5 mA/0,1 mA = 25.

Dieses Gleichstrom fan-out gilt natürlich nicht für Betrieb bei hohen Frequenzen. Daher wird bei dieser Betriebsart ein maximales Wechselstrom (= dynamisches) fan-out von 15 empfohlen. Diese Verringerung des fan-out rührt von der etwa 5 pF betragenden Eingangskapazität des Gliedes her sowie von der Verdrahtungskapazität, wie sie in der Praxis bei Schaltkreisen besteht. Bei einem fan-out von 15 wächst die Anstiegszeit um etwa 5 nsek, die Abfallzeit um etwa 15 nsek an, verglichen mit den Werten bei einem fan-out von 1. Der Grund für die Zunahme, vor allem für die stärkere Zunahme der Abfallzeit rührt daher, daß beim Umschalten von logisch "0" nach logisch "1" (also von -1,55 V nach -0,75 V) die parallel geschaltete Eingangskapazität über den niederen Ausgangswiderstand des Emitterfolgers geladen wird (= Widerstand der durchgeschalteten Kollektor-Emitter-Strecke), während beim Umschalten von logisch "1" nach logisch "0" (also von -0,75 V nach -1,55 V) hauptsächlich der 2 kOhm Widerstand ("pull-down" Widerstand genannt) die Kapazität auf das "0" Potential entlädt.

Die Ausgänge von zwei Gliedern können in "wired-OR" Schaltung zusammengeschaltet sein, d. h. die Ausgänge werden miteinander verdrahtet und gehen auf logisch "1", wenn der eine Ausgang oder der andere oder beide auf logisch "1" gehen. Für wired-OR-Schaltung wird das worst case fan-out auf 5 reduziert.

Es sei noch bemerkt, daß nun der "pull-down"-Widerstand effektiv 1 kOhm statt 2 kOhm beträgt und die Abfallzeit entsprechend kürzer wird.

Die OR-Charakteristik zeigt folgendes (Abb. 0-4):
Wenn V_{IN} von "0" nach "1" schaltet und den Wert -1, 3 V erreicht hat, beginnt V_{out} ebenfalls von "0" nach "1" zu schalten. Bei V_{IN} = -1, 0 V hat V_{out} das "1" Potential erreicht. Man erkennt, daß für V_{IN} das Übergangsgebiet bei 25° C ungefähr 115 mV breit ist, bei dem V_{out} von 10 % bis 90 % des "1" Potential ansteigt, und zwar ohne Rücksicht auf die Schaltkreis-Charakteristiken.

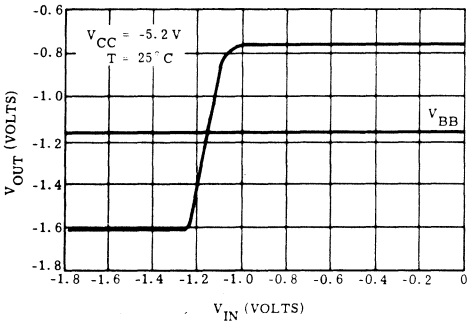


Abb. 0 - 4

Aus Abb. 0-1 und Abb. 0-4 erkennt man ferner, daß der Transistor B im Sperrzustand verbleibt und die Ausgangsspannung konstant bei -0, 75 V bleibt, auch wenn das Eingangspotential noch positiver wird.

Das NOR-Diagramm zeigt, daß der aktive Bereich etwa 200 mV breit ist. Wird der Eingang über diesen Bereich hinaus noch positiver, fällt die Ausgangsspannung weiterhin mit einer Neigung von etwa 1/4 ab. Dieser Abfall rührt daher, daß der Kollektor des betreffenden Eingangstransistors negativer ist, sowie der Eingang positiver wird, da sich der Transistor der Sättigung nähert. Sowie sich die Eingangsspannung etwa -0, 4 V nähert (bei +25° C; oder -0, 6 V bei +125° C), erreicht der Eingangstransistor das Sättigungsgebiet.

Sättigung tritt bei etwa 0, 45 V positiver Vorspannung an der Basis-Kollektor-Strecke bei +25° C und etwa bei 0, 3 V positiver Vorspannung bei +125° C ein.
(bei 25° C liegt am Kollektor ca. -0, 85 V d. f. U = 0, 45 V)
(bei 125° C liegt am Kollektor ca. -0, 9 V) d. f. U = 0, 3 V)

In der Sättigung beginnt die Kollektorspannung dem Basiseingang zu folgen und daher beginnt auch der Ausgang mit einem Anstieg von etwa 4/5 dem Eingang zu folgen, da die Spannung über die Basis-Kollektor-Strecke bei stärkerer Sättigung zunimmt. Es sollte vermerkt werden, daß die Sättigung erst bei -0, 6 V am Eingang bei 125° C Umgebungstemperatur beginnt. Das "1" Potential beträgt im Grenzfall (worst case-Betrieb) -0, 525 V, so daß auch unter ungünstigsten Bedingungen nur sehr leichte Sättigung eintritt. Die Ausgangs-Anstiegs- und Abfallzeiten werden dadurch nur leicht beeinflußt. Bei schnellem Betrieb sollten die Eingangspotentiale das höchste positive "1" Potential nicht überschreiten.

Bei der Betrachtung des maximalen Gleichstrom fan-out bei maximaler Temperatur, zeigt Abb. 0-2 die Eingangscharakteristik im Grenzbelastungsfall, bei dem die Schaltung gerade noch nicht zusammenbricht. Bei hoher Temperatur und -0, 6 bis -0, 5 V Eingangsspannung wächst der Eingangsstrom an. Das fan-out nimmt tatsächlich aber aus folgendem Grund nicht mehr ab:

Wird ein Glied mit einer Ausgangsspannung V_{out} = -0, 525 V mit 25 Eingängen belastet, die alle einen hohen Strom ziehen, dann wird ein höherer als normaler Strom vom Emitterfolger gefordert, den er mit einem Spannungsabfall V_{out} auf etwa -0, 58 V beantwortet. Mit diesem tieferen Eingangspotential ziehen die 25 angeschlossenen Elemente dann wieder weniger Strom. Diese zwei Effekte balancieren sich aus, so daß das maximale fan-out bei hoher Temperatur nicht reduziert zu werden braucht.

Bei hoher Temperatur und bei höchstem "1" Potential kann kein worst case fan-out auftreten und daher steht ein tatsächlich angewachsenes fan-out zur Verfügung.

Die folgenden Kurven illustrieren die Störabstände der MECL-Schaltkreise.
Die Kurven umfassen eine Variation der V_{BB}. Für 90 % der getesteten Elemente wird eine größere Störunempfindlichkeit garantiert, als angegeben ist.

Abb. 0-6 zeigt die Grenzwerte von Störimpulsen in mV auf der Signaleingangsleitung, in Abhängigkeit von der Störungsimpulsweite in Nanosek. bei +25° C, +125° C und -55° C, bei fan-out = 1. Es gilt die 90 % Verteilung. Siehe Abschnitt zuvor.

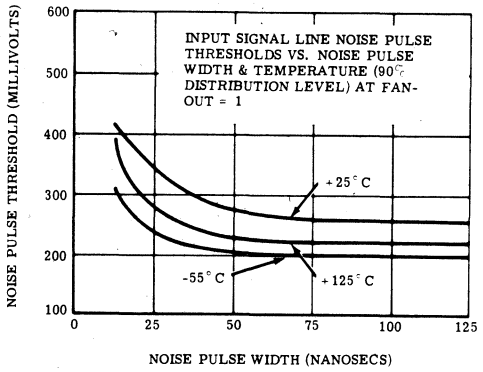


Abb. 0 - 6

Abb. 0-7 zeigt die Gleichstromstörabstände in mV auf der Eingangssignalleitung in Abhängigkeit von der Temperatur und dem fan-out für logische "1" bei V_{EE} = -5, 2 Volt.

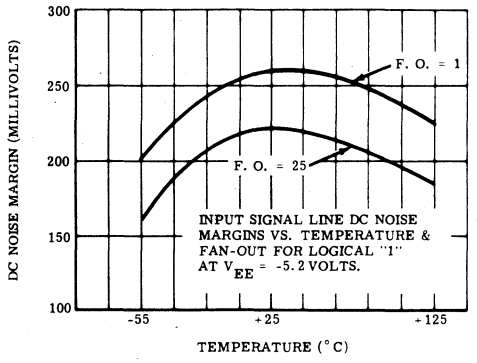


Abb. 0 - 7

Abb. 0-8 zeigt die Gleichstromstörabstände auf der Eingangssignalleitung in mV über der Spannungsversorgung V_{EE} und der Temperatur bei einem fan-out = 1.

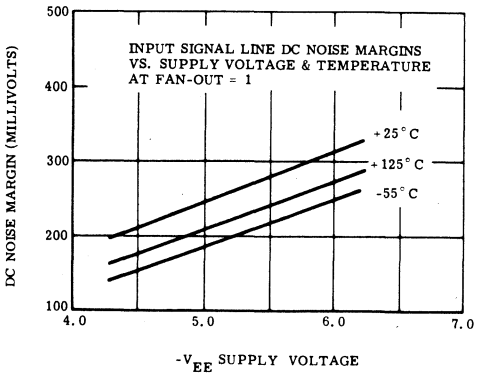


Abb. 0 - 8

Wird die Störspannung in die V_{CC} Versorgungsleitung des zu testenden Gliedes eingekoppelt, so sind die Störabstände etwas besser. Bei Störung auf der V_{EE} Versorgungsleitung ist der Störabstand viermal höher.

Ausführliche Angaben über Störabstände findet man in AN-202.

Da das MECL-Glied einen Differenzverstärkereingang besitzt, interessiert es, die Verstärkung im Gleichtakt- und Differenzbetrieb zu kennen. Um diese Verstärkungen zu messen, ist es erforderlich, einen Eingangstransistor und den Bezugstransistor so vorzuspannen, daß ihr Arbeitspunkt im aktiven Bereich liegt, d. h. daß keiner der beiden Transistoren im Sperr- oder Sättigungsbereich arbeitet. Um die Gleichtaktverstärkung zu messen, werden ein Eingang (z. B. A_2) und V_{BB} miteinander verbunden. (Siehe Abb. 0-1). Eine nominelle Eingangsspannung von -1, 15 V legt den Arbeitspunkt beider Transistoren in die Mitte des aktiven Bereiches. Eine zusätzliche (Meß-) Spannung wird nun an den (freien) Eingang gelegt und die Spannungswerte am NOR- bzw. OR-Ausgang, bezogen auf den gemeinsamen Eingang, aufgenommen.
Am NOR-Ausgang beträgt die Gleichtaktverstärkung etwa 1/9 oder -19 dB und am OR-Ausgang etwa 1/7, 5 oder -17, 5 dB.

Die unterschiedlichen Werte ergeben sich durch die verschieden großen Kollektorwiderstände (270 Ohm und 300 Ohm). Die Verstärkung im Differenzbetrieb wird gemessen, indem man den V_{BB}-Eingang an -1, 15 V legt und eine zusätzliche (Meß-)Spannung deren Mitte (Nullwert) bei -1, 15 V liegt, an einen Eingangstransistor (z. B. A_2) anlegt.

Die Spannung am NOR- und OR-Ausgang wird jetzt auf Masse bezogen gemessen. Die Verstärkung im Differenzbetrieb beträgt am NOR-Ausgang ungefähr 5, 6 oder 14, 5 dB und am OR-Ausgang 6, 0 oder 15, 5 dB. Die Gleichtakteigenschaften der MECL-Eingänge können gut bei der Verwendung als Leitungsempfänger ausgenutzt werden (wie in der Anwendungsnotiz AN-187 beschrieben). Ein verseiltes Leitungspaar, ca. 30 m lang, kann ohne Schwierigkeit von MECL-Schaltkreisen betrieben werden. Die OR- und NOR-Ausgänge eines Gliedes treiben ein Ende der Leitung, während ein anderes Glied mit einem logischen Eingang und dem V_{BB}-Eingang als Differenzverstärker am anderen Ende der Leitung angeschlossen wird. Am Empfängereingang wird die Leitung mit einem Widerstand von etwa 130 Ohm abgeschlossen.

Ein besseres Verständnis für die MECL-Schaltkreise kann auch aus den typischen Kurven (Abb. 0-9, 0-10, 0-11) gewonnen werden. Diese Diagramme beantworten entsprechende Systemplanungsfragen.

Abb. 0-9 zeigt den normierten Leistungsverbrauch eines MECL-Systems in Abhängigkeit von der Temperatur und der Versorgungsspannung, wobei die Kurven auf V_{cc} = -5, 2 V und 25° C normiert sind.

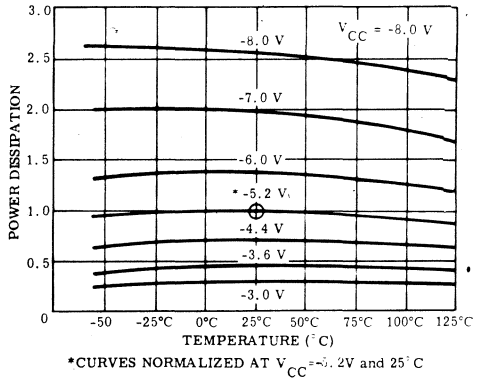


Abb. 0 - 9

Abb. 0-10 zeigt die typischen OR-Übertragungscharakteristiken in Abhängigkeit von der Versorgungsspannung (Ausgangsspannung über Eingangsspannung) bei 25° C.

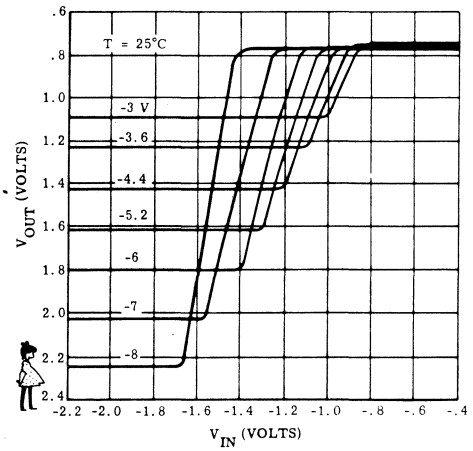


Abb. 0 - 10

Abb. 0-11 zeigt das entsprechende für den NOR-Ausgang, wobei die dem jeweiligen Wert von V_{cc} entsprechenden V_{BB}-Werte noch eingetragen sind.

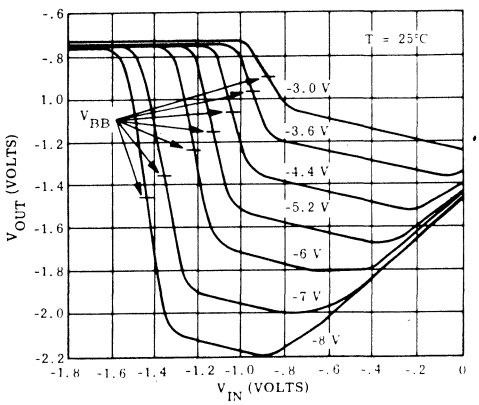


Abb. 0 - 11

ALLGEMEINE ENTWICKLUNGSRICHTLINIEN FÜR MECL

1. Das empfohlene höchste fan-out beträgt bei Wechselstrom (A.C.) 15, bei Gleichstrom (D.C.) 25 Einheits-Eingangslasten. Wegen der Erhöhung der Abfallzeit und der Anstiegszeit bei großem fan-out liegt das A.C. fan-out tiefer. Auch wird bei hohem fan-out und langen Leitungen das Überschwingen, verursacht durch die Leitungsinduktivität, zu einem Problem.

2. Der Referenzspannungstreiber (Bias Driver) schafft ein fan-out bis zu 25 Einheitslasten. Zwei Glieder in einem Gehäuse oder ein Halbaddierer entsprechen der Belastung durch zwei einzelne Glieder.

3. Jeder $\overline{J}$- oder $\overline{K}$-Eingang eines Flipflops entspricht der 1,5 fachen Belastung. Ein $\overline{J}$- und $\overline{K}$-Eingang, die als Takteingang verbunden sind, bilden z.B. eine dreifache Einheitslast. Ein Vorspannungstreiber kann also 5 Flipflops versorgen. Alle anderen Eingänge stellen jeweils eine Einheitslast dar.

4. Werden die Ausgänge von zwei Elementen miteinander in der wired-OR-Schaltung verbunden, so kann dieser gemeinsame Ausgang mit einem maximalen fan-out von 5 betrieben werden. Wird nur ein Element mit vorhandenem Emitterfolgerwiderstand verwendet, dann wirkt jeder weitere durch wired-OR verbundene Ausgang wie eine Einheitslast. Werden zum Beispiel sechs Glieder an einem Emitterfolgerwiderstand zusammengeführt, dann ergibt sich für das fan-out 15-5 = 10.

5. Um zuverlässiges Funktionieren zu gewährleisten, müssen alle nicht benutzten Eingänge an V_{EE} angeschlossen werden. Wie man an der Eingangskennlinie des Gliedes erkennt, ist der Eingangswiderstand bei niedrigem Potential sehr groß. Jeder Leckstrom in den Eingang bzw. jede Schaltkapazität am Eingang wird daher allmählich eine Vorspannung am Eingang erzeugen. Diese kann die Störunempfindlichkeit des Elements beeinflussen oder die Schalteigenschaften bei niedrigen Wiederholfrequenzen beeinträchtigen. Unbenützte, an V_{EE} liegende Eingänge tragen nicht zur Vorspannung bei, und die Störunempfindlichkeit wird nur von den beschalteten Eingängen beeinflußt.

6. Man sollte höchstens drei Eingangsexpander verwenden. Die Elemente MC 306/MC 307, MC 356/MC 357 ermöglichen dann z.B. ein fan-in von 18. Werden mehr als drei Eingangsexpander verwendet, erhöhen sich die Anstiegs- und Abfallzeiten am NOR-Ausgang spürbar wegen der vergrößerten Kapazität am Kollektor des Eingangstransistors. Bei niederen Frequenzen kann ein höheres fan-in ausgenützt werden, wenn die Anstiegs- und Abfallzeiten ohne Bedeutung sind.

7. Jedes Schaltelement benötigt eine externe Referenzspannungsquelle. Ausgenommen sind Elemente mit interner Bezugsspannung wie z.B. MC 312, MC 313, MC 362A, MC 363, MC 369 und die Flipflops.

Die folgende Tabelle enthält alle MECL-Elemente, die in der Standardausführung ab August 1966 erhältlich sind.

Integrierte Schaltkreise

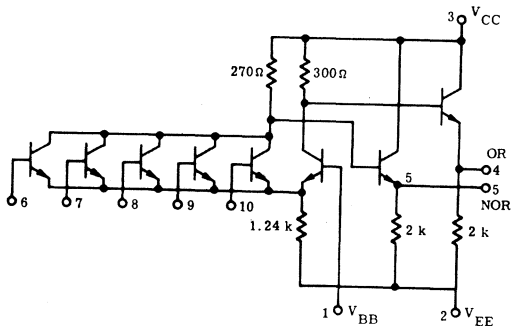
$-55^{o}C$ bis $+125^{o}C$	$0^{o}C$ bis $+75^{o}C$	
MC 301	MC 351	OR-NOR-Glied mit fünf Eingängen
MC 302	MC 352 A	Flipflop mit statischen R-S-Eingängen, Ausgänge gepuffert, Rücksetzeingang erweiterbar
-	MC 352	Flipflop mit statischen R-S-Eingängen, Ausgänge nicht gepuffert, Rücksetzeingang erweiterbar
MC 303	MC 353	Halbaddierer - Summe, Übertrag, NOR
MC 304	MC 354	Referenzspannungstreiber
MC 305	MC 355	Expander mit 5 Eingängen
MC 306	MC 356	Erweiterbares OR-NOR-Glied mit 3 Eingängen
MC 307	MC 357	Wie MC 306, jedoch ohne Emitterfolgerwiderstände
MC 308	MC 358 A	J-K-Flipflop mit statischen R-S-Eingängen und gepufferten Ausgängen
MC 309	MC 359	Zweifach-NOR-Glied mit zwei Eingängen und Emitterfolgerwiderständen
MC 310	MC 360	Zweifach-NOR-Glied mit zwei Eingängen, mit einem Emitterfolgerwiderstand und einem wahlweise
MC 311	MC 361	Zweifach-NOR-Glied mit zwei Eingängen und einem Emitterfolgerwiderstand zur Wahl
MC 312	MC 362	Zweifach-NOR-Glied mit drei Eingängen
MC 312 A	MC 362 A	Zweifach-NOR-Glied mit drei Eingängen, mit Referenzspannungstreiber
MC 313	MC 363 F	Vierfach-NOR-Glied mit zwei Eingängen, mit Referenzspannungstreiber
MC 314	MC 364	J-K-Flipflop mit statischen R-S-Eingängen, mit gepufferten Ausgängen für hohe Verarbeitungsgeschwindigkeit
MC 315	MC 365	Leitungstreiber
MC 316	MC 366	Lampentreiber
MC 317	MC 367	Potentialübersetzer MECL nach DTL
MC 318	MC 368	Potentialübersetzer DTL nach MECL
-	MC 369 G	Zweifach-OR-NOR-Glied als Takttreiber für hohe Verarbeitungsgeschwindigkeit
-	MC 369 F	Zweifach-OR-NOR-Glied als Takttreiber für hohe Verarbeitungsgeschwindigkeit

F bedeutet Flachgehäuse mit 14 Anschlüssen
G bedeutet TO-5 Gehäuse.

DIE MECL-FAMILIE DER INTEGRIERTEN LOGISCHEN SCHALTKREISSYSTEME

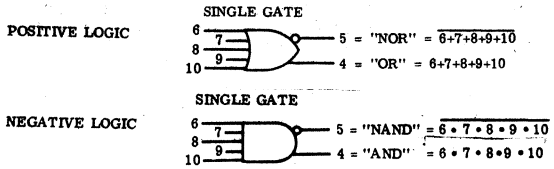
Im folgenden Abschnitt wird jedes logische Element vollständig erklärt. Er enthält, wo notwendig, Schaltbilder, logische Diagramme, logische Gleichungen, Wertetabellen und eine ausführliche Beschreibung eines jeden Schaltkreises.

OR-NOR-GLIED MIT 5 EINGÄNGEN MC 301, MC 351

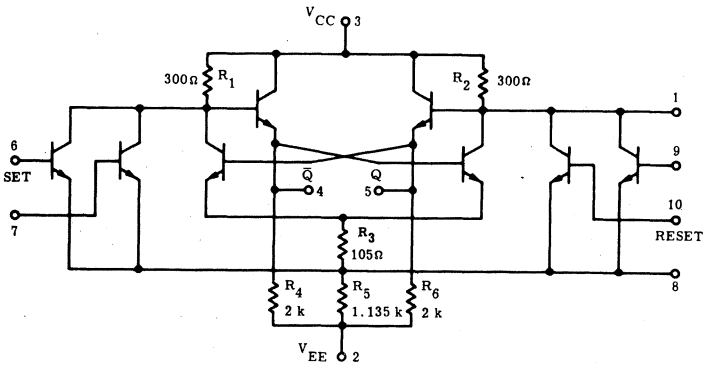


Das Glied mit 5 Eingängen hat die für das TO-5 Gehäuse mit 10 Anschlüssen größte Zahl an Eingängen. Zwei Glieder können ausgangsseitig miteinander verbunden werden (wired-OR).
Bei Bedarf können beide Glieder an den OR- und NOR-Ausgängen miteinander verbunden werden. Das ergibt ein Glied mit den Eigenschaften eines Einzelgliedes, mit einem fan-out von 5, kurzen Abfallzeiten und 10 Eingängen.

Der Nennleistungsverbrauch des Elements MC 301, MC 351 ist 37 mW über dem jeweils zutreffenden Temperaturbereich. Typische Verzögerungszeiten sind 8 ns für Anstieg und Abfall. Wird das fan-out größer als 5, so steigt die Abfallzeit schneller an als die Anstiegszeit.

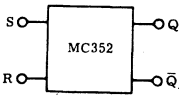


FLIPFLOP MIT STATISCHEN R-S EINGÄNGEN (DC R-S) MC 352



Die Tabelle gilt für positive Logik:

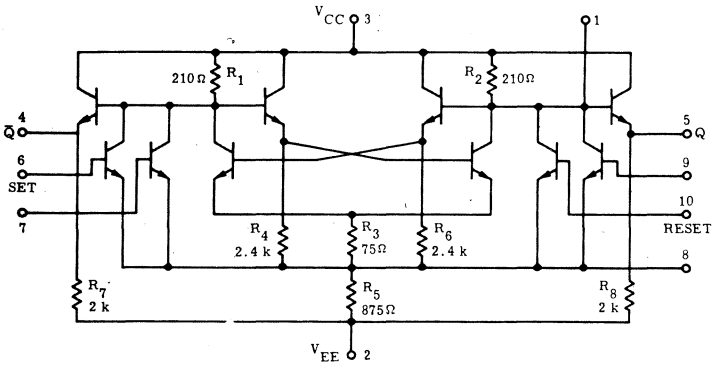
V_H = -0,75 V entspricht logisch "1"
V_L = -1,55 V entspricht logisch "0"
Q^n = Ausgang vor der Ansteuerung
Q^{n+1} = Ausgang nach der Ansteuerung
N.D. = nicht definiert

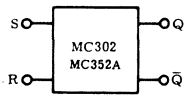


R	S	Q^{n+1}
0	1	1
1	0	0
0	0	Q^n
1	1	N.D.

Das DC R-S Flipflop wird hauptsächlich als Speicherelement benützt. Doppeleingänge ermöglichen die OR-Funktion an den Set- und Reset-Eingängen. Wie im Schaltbild ersichtlich, ist der Reset-Eingang erweiterbar. Wird eine hohe Operationsgeschwindigkeit gefordert, sollten höchstens 2 bis 3 Expander angeschlossen werden, da die zusätzliche Kollektorkapazität die Anstiegs- und Abfallzeiten erhöht. Durch Umbenennen der R- und S-Eingänge und Umschalten der Verdrahtung für Q und $\overline{Q}$ läßt sich auch der Setzeingang expandieren. Für optimalen Betrieb sollten an den Set- und Reset-Eingängen MECL-Potentiale angelegt werden. Anstiegs- und Abfallzeiten an den Eingängen sind, außer bei hoher Operationsgeschwindigkeit, uninteressant. Höchste Folgefrequenz der Setz-Lösch-Vorgänge ist typisch 65 MHz, Durchlaufverzögerung 6,5 ns, Anstiegs- und Abfallzeit 8 ns, Leistungsbedarf 42 mW. Die höchste Setz-Rücksetz-Geschwindigkeit erreicht man bei Eingangsimpulsen mit ungefähr 6 ns Anstiegs- und Abfallzeit und ungefähr 9 ns Impulsweite.

FLIPFLOP MIT STATISCHEN R-S EINGÄNGEN UND GEPUFFERTEN AUSGÄNGEN MC 302, MC 352 A



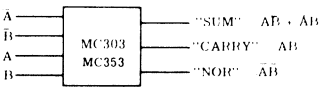


R	S	Q^{n+1}
0	1	1
1	0	0
0	0	Q^n
1	1	N.D.

Die Wertetabelle gilt für positive Logik. Dieses Flipflop unterscheidet sich vom MC 352 nur durch die entkoppelten Ausgänge, es ist sonst im wesentlichen das gleiche. MC 352 ist empfindlich gegen Störspannungen von den Ausgängen, weil sie direkt auf die Basen der bistabilen Transistoren zurückgekoppelt werden. Die Emitterfolger an den Ausgängen von MC 302 und MC 352 A entkoppeln die Ausgänge von den jeweiligen Basen der bistabilen Transistoren. Die vom Ausgang eingekoppelten Störspannungen dürfen bis zu 800 mV betragen.
Folgendes ist zu beachten:
Sind sowohl Set- als auch Reset-Eingang hoch, dann sind beide Ausgänge tief. Gehen danach beide Eingänge gleichzeitig auf "0", dann kommt der Ausgang in eine undefinierte Lage, also entweder "0" oder "1".

Typische Werte: Anstiegszeit 11,5 ns, Abfallzeit 12,5 ns, Durchlaufverzögerung 11 ns, Leistungsbedarf 45 mW. Das Flipflop kann mit maximal 50 MHz umgeschaltet werden. Optimale Eingangsimpulse bei 50 MHz sollten Anstiegs- und Abfallzeit von 6 ns oder weniger und ungefähr 14 ns Impulsweite haben.

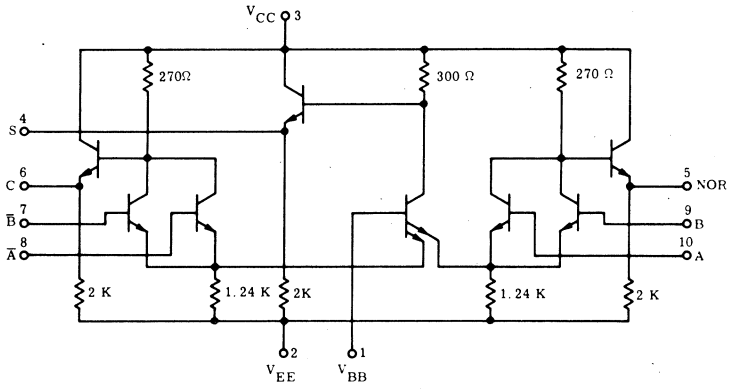
HALBADDIERER MIT DEN LOGISCHEN FUNKTIONEN SUMME, ÜBERTRAG, NOR MC 303, MC 353

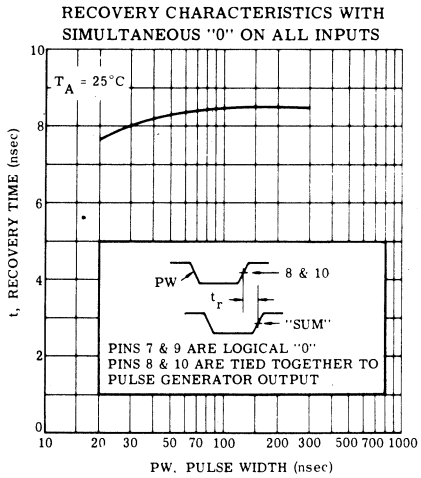


HALF ADDER Truth Table

Pin #	A	B	$\overline{A}$	$\overline{B}$	OUT
	10	9	8	7	4
	Lo	Lo	Hi	Hi	Lo
	Lo	Hi	Hi	Lo	Hi
	Hi	Lo	Lo	Hi	Hi
	Hi	Hi	Lo	Lo	Lo

Die Anschlüsse 7 und 9 sind auf logisch "0", die Anschlüsse 8 und 10 sind zusammen am Ausgang des Impulsgenerators angeschlossen. Der Halbaddierer ist ein oft benutztes Element in der MECL-Serie. Er kann verwendet werden als digitalgesteuerter Inverter, als digitale Vergleichsschaltung und zur Bildung der Funktionen Summe, Übertrag und NOR bzw. Summe und negierte Summe.





Normalerweise liegen zwei Bits und ihre Komplemente am Halbaddierer an, so daß zwei Eingänge immer hoch liegen, wie in der Skizze gezeigt ist. Wenn alle vier Eingänge auf "0" liegen, zieht der V_{BB}-Transistor das Zweifache des normalen Stromes, und der Summenausgang sinkt auf -2,3 V. Dies beschädigt den V_{BB}-Transistor zwar nicht, treibt ihn aber in die Sättigung. Das Diagramm oben zeigt die Erholzeit bei gesättigtem V_{BB}-Transistor bei 25°C. Bei höheren Temperaturen benötigt er noch längere Erholzeiten.

Die Funktionen des Halbaddierers sind die gleichen wie beim Grundelement (Abb. 0-1) mit der einen Ausnahme, daß der Transistor, dessen Basis an V_{BB} liegt, die UND-Funktion erzeugt, nämlich dann, wenn beide Emitter hoch sind. Dann ist auch der SUMME Ausgang hoch.
Aus der Schaltskizze entnimmt man:
Der Kollektor des V_{BB}-Transistors liegt hoch, wenn die Eingänge A und $\overline{B}$ oder $\overline{A}$ und B hoch liegen. Das entspricht der Exklusiv-ODER-Funktion oder der Summe aus A und B. Werden die Ausgänge "Übertrag" (CARRY) und "Negiertes Oder" (NOR) in verdrahteter Oder-Schaltung (wired-OR) verbunden, so wird $AB + \overline{A}\,\overline{B}$ gebildet. Dieser Ausdruck stellt die negierte Summe dar.
Nach den Regeln der Schaltalgebra gilt:

$$\text{SUMME} = A\overline{B} + \overline{A}B$$

$$\overline{\text{SUMME}} = \overline{A\overline{B} + \overline{A}B} = \overline{(A\overline{B})} \cdot \overline{(\overline{A}B)}$$

$$= (\overline{A} + B)\,(A + \overline{B}) = AB + \overline{A}\,\overline{B}$$

Das ist die Funktion des wired-OR-Ausgangs.

Eine interessante Anwendung des Halbaddierers ist der digital gesteuerte Inverter. Die Eingänge sind in derselben Weise wie bei der SUMME-Funktion belegt.

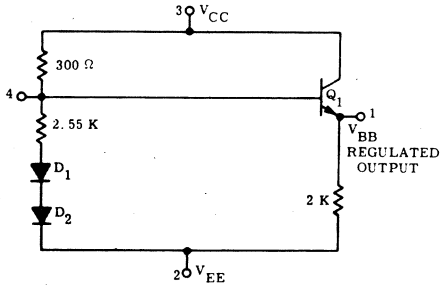
A ist die digitale Information und $\overline{B}$ das Steuerkriterium (Inversion oder nicht Inversion). A erscheint am Ausgang S, wenn $\overline{B}$ hoch ist, und $\overline{A}$ ist an S, wenn B hoch ist. So erhält man auf ein und derselben Leitung A oder $\overline{A}$ in Abhängigkeit von B.

Die typische Durchlaufverzögerung der Schaltung ist bei Zimmertemperatur und einer Ausgangsbelastung durch ein Glied 8 ns für den SUMME-Ausgang und 6 ns für die ÜBERTRAG- und NOR-Ausgänge. Die Anstiegszeiten sind für alle Ausgänge typisch 6,5 ns, die Abfallzeiten für SUMME 8,5 ns und für NOR und CARRY 8 ns. Typischer Leistungsverbrauch ist 65 mW.

In einer digitalen Vergleichsschaltung und einem asynchronen 5-bit-Addierwerk wird der Halbaddierer im letzten Abschnitt dieser Schrift dargestellt.

REFERENZSPANNUNGSTEIBER (BIAS DRIVER) MC 304, MC 354

Der Referenzspannungstreiber liefert eine temperatur- und spannungskompensierte Bezugsspannung für die MECL-Schaltelemente. Jede der drei MECL-Spannungen kann als Schaltungsnull verwendet werden; allerdings muß die Bezugsspannung der Referenzspannungsstufe mit der des logischen Systems übereinstimmen.



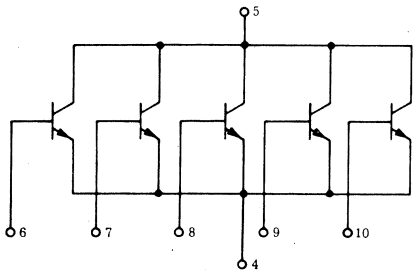
Die Schaltung bietet eine interessante Anwendung, wenn ein Signal über einen Kondensator an Anschluß 4 eingekoppelt wird. Sie transponiert einmal jede beliebige Spannung auf MECL-Potential. Bei 800 mV Spitze-Spitze am Eingang erscheinen am Ausgang 1 die MECL-Standardpegel. Andererseits liegt der Ausgang in der Mitte des aktiven Bereichs eines MECL-Gliedes, wenn am Eingang eine kleine Wechsel- oder Hochfrequenzspannung liegt. Das Glied kann dann als Verstärker verwendet werden.

Man erhält einen einfachen, breitbandigen Differenzverstärker, wenn man zwei Referenzspannungsstufen verwendet, wobei eine an einen normalen Eingang und die andere an den V_{BB}-Eingang eines MECL-Gliedes angeschlossen wird. Die OR und NOR Ausgänge stellen dann einen sehr niederohmigen Differenzausgang dar.

Der Wechselspannungseingangswiderstand einer Referenzspannungsstufe ist 250 Ohm, parallel zu 5 pF, womit eine niederohmige Leitung ziemlich gut abgeschlossen wird. Wenn V_{CC} extrem stark gestört ist, kann der Ausgang durch einen Kondensator zwischen den Anschlüssen 4 und 2 geglättet werden. Typischer Leistungsverbrauch ist 17 mW. Die Referenzspannungsstufe verträgt als fan-out bis zu 25 Einheitslasten.

EXPANDER MIT 5 EINGÄNGEN MC 305, MC 355

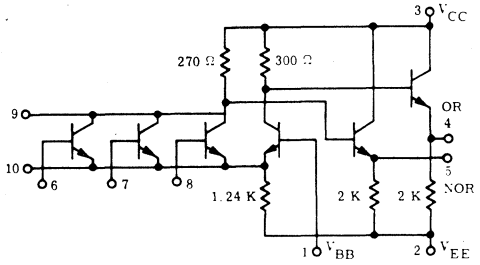
Der Expander wirkt wie ein NOR-Glied mit 5 Eingängen, bezogen auf die Kollektoren, oder wie ein OR-Glied mit 5 Eingängen, bezogen auf die Emitter. Das erfordert einen Widerstand, der die Kollektoren mit einem hohen Spannungswert verbindet, und einem zweiten Widerstand, der die Emitter an ein tiefes Potential legt. Bei hoher Operationsgeschwindigkeit sollten höchstens drei Expander pro Element verwendet werden. Bei mehr als drei Expandern werden die ausgangsseitigen Anstiegs- und Abfallzeiten für den Hochgeschwindigkeitsbereich unzulässig groß.



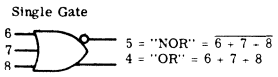
In Verbindung mit einem MECL-Glied ist der Leistungsbedarf eines Expanders vernachlässigbar.

ERWEITERBARES OR-NOR-GLIED MIT 3 EINGÄNGEN MC 306, MC 356

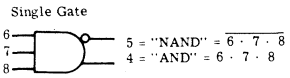
Dieses Glied kann durch MC 305 oder MC 355 auf 18 Eingänge erweitert werden, ansonsten ist die Funktionsweise die gleiche wie die des Grundelementes (Abb. 0-1).



Positive Logik:
Wenn V_H als logisch "1" und V_L als logisch "0" definiert wird, gilt folgende OR-NOR-Funktion:

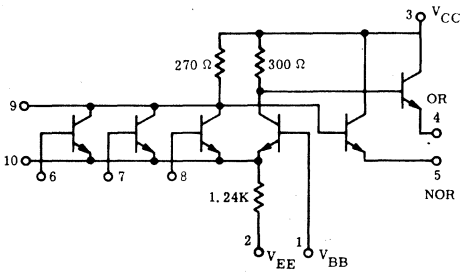


Negative Logik:
Wenn umgekehrt V_H als logisch "0" und V_L als logisch "1" definiert wird, gilt die AND-NAND-Funktion:

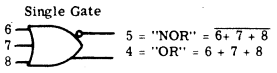


Die Durchlaufverzögerungszeit ist typisch 6,5 ns bei 7 ns Anstiegs- und Abfallzeit. Typischer Leistungsverbrauch ist 37 mW.

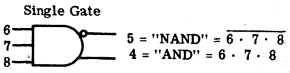
ERWEITERBARES OR-NOR-GLIED MIT 3 EINGÄNGEN OHNE EMITTERFOLGER-WIDERSTÄNDE MC 307, MC 357



Positive Logik:
V_H entspricht logisch "1"
V_L entspricht logisch "0"
OR-NOR-Funktion:



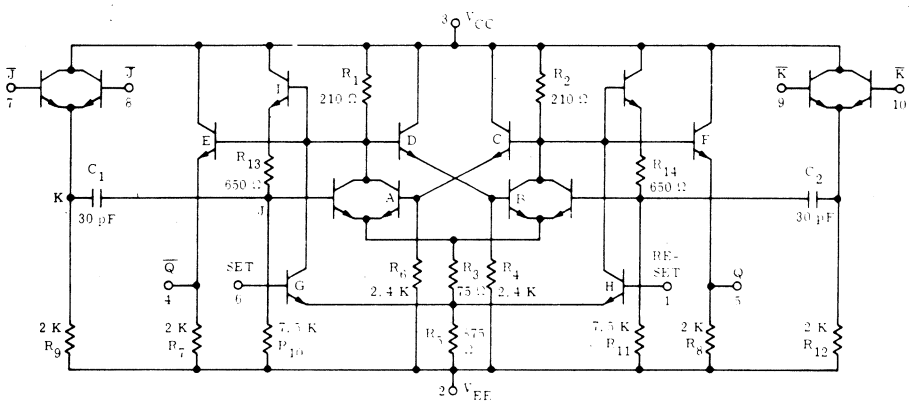
Negative Logik:
V_H entspricht logisch "0"
V_L entspricht logisch "1"
AND-NAND-Funktion:



Dieses Glied entspricht dem MC 306, MC 356, mit der Ausnahme, daß die Emitterfolgerwiderstände an den Ausgängen (pull-down) fehlen, um den Leistungsverbrauch herabzusetzen. Der Nennwert der Durchlaufverzögerungszeit ist 6,5 ns bei 7 ns Anstiegs- und Abfallzeit bei normaler Belastung. Der Ausgang dieses Gliedes kann mit den Ausgängen anderer MC 307, MC 357 und dem eines Gliedes mit Emitterfolgerwiderstand in wired-OR-Schaltung verbunden werden. Das bringt eine erhebliche Leistungseinsparung, da das Glied bei V_{EE} = -5,2 V nur 16 mW verbraucht.

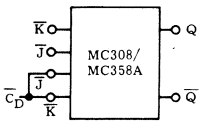
In der oben aufgeführten Schaltungsart wird als maximale Gliederzahl empfohlen: 1 Glied mit einem Emitterfolgerwiderstand, 14 Glieder ohne diesen und der Eingang eines weiteren Gliedes. Mit anderen Worten, das empfohlene maximale fan-out eines Gliedes mit Emitterfolgerwiderständen, wie zum Beispiel MC 301 und MC 306, ist 15, wobei jedes der 14 Glieder mit wired-OR-Anschluß einer Last entspricht. Vom Eingang des letzten Gliedes aus gesehen, ergibt sich dadurch ein fan-out von 1.

J-K FLIPFLOP MIT STATISCHEN R-S-EINGÄNGEN UND GEPUFFERTEN AUSGÄNGEN: MC 308, MC 358 A



Alle unbenutzten Eingänge sollten an V_{EE} gelegt werden.

Wenn V_H als logisch "1" und V_L als logisch "0" definiert wird, ergibt sich bei getaktetem J-K Betrieb folgende Funktion:



Clocked JK Operation

State#	$\overline{J}$	$\overline{K}$	$\overline{C}_D$	Q^{n+1}
1	ø	ø	0	Q^n
2	0	0	1	$\overline{Q}^n$
3	0	1	1	1
4	1	0	1	0
5	1	1	1	Q^n

Die $\overline{J}$- und $\overline{K}$-Eingänge beziehen sich auf logische Potentiale, während der $\overline{C_D}$-Eingang die dynamischen Potentiale des Taktes führt. Die $\overline{J}$- und $\overline{K}$-Eingänge sollten nur nach logisch "1" schalten, während sich der C_D-Eingang im Zustand logisch "1" befindet.
Die Set-Reset-Arbeitsweise ist die gleiche wie die des MC 302.
Die Transistoren A und B sind das Herz (das bistabile Element) des Flipflops. Der Kollektor von B ist über C auf die Basis von A rückgekoppelt, während A über D nach B rückgekoppelt wird. E puffert den Ausgang von A und bildet den $\overline{Q}$-Ausgang, während F den Ausgang von C puffert und Q bildet.

Wenn der Set-Eingang (Anschluß 6) hohes Potential annimmt (-0,75 V), sinkt das Kollektorpotential von G ab und zieht A und D mit. Das Kollektorpotential von B steigt daher und damit wird über C A geöffnet. Der Kollektor von A bleibt auf niedrigem Potential. Das Flipflop ist nun im Zustand "1", d.h. Q hat hohes, $\overline{Q}$ niedriges Potential. Entsprechend setzt hohes Potential oder ein positiver Impuls das Flipflop in den Zustand "0" zurück.
Da entweder die Basis von A oder von B logisch "1"-Potential hat (-0,75 V), haben die Emitter immer -1,50 V (ein Basis-Emitter-Spannungsabfall tiefer). Das Potential am Punkt zwischen R_3 und R_5 ist dann -1,80 V. Für die Set- und Reset-Eingänge besteht dann ein Störabstand von 400 mV, da das "0"-Potential normalerweise -1,55 V ist. Die Set-, Reset-Eingangstransistoren H und G befinden sich bei V_{BE} = 0,65 V im aktiven Bereich.

Der Emitter von I folgt dem Kollektor von A und liefert daher Standard-MECL-Potentiale. Das Potential im Punkt J hat dann angenähert die Werte -1,1 V oder -1,85 V entsprechend des Spannungsteilers aus R_{13} und R_{10}. Die $\overline{J}$-Ein-

gänge 7 und 8 wirken wie Emitterfolger, so daß der Punkt K entweder -1,5 V oder -2,3 V hat. C_1 differenziert das Eingangssignal, wenn es bei $\overline{K}$ ankommt. Ein negativer Hub am Punkt K bewirkt nichts, aber wenn das Potential in K ansteigt, wird ein positiver Impuls auf die Basis des zu A parallelen Transistors gekoppelt. Wenn die Kollektoren des Transistorpaares hoch lagen, werden sie auf den tiefen Potentialwert gebracht, entsprechend der Wirkung eines Set-Impulses. Entsprechend löscht ein positiver Hub am Kondensator C_2 das Flipflop.
Die Anstiegszeit am Eingang muß unter einem bestimmten Wert liegen, damit genügend Ladung in den Kondensator fließen kann, so daß das Flipflop geschaltet wird. Die Kippfrequenz des Flipflops wird durch die von C_1 und C_2 bestimmten, internen Zeitkonstanten begrenzt. Wenn einer der $\overline{J}$-Eingänge hohes (statisches) Potential hat, sperrt er einen positiven Hub am anderen $\overline{J}$-Eingang, d.h. es wird kein Impuls in das Flipflop eingekoppelt, außer dieser positive Hub ist übermäßig groß, wie beispielsweise beim Schwingen der Eingangsleitung. Wenn Unterschiede in den logischen Potentialen und ein Überschwingen sich länger als 10 ns lang zu 250 mV addieren, dann kann das Flipflop fälschlicherweise gesetzt werden. Für die Grenzfallbemessung über extremen Temperaturbereich sollte das Überschwingen bei maximal 100 mV liegen. Beachte: Das Überschwingen beim MC 369.

Die Eingänge des "klassischen" J-K Flipflops werden mit J, K und C benannt. Es ist während der Takthälfte mit dem niederen Potential anzusteuern. Das MECL-Flipflop arbeitet entgegengesetzt: hohe Potentiale an den Eingängen sperren ankommende Signale, und positive Taktflanken takten das Flipflop. Die MECL-Potentiale sind allgemein vorzuziehen, da positive Logik üblicher ist als negative Logik.

Aus der Wertetabelle und dem logischen Diagramm für getakteten $\overline{J}$-$\overline{K}$-Betrieb kann entnommen werden, daß sich eine dynamsiche "0" oder negative Taktflanken auf das Flipflop nicht auswirken, wenn die anderen $\overline{J}$ und $\overline{K}$ Eingänge ein statisches Potential haben. Wenn $\overline{C}_D$ und $\overline{K}$ niedriges Potential haben und $\overline{J}$ hohes Potential annimmt, wird der Ausgang Q auf logisch "1" gesetzt. Entsprechend wird der Ausgang auf logisch "0" gesetzt, wenn $\overline{C}_D$ und $\overline{J}$ tief liegen (niedriges Potential haben) und $\overline{K}$ hoch läuft (hohes Potential annimmt). Bei normal getaktetem Betrieb liegen an $\overline{J}$ und $\overline{K}$ statische Potentiale, die nur bei gesperrtem Flipflop ($\overline{C}_D$ hoch) geändert werden.

Das Symbol ∅ in der Wertetabelle bezeichnet das statische Potential "1" oder "0". Der Zustand 1 in der Wertetabelle gibt an, daß der Flipflopausgang Q zur Zeit t = n+1 den gleichen Zustand hat wie bei t = n, wenn die Taktflanke zwischen t = n und t = n+1 negativ war. Im Zustand 2 sind weder $\overline{J}$ noch $\overline{K}$ gesperrt, und der Takt kippt das Flipflop, d.h. zur Zeit t = n+1 ist das Flipflop in der, verglichen mit der Lage während t = n, entgegengesetzten Lage. Im Zustand 3 ist der $\overline{K}$-Eingang gesperrt, und eine "1" wird in das Flipflop geschiftet. Entsprechend wird im Zustand 4 eine "0" in das Flipflop geschiftet. Im Zustand 5 sind beide Eingänge gesperrt, und das Flipflop wird seinen Zustand erst dann ändern, wenn ein Set- oder ein Reset-Impuls auftritt. Impulse an den Set-Reset-Eingängen haben Vorrang vor den Impulsen an den $\overline{J}$-$\overline{K}$-Eingängen, wie man aus dem Schaltbild ersieht. Während das Set- oder Reset-Eingangspotential hoch ist ("1"), kann bei einem nicht unterdrückten Taktimpuls ein Impuls mit 20 ns Impulsweite und etwa 400 mV Impulshöhe am Flipflopausgang auftreten.

MC 358, MC 358 A EIGENSCHAFTEN

Wie bei jedem J-K Flipflop, ist auch bei MC 308 und MC 358 A eine Mindestzeit vorgeschrieben, während der der Takt tiefes Potential haben muß, um das Kippen zu gewährleisten. Diese Zeit wird in erster Linie von der Entladezeitkonstante aus R_9 und C_1 festgelegt. Ihr Nennwert ist 60 ns. Der Abstand zwischen zwei positiven Impulsen im Punkt K muß bei Berücksichtigung der ungünstigsten Bedingungen mindestens 29 ns betragen, damit beim zweiten positiven Spannungsanstieg genug Ladung in den Kondensator transportiert wird und das Flipflop mit Sicherheit kippt. Die garantierte Mindestkippfrequenz am Eingang des Flipflops ist 15 MHz. Dabei beträgt der Spannungshub 800 mV, die Anstiegs- und Abfallzeiten sind 9 ns und die Zeit, während der der Eingang weniger als 50 % des Gesamthubes hat (sich im Bereich der logischen "0" befindet), ist 29 ns. Die typische Kippfrequenz liegt über 20 MHz, wenn das Flipflop von einem Element mit kurzen Anstiegs- und Abfallzeiten angesteuert wird. Die maximale Kippfrequenz ist stark von der Anstiegszeit und der Amplitude des Taktes abhängig. Diese Abhängigkeit beruht auf der Empfindlichkeit des Flipflops, die mit der Anstiegszeit des Eingangssignals variiert. Die Flipflop-Daten werden im folgenden Abschnitt in Diagrammen dargestellt. Typische Durchlaufzeit ist 7 ns, die Nennwerte für Anstiegs- und Abfallzeit betragen 7 ns bzw. 8 ns. Bei V_{EE} = -5,2 V ist der Leistungsverbrauch etwa 85 mW.

ERLÄUTERNDE KURVEN ZU DEN MECL-FLIPFLOPS

Die folgenden Angaben helfen dem Entwickler, die Kennlinien der Flipflops zu verstehen. Man erkennt, daß die typischen Werte viel besser sein können als die für den Grenzfall angegebenen. Sie sind auch in der Tat um ungefähr 30 % besser. So ist z.B. die Streuung der Kennwerte weit genug, so daß einige MC 314 Flipflops bei kleinen Anstiegs- und Abfallzeiten noch bei 50 MHz zuverlässig kippen. Die Kurven bedürfen keiner weiteren Erklärung. Sie enthalten die Prüfbedingungen für Kenndaten, die in den Abbildungen I bis V wiedergegeben sind.

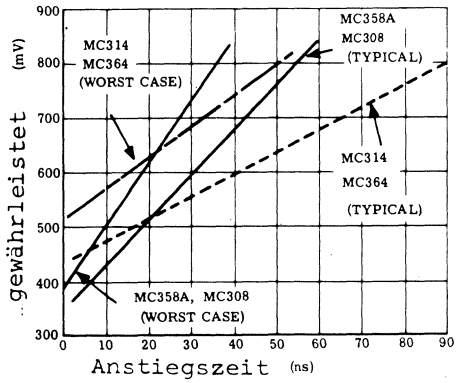


Abb. I - Amplitude in Abhängigkeit von der Anstiegszeit, damit Kippen mit Sicherheit erfolgt

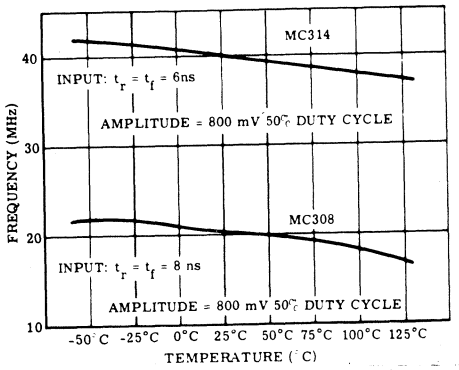
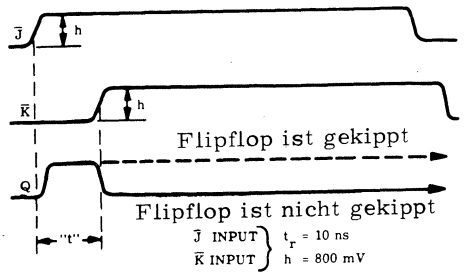
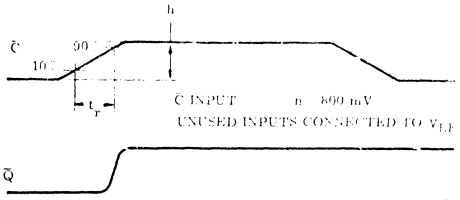


Abb. II - Typische Kippfrequenz in Abhängigkeit von der Temperatur



"t" = erlaubte Zeit, wenn das Flipflop nicht kippen soll



t_r = größte Anstiegszeit, bei der das Flipflop noch kippt.

90 % der Elemente kippt bei Anstiegszeiten, die gleich oder kürzer als die angegebenen sind.

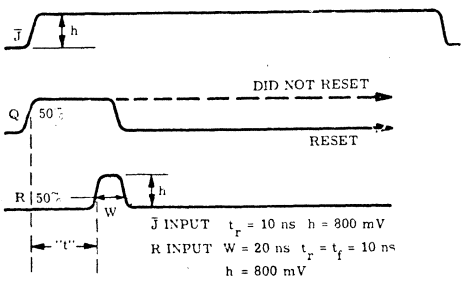
FLIP FLOP	-55°C	0°C	25°C	75°C	125°C
MC314	60ns		70ns		90ns
MC364		60ns	70ns	85ns	
MC308	40ns		45ns		70ns
MC358A MC358		40ns	45ns	50ns	

Anmerkung: Für den Grenzfall muß t_r folgendermaßen gewählt werden:

MC314, MC364: $t_r < 50$ns @ 800mV

MC308, MC358A: $t_r < 35$ns @ 800mV

Abb. III - Maximale Anstiegszeit für den Kipptest.



"t" = die zum Zurücksetzen erforderliche Zeit. Unbenutzte Eingänge werden auf V_{EE} geschaltet.

Höchstwerte mit 90 % Zuverlässigkeit

FLIP FLOP	-55°C	0°C	25°C	75°C	125°C
MC314	2ns		1ns		1ns
MC364		6ns	3ns	7ns	
MC308	22ns		13ns		33ns
MC358A		18ns	9 ns	22ns	

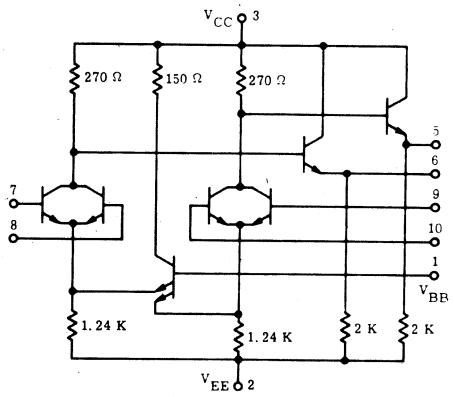
Abb. IV - maximale Zeit für den Rücksetztest.

Höchstwerte mit 90 % Zuverlässigkeit

FLIP FLOP	-55°C	0°C	25°C	75°C	125°C
MC314	20 ns		21 ns		16 ns
MC364		30 ns	32 ns	35 ns	
MC308	30 ns		33 ns		41 ns
MC358A		20 ns	21 ns	26 ns	

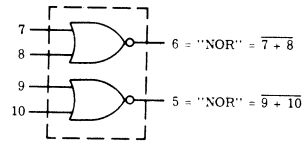
Abb. V - Maximale Zeit für den Haltetest

ZWEIFACH-NOR-GLIED MIT JE ZWEI EINGÄNGEN UND AUSGANGSWIDERSTÄNDEN MC 309, MC 359



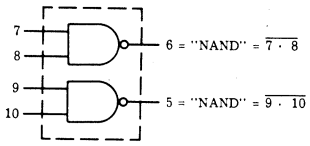
Positive Logik

Wenn V_H als logisch "1" und V_L als logisch "0" definiert wird, ergibt sich folgende "NOR"-Funktion:



Negative Logik

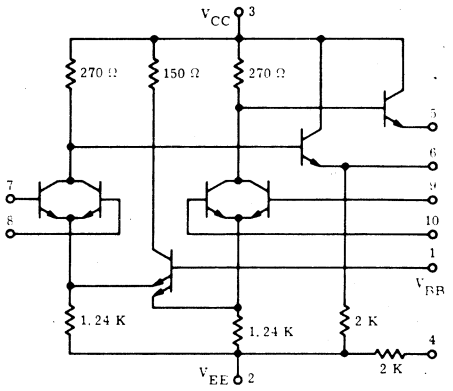
Wird dagegen V_H als logisch "0" und V_L als logisch "1" definiert, ergibt sich die "NAND"-Funktion:



Die Verwendung des Zweifach-NOR-Gliedes wird normalerweise eine geringere Gehäusezahl, d.h. eine kleinere Gesamtzahl der in einem System verwendeten integrierten Bauelemente zur Folge haben. Zu beachten ist, daß der Vergleichsspannungseingang, Anschluß 1, wegen des Zweifachemitters auch zwei Eingangslasten entspricht. Typische Durchlaufverzögerung ist 7 ns mit 6 ns Anstiegszeit und 7,5 ns Abfallzeit bei 25°C. Der Nennleistungsverbrauch beträgt 55 mW.

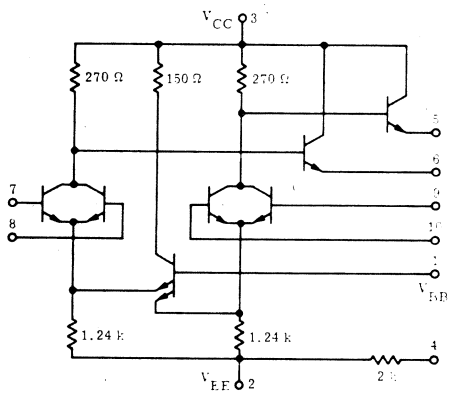
ZWEIFACH-NOR-GLIED MIT JE ZWEI EINGÄNGEN, EINEM FESTEN AUSGANGS-WIDERSTAND UND EINEM WAHLWEISE

(Definition der Positiven und Negativen Logik wie bei MC 309, MC 359)



Dieses Glied entspricht MC 309, MC 359, mit der Ausnahme, daß der Ausgang am Anschluß 4 die Wahl eines Ausgangswiderstandes erlaubt oder eine Leistungseinsparung am Anschluß 5 ermöglicht. Ist Anschluß 5 mit Anschluß 4 verbunden, so beträgt der typische Leistungsverbrauch 55 mW, ohne den Ausgangswiderstand ist er nur 43 mW. V_{EE} ist dabei -5,2V. Typische Durchlaufverzögerung ist 7 ns. Die Nennwerte für Anstiegs- und Abfallzeit sind bei Zimmertemperatur 6 ns und 7,5 ns.

ZWEIFACH-NOR-GLIED MIT JE ZWEI EINGÄNGEN, EIN AUSGANGSWIDERSTAND ZUR WAHL. MC 311, MC 361

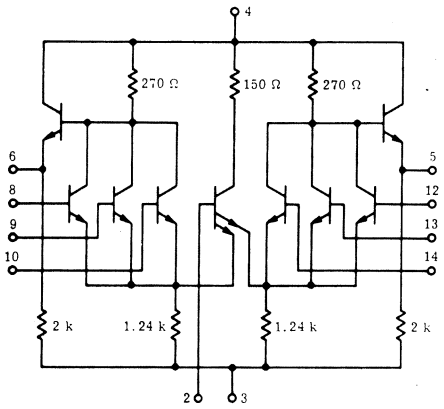


Diese Glied läßt sich vorteilhaft dort verwenden, wo die in einer wired-OR-Schaltung verbundenen Ausgänge eine Einsparung darstellen. Normalerweise sind beide Ausgänge ohne Ausgangswiderstand, was den Nennleistungsverbrauch auf 31 mW verringert. Wenn der Ausgangswiderstand am Ausgang 4 verwendet wird, dann erhöht sich der Nennverbrauch auf 43 mW. Zu beachten sind die Regeln über die wired-OR-Schaltung, die auf einer früheren Seite unter dem Kapitel Allgemeine Entwicklungsrichtlinien für MECL zu finden sind. Der typische Wert der Durchlaufverzögerung ist 7 ns mit 6 ns Anstiegs- und 7,5 ns Abfallzeit bei Zimmertemperatur.

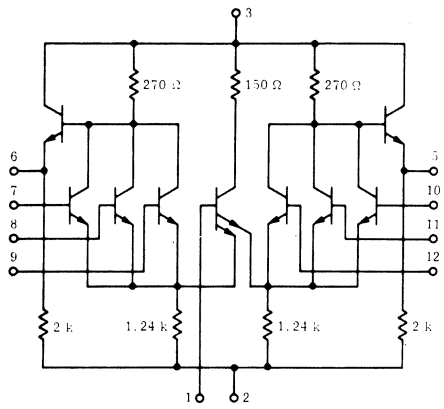
Positive und negative Logik wie bei MC 309.

ZWEIFACH-NOR-GLIED MIT 3 EINGÄNGEN. MC 312, MC 362

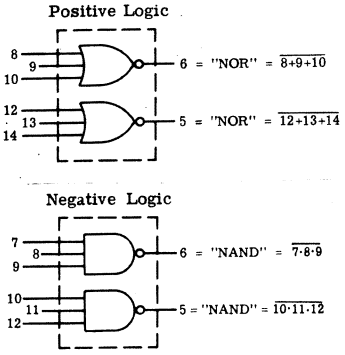
MC312F, MC362F



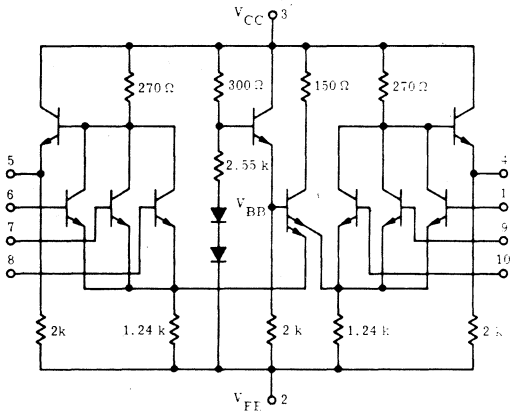
MC312G, MC362G



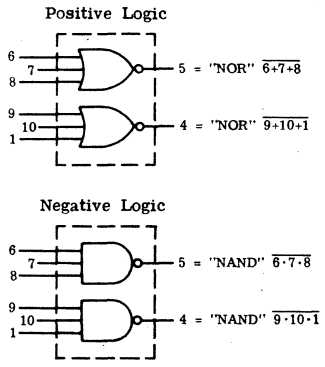
Diese Schaltkreise werden überall da bevorzugt, wo Glieder mit 3 Eingängen eine Einsparung bringen. Das F - Modell ist im Flachgehäuse mit 14 Anschlüssen zu erhalten, das G-Modell hat ein TO-5 Gehäuse mit 12 Anschlüssen. Der typische Leistungsverbrauch ist 55 mW. Der Nennwert der Verzögerungszeit ist 7 ns bei ausgangsseitigen Anstiegs- und Abfallzeiten von ungefähr 7 ns.



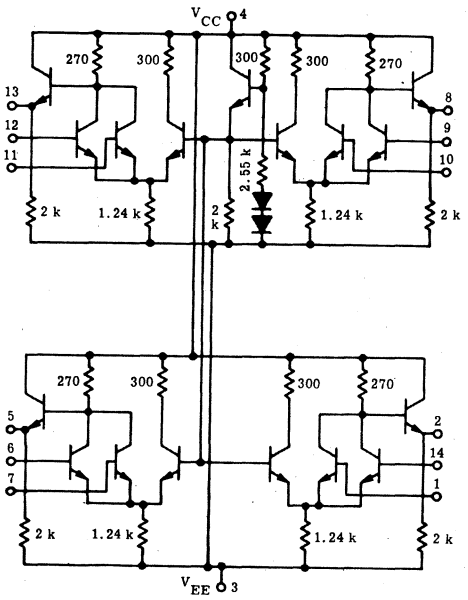
ZWEIFACH-NOR-GLIED MIT 3 EINGÄNGEN UND REVERENZSPANNUNGSTREIBER: MC 312 A, MC 362 A



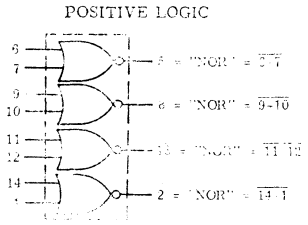
Das MC 312 A, MC 362 A ist im wesentlichen das gleiche wie das MC 312, MC 362 mit der Ausnahme, daß der Vergleichsspannungstreiber auf demselben Halbleiterplättchen enthalten ist. Deshalb kann der Schaltkreis in einem TO 5 Gehäuse mit 10 Kontakten untergebracht werden. Typische Werte sind:
Leistungsverbrauch 72 mW, Durchlaufverzögerung 8,5 ns, Anstiegs- und Abfallzeit 9 ns.

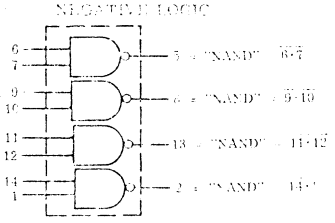


VIERFACH-NOR-GLIED MIT JE 2 EINGÄNGEN UND VERGLEICHSSPANNUNGSTREIBER MC 313 F, MC 363 F

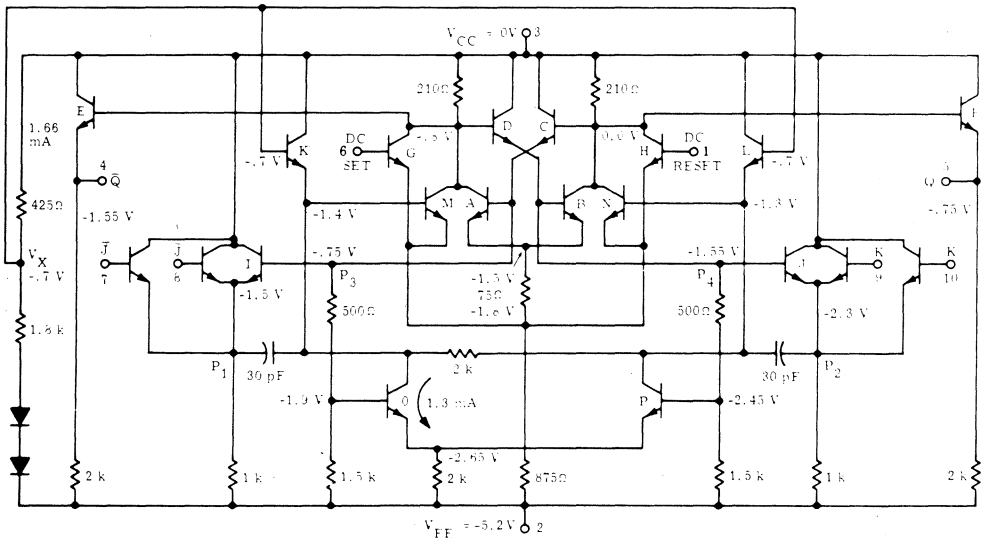


Das MC 313 F ist nur im Flachgehäuse erhältlich, weil der TO-5-Aufbau in seinen Anschlüssen gewissen Beschränkungen unterliegt. Dieses Element für mehrere Funktionen läßt sich vorteilhaft dort verwenden, wo die Anzahl der Gehäuse in einem System verringert werden soll. Typischer Leistungsverbrauch ist 125 m W, der Nennwert der Laufzeit ist 7 ns, mit 6 ns Anstiegs- und 7,5 ns Abfallzeit. Durch den eingebauten Vorspannungstreiber wird nicht nur ein Anschlußkontakt eingespart, sondern auch die Störunempfindlichkeit wird wesentlich erhöht, da der Vorspannungstreiber eine gleichbleibende Belastung hat.





J-K FLIPFLOP MIT STATISCHEN R-S-EINGÄNGEN UND GEPUFFERTEN AUSGÄNGEN FÜR HOHE GESCHWINDIGKEIT. MC 314, MC 364



MC 314, MC 364 enthält 20 Transistoren und zwei Sperrschichtkondensatoren in einer Anordnung, die für hohe Verarbeitungsgeschwindigkeit ausgelegt ist und bei Zimmertemperatur eine Mindestkippfrequenz von 30 MHz garantiert. Die typische Kippfrequenz bei Zimmertemperatur ist 40 MHz. Typische Kennwerte sind: Leistungsverbrauch 115 mW, Anstiegszeit 13 ns, Abfallzeit 12 ns.

Das Schaltbild gibt die Nennwerte der Potentialverteilung im Flipflop für den Zustand "1" an, d.h. Q= -0,75 V. Die Transistoren A bis H arbeiten auf die gleiche Weise wie bei MC 308, MC 358 A. A und B bilden das bistabile Element mit der Rückkopplung über D und C. Der Transistor G setzt das Flipflop auf "1", H setzt es auf "0". Die Transistoren E und F puffern die Ausgänge um zu verhindern, daß äußere Störquellen in das Flipflop eingekoppelt werden. Der Transistor I ist durchgeschaltet und legt damit den Punkt P_1 auf -1,5V. Damit kann der $\overline{J}$-Eingang den Zustand des Flipflop nicht beeinflussen. Hohes Potential am $\overline{J}$-Eingang hat dann keine Wirkung, da P_1 schon auf -1,5V liegt.

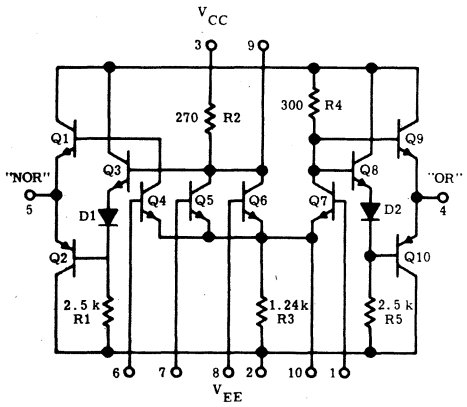
Wird ein $\overline{K}$-Eingang mit einem positiven Impuls angesteuert, dann wird über den 30 pF-Kondensator Ladung eingekoppelt, die den Emitter von L auf etwa -0,9V anhebt. Durch N, der vorwärts vorgespannt ist, wird L auf diesem Potential gehalten, und das Flipflop kippt. Sobald das Flipflop kippt, wird P_4 von -1,55V auf -0,75V angehoben, und der konstante Strom (1,3 mA) wird von Transistor 0 auf Transistor P umgeschaltet. Dieser konstante Strom entlädt den 30 pF Kondensator in ungefähr 10 ns.

Daher kann das Flipflop schon sehr bald nach einem Eingangsimpuls auf $\overline{J}$ oder $\overline{K}$ gesetzt oder zurückgesetzt werden. Der Grund dafür ist das schnelle Entladen des Kondensators. Der 30 pF Kondensator und der 1k Ohm Widerstand bilden außerdem eine Zeitkonstante, durch die ein Mindestwert für die Dauer der negativen Halbwelle des Taktes festgelegt wird. Bei einer 30 ns Zeitkonstanten dauert es ungefähr 8 ns, von -1,5V auf -2,3V zu entladen. Deshalb muß der Takt mindestens 10 ns lang unter der 10 % Marke, bezogen auf seinen Gesamthub, sein. Die Spannung V_X wird intern erzeugt. Damit wird der Gleichlauf mit den MECL-Potentialen bei Temperatur- und Versorgungsspannungsschwankungen gewährleistet. Die Transistoren K und L sind nur sehr wenig aufgesteuert. Je nach dem Zustand des Flipflops liefert einer von beiden den Strom für die Stromquelle, die von den Transistoren 0 und P und dem 2k Ohm-Widerstand nach V_{EE} gebildet wird. Der 2k Ohm-Widerstand zwischen den Kollektoren ermöglicht einen Stromfluß von 50 μ A für den Transistor K oder L, der nicht den 1,3 mA Strom führt.

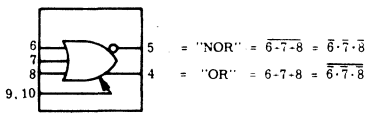
Das logische Konzept ist identisch mit dem des MC 308, MC 358A. Außer der maximalen Kippfrequenz weisen die elektrischen Kennwerte noch einige andere Abweichungen auf. Sie werden in dem Abschnitt behandelt, der die Flipflopdiagramme enthält.

Die Gleichspannungspotentiale zeigen den "1"-Zustand des Flipflops.

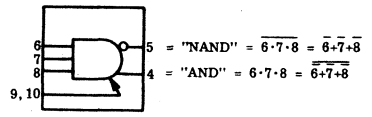
LEITUNGSTREIBER UND KAPAZITÄTSTREIBER: MC 315, MC 365



Positive Logik: gleichzeitiges OR und NOR; V_H ist als logisch "1" definiert, V_L als logisch "0".



Negative Logik: gleichzeitiges AND und NAND; V_H ist als logisch "0" definiert, V_L als logisch "1".



Das MC 315, MC 365 läßt sich immer dann sehr vorteilhaft anwenden, wenn digitale Information mit hoher Geschwindigkeit über große Entfernungen mit nur sehr geringer Dämpfung übertragen werden soll, ohne daß dabei Störspannungen eingekoppelt werden dürfen. Die Dämpfung auf einem Koaxialkabel mit 50 Ohm Wellenwiderstand oder mehr ist beim Betrieb mit diesem Schaltkreis nur von den Leitungsverlusten abhängig. Auch hohe Kapazitätswerte können mit guten Anstiegs- und Abfallzeiten betrieben werden.

Das Element ist ein OR-NOR-Glied mit drei Eingängen. Die Referenzspannung wird normalerweise am Anschluß 1 zugeführt. Nicht benutzte Eingangsanschlüsse werden an -5,2V gelegt. Die Ausgangsanschlüsse 4 und 5 enthalten aktive Schaltungen, mit denen die Last sowohl auf logisch "1" angehoben als auch auf logisch "0" heruntergezogen wird. Bei einer logischen "1" am Ausgang (-0,75V) wird der NPN Ausgangstransistor geöffnet, der mit dem kleinen Ausgangswiderstand eines Emitterfolgers die Leitungskapazität auflädt. Der sehr kleine Ausgangswiderstand des PNP Emitterfolgers entlädt die Leitungskapazität.

Der maximale Leistungsverbrauch liegt bei 240 mW, wenn beide Ausgänge belastet sind. Um dabei höchst mögliche Zuverlässigkeit zu erreichen, ist eine maximale Gehäusetemperatur von 125°C und nicht eine Umgebungstemperatur von 125°C einzuhalten. Wird nur ein Ausgang belastet (50 Ohm gegen Masse), ist der maximale Leistungsverbrauch 170 mW. Bei Verringerung der Einzellast auf 100 Ohm sinkt der Leistungsbedarf weiter auf 110 mW.

Bei 50 Ohm und 1 nF Belastung gegen Masse ist die typische Duchlaufverzögerung bei Zimmertemperatur 16 ns, wobei Anstiegs- und Abfallzeiten ungefähr 20 ns betragen. An einem 50 Ohm Koaxialkabel, das mit 50 Ohm abgeschlossen ist, ist die Anstiegszeit typisch 15 ns und die Abfallzeit 20 ns bei einer Durchlaufzeit von ungefähr 14 ns.

Wenn der Schaltkreis als Kapazitätstreiber verwendet wird, dann hängen Anstiegs- und Abfallzeiten am Ausgang und die Durchlaufverzögerungszeit von der Größe der Kapazität ab. Typische Diagramme über diese Abhängigkeit sind in den Bildern A bis D dargestellt. In Serie zum Lastkondensator liegt ein 10 Ohm Widerstand, der ein Überschwingen oder ein gedämpftes Einschwingen verhindert. Der 10 Ohm Widerstand dämpft den LC-Serienkreis, der durch die Zuleitungsinduktivität und die Schaltkapazität gebildet wird. Ohne den Widerstand kann das Überschwingen in Abhängigkeit von der Kapazität bis zu 300 mV betragen. Weitere Informationen über das Ansteuern von Leitungen mit MECL Ausgangssignalen sind in der Anwendungsbroschüre AN-187 enthalten.

In Abb. E werden Anstiegs- und Abfallzeit und die Durchlaufverzögerung definiert.

Abb. A - OR: Typ. Durchlaufzeit td_1
(negativ - negativ)

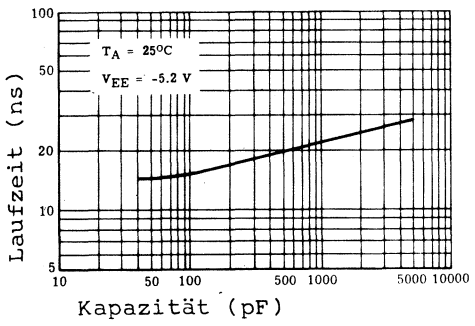


Abb. B-Typ, Anstiegszeit in Abhängigkeit von der Kapazität

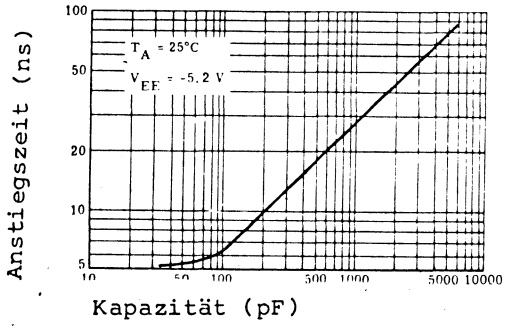


Abb. C-OR: Typ. Durchlaufzeit td_2
(positiv - positiv)

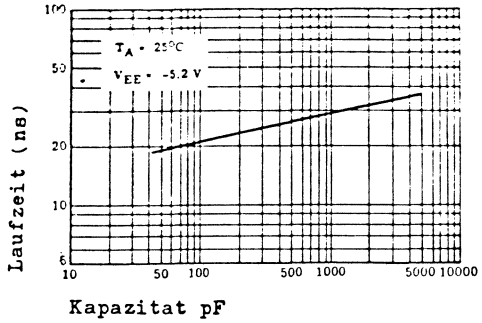


Abb. D - Typ. Abfallzeit in Abhängigkeit von der Kapazität

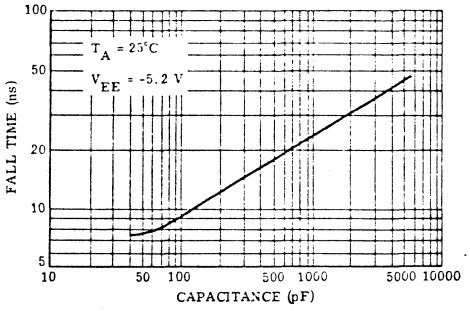
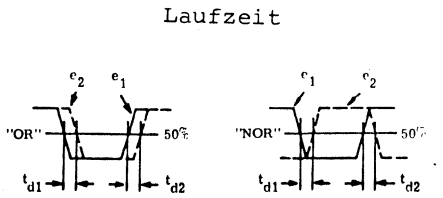


Abb. E - Anstiegs-, Abfall- und Verzögerungsintervalle



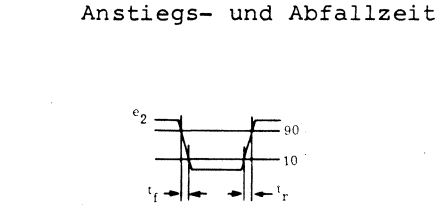
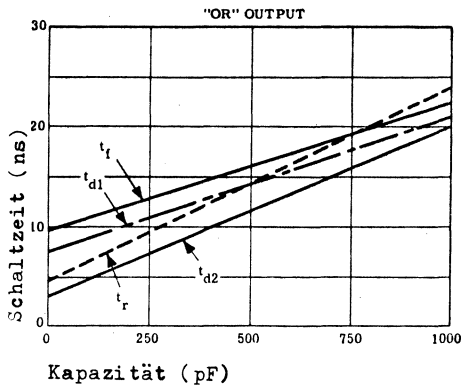


Abb. F - Schalteigenschaften des MC 315, MC 365



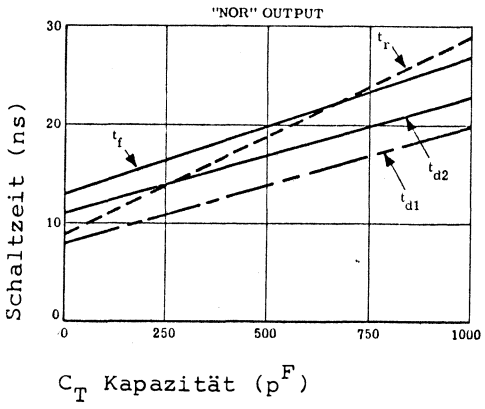
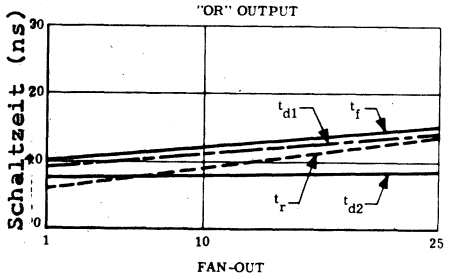
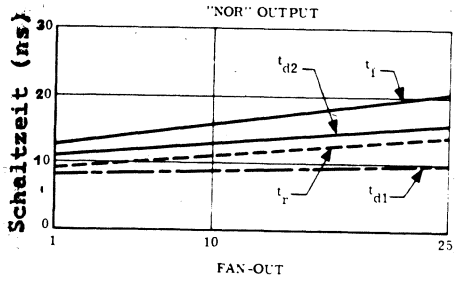


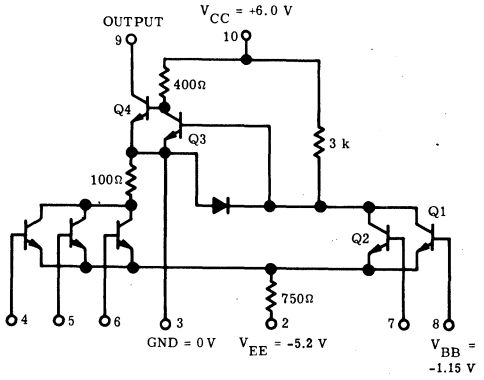
Abb G - Typ. Schalteigenschaft des MC 315, MC 365



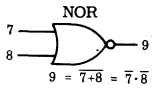


Die Abbildungen F und G zeigen Anstiegs- und Abfallzeiten des Ausgangssignals und die Durchlaufzeiten.

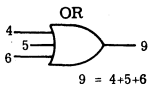
LAMPENTREIBER MC 316, MC 366



Wenn V_{BB} an den Anschlüssen 7 oder 8 zugeführt wird, und als Eingang die Anschlüsse 4, 5 und 6 benutzt werden, ergibt sich folgende Logik:



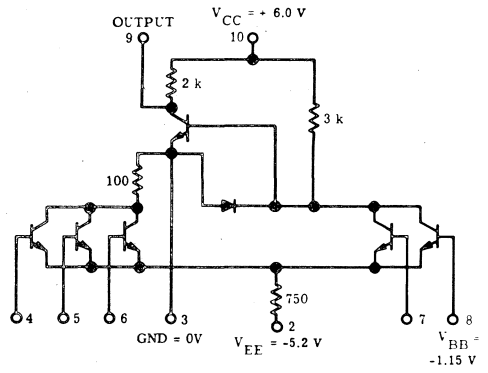
Wenn V_{BB} an den Anschlüssen 4, 5 oder 6 zugeführt wird, und als Eingang die Anschlüsse 7 und 8 benutzt werden, ergibt sich folgende Logik:



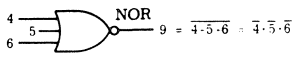
Der Lampentreiber arbeitet wie ein normales Element mit Ausnahme des Ausgangsteils, der in gesättigter Logik aufgebaut ist. Der Strom durch den 3k Ohm Widerstand fließt entweder durch die Basis von Q_3 oder durch die Transistoren Q_1 und Q_2. Der Transistor Q_4 schaltet eine Lichtanzeige ein oder aus. Die Diode ist notwendig, wenn das Glied als schneller Schalter benutzt wird; sie verhindert dann Sättigung in Q_1 und Q_2.

Q_4 zieht maximal 100 mA bei 25°C und 50 mA bei 125°C. Die max. V_{sat} beträgt 1,0 V bei 100 mA. Für V_{CC} zwischen 4 V und 6 V ist bei 100 mA die typische V_{sat} etwa 0,75 V. Bei 6 V und 100 mA Laststrom ist der maximale Leistungsverbrauch 235 mW.

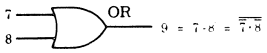
POTENTIALÜBERSETZER MECL NACH DTL:
MC 317, MC 367



Wenn V_{BB} an den Anschlüssen 7 oder 8 zugeführt wird und als Eingang die Anschlüsse 4, 5 oder 6 benutzt werden, ergibt sich folgende Logik:



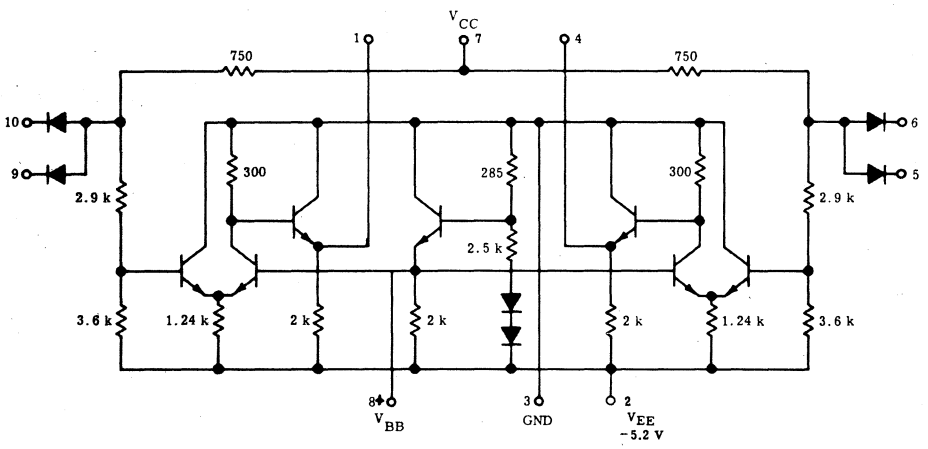
Wenn V_{BB} an den Anschlüssen 4, 5 oder 6 zugeführt wird und als Eingang die Anschlüsse 7 und 8 benutzt werden, ergibt sich folgende Logik:



Die wichtigste Funktion dieses Gliedes ist, als schnelle Koppelelektronik die MECL Potentiale in solche der gesättigten Logik umzusetzen. Die Arbeitsweise ist die gleiche wie beim MC 316, MC 366 Lampentreiber, nur daß hier der Ausgangstreiber fehlt.

Die maximale Sättigungsspannung ist bei 10 mA Laststrom und 25 °C mit 0,45 V angegeben, während sie typisch 0,25 V beträgt. Die Ausgangsspannung bei fehlender Last ist nahezu V_{CC}. Die Ein- und Ausschaltzeiten sind maximal 30 ns bzw. 35 ns. Der Leistungsverbrauch ist über den gesamten Temperaturbereich im schlimmsten Fall 75 mW.

POTENTIALÜBERSETZER DTL NACH MECL: MC 318, MC 368



Aus den logischen DTL - Potentialen ("0" = 0,4 V, "1" = 5,o V) erhält man die MECL-Potentiale ("0" = -1,55 V, "1" = -o,75 V)

Dieses Element wird immer dann verwendet, wenn eine schnelle Potentialübersetzung von gesättigter Logik auf MECL verlangt wird. Die Ein- und Ausschaltzeit liegt bei 15 ns, die Nennwerte von Anstiegs- und Abfallzeit am Ausgang betragen 7,5 ns. Der maximale Leistungsverbrauch liegt bei 120 mW über den gesamten Temperaturbereich. Für die oben angegebenen Spezifikationen sollten die Eingangspotentiale der gesättigten Logik zwischen ungefähr 0,5 V und 5,0 V oder 6,0 V geschaltet werden.

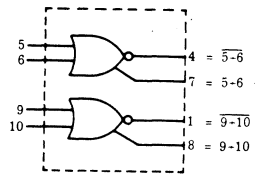
Der Zweifach-Übersetzer arbeitet wie folgt: Wenn an den Eingängen 5 und 6 eine logische "1" liegt, dann erhält der Eingang des entsprechenden MECL-Gliedes über den Spannungsteiler hohes Potential. Der OR-Ausgang auf Anschluß 4 erhält dann hohes Potential. In derselben Weise arbeitet der zweite Übersetzer mit den Eingängen an den Anschlüssen 9 und 10 und dem Ausgang an Anschluß 1. Das Element enthält einen eingebauten Vergleichsspannungstreiber, der Spannungs- und Temperaturschwankungen kompensiert. Diese Bezugsspannung kann zum Ansteuern zusätzlicher Glieder herangezogen werden. Ein maximales fan-out von 23 steht zur Verfügung. Beide Übersetzer erfüllen die positive AND-Funktion.

ZWEIFACH-OR-NOR-TAKTTREIBER MIT 2 EINGÄNGEN MC 369 G

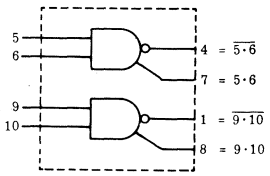
ZWEIFACH-OR-NOR-TAKTTREIBER MIT 4 EINGÄNGEN MC 369 F

Positive Logik:
V_H wird als logische "1", V_L als logische "0" definiert.

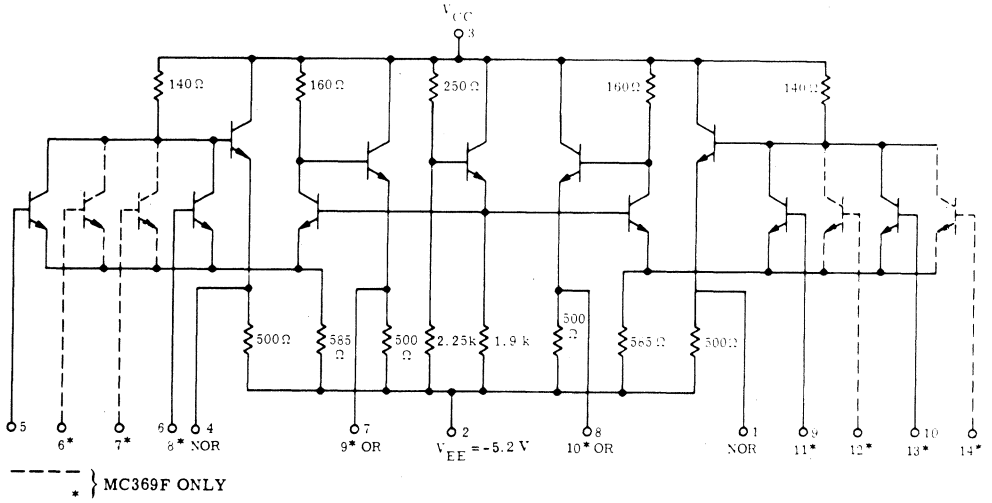
Negative Logik:
V_H als logische "0" , V_L als logische "1" definiert.



MC 369 G



MC 369 G

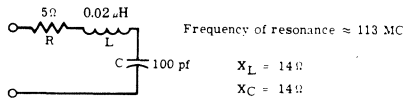


Der Takttreiber ist ein Element mit sehr niederohmigem Ausgang (ungefähr 5 Ohm), er weist sehr kurze Anstiegs- und Abfallzeiten auf wegen seines niedrigen Ausgangswiderstandes und seiner kurzen Anstiegszeit müssen in Schaltkreisen, die dieses Element enthalten, Maßnahmen zur Dämpfung des Schwingens getroffen werden. Bei einer Belastung mit ein oder zwei Flipflops ($\overline{J}$ und $\overline{K}$ sind verbunden) ist die typische Anstiegszeit weniger als 4 ns. Bei einen fan-out von 20 Flipflops ist die typische Anstiegszeit weniger als 9 ns.

Das Glied arbeitet wie ein normales MECL-Glied, es hat aber kleinere Widerstände und höheren Leistungsverbrauch.
Typische Werte bei fan-out gleich 10 sind: Anstiegszeit 4,0 ns, Abfallzeit 5,0 ns, Durchlaufverzögerung 5 ns, Leistungsverbrauch 240 mW.

In Anbetracht der Tatsache, daß ein Flipflop bei Verwendung eines Takttreibers mit minimalem "1"-Potential gesperrt bleiben kann, und daß bei maximalem "1"-Potential Überschwingen auftreten kann, liegt das im schlimmsten Fall zulässige Überschwingen im gesamten Temperaturbereich bei nur 100 mV. Bei Zimmertemperatur sollte das Überschwingen auf 150 mV begrenzt bleiben. Wenn der Takttreiberausgang zusätzlich durch Schaltkapazitäten belastet wird, macht sich Überschwingen und Schwingen bemerkbar.

Das Folgende ist ein Ersatzschaltbild des Takttreiberausgangs. Dabei bedeuten:



R differentieller Ausgangswiderstand des Emitterfolgers
L Induktivität von 1 Zoll Draht
C Kapazität von 10 Flipflopeingängen, wobei $\overline{J}$ und $\overline{K}$ miteinander verbunden sind.

Resonanzfrequenz ist ungefähr 113 MHz
$X_L = X_C$ = 14 Ohm.

Das ist ein zu wenig gedämpfter Serienkreis. Wenn am Eingang eine Sprungfunktion anliegt, wird das Überschwingen zu einem Problem.

Nach folgendem Verfahren läßt sich das Überschwingen bequem auf 100 mV oder weniger reduzieren:

1. Die Ausgangsleitung muß so kurz wie möglich gehalten werden.
2. Jeder getaktete Eingang wird über einen entsprechend dimensionierten Widerstand an den Ausgang des Takttreibers angeschlossen.
3. Alle getakteten Elemente werden so nah wie möglich an den Takttreiber gelegt.
4. Ist das Überschwingen dann immer noch problematisch, dann kann man es um 30 % bis 50 % herabsetzen, wenn man zwei Ausgänge parallel schaltet, z.B. zwei OR- oder zwei NOR-Ausgänge eines Gehäuses. Das verringert den Strom durch einen Ausgangsanschluß um die Hälfte.

Die nachfolgende Tabelle ist als Richtlinie zu nehmen für die Wahl des richtigen Widerstandes in Serie zum Flipflopeingang. Die Stromquellen wurden nach Erde überbrückt, und alle Belastungsflipflops waren nicht weiter als drei Zoll vom Takttreiber entfernt.

Tabelle über Überschwingen und Anstiegszeit in Abhängigkeit von Widerstandswert und fan-out.

FO = fan-out der getakteten Flipflops
S = Ausgang eines einzelnen Gliedes
P = parallel geschaltete Ausgänge eines Gehäuses
OS = Überschwingen in Millivolt
tr = Anstiegszeit in ns am Eingang eines Flipflops.

FO = 1 R = 0Ω

S		P	
OS	t_r	OS	t_r
50 mV	3.4 ns	25 mV	3.4 ns

FO = 2 R = 0Ω

S		P	
OS	t_r	OS	t_r
115 mV	3.4 ns	70 mV	3.4 ns

FO = 3 R = 0Ω

S		P	
OS	t_r	OS	t_r
175 mV	3.5 ns	105 mV	3.4 ns

FO = 5 R = 200Ω

S		P	
OS	t_r	OS	t_r
120 mV	5.5 ns	95 mV	5.5 ns

FO = 10 R = 200Ω

S		P	
OS	t_r	OS	t_r
180 mV	5.9 ns	140 mV	5.6 ns

FO = 10 R = 330Ω

S		P	
OS	t_r	OS	t_r
100 mV	7.1 ns	75 mV	6.9 ns

FO = 15 R = 330Ω

S		P	
OS	t_r	OS	t_r
135 mV	7.3 ns	100 mV	7.1 ns

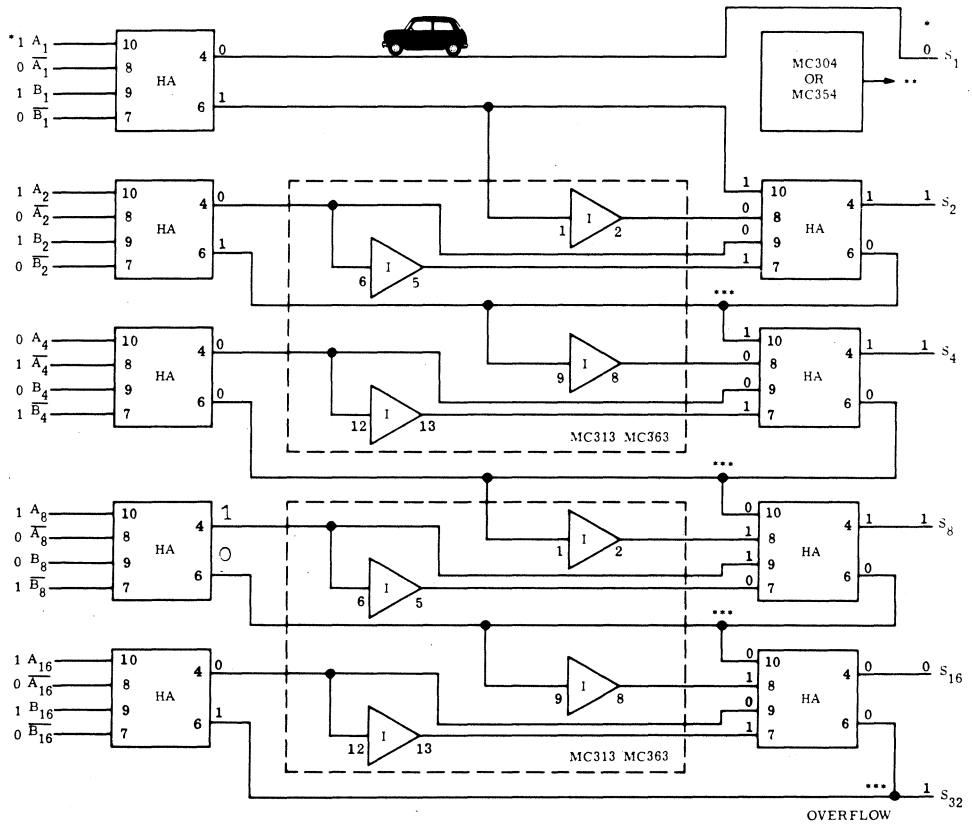
FO = 10 R = 470Ω

S		P	
OS	t_r	OS	t_r
50 mV	8.4 ns	40 mV	8.4 ns

FO = 20 R = 470Ω

S		P	
OS	t_r	OS	t_r
100 mV	8.6 ns	70 mV	8.3 ns

ASYNCHRONER 5-bit-PARALLEL-ADDIERER



"A" AUGEND		"B" ADDEND		"S" SUM		"C" CARRY	
A_1	1	B_1	1	S_1	0	C_1	1
A_2	1	B_2	1	S_2	1	C_2	1
A_4	0	B_4	0	S_4	1	C_4	0
A_8	1	B_8	0	S_8	1	C_8	0
A_{16}	1	B_{16}	1	S_{16}	0	C_{16}	1

Gehäuseanzahl: 9 Halbaddierer, 2 Vierfach-NOR-Glieder mit 2 Eingängen, 1 Referenzspannungstreiber, zusammen 12 Gehäuse.

Beim 5 bit Addierer sind 9 Durchläufe erforderlich, um einen Übertrag vom ersten Halbaddierer bis zum Überlaufausgang durchzubringen. Die gesamte Verzögerungszeit beträgt ungefähr 60 ns.

Die Tabelle erläutert die Addition zweier 5 bit Dualzahlen. Die Indizes geben das entsprechende dezimale Gewicht der Dualstellen an. Die logischen Potentiale für dieses Beispiel sind im Blockschaltbild aufgeführt.

Definitionen:

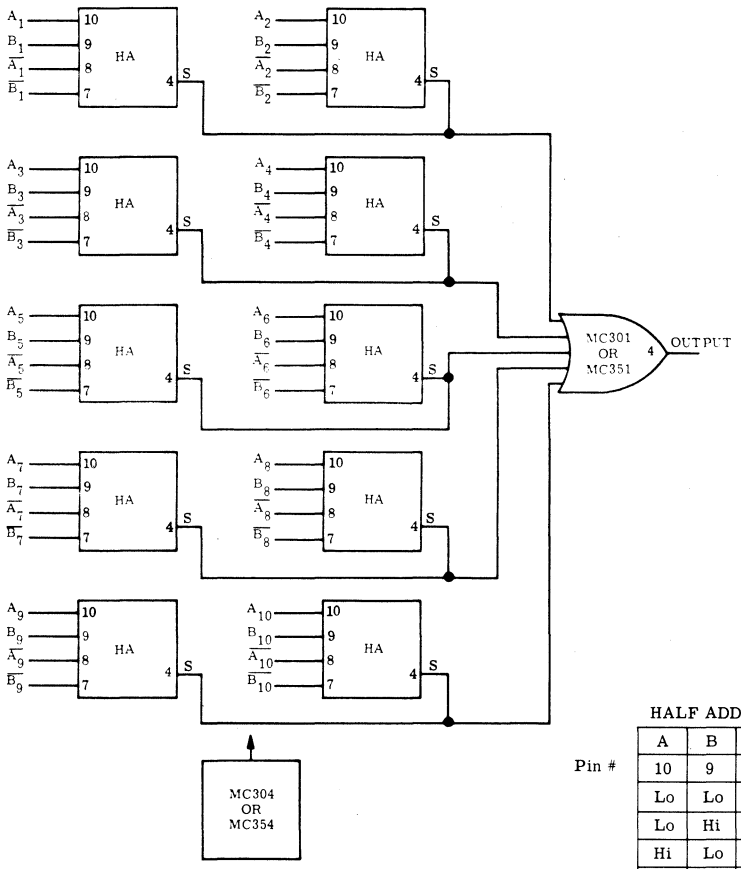
HA = Halbaddierer MC 303 oder MC 353. Die logische "1" ist als das relativ hohe Potential (-0,75 V) definiert. Die logische "0" entspricht dem relativ niedrigen Potential (-1,55 V). Als Inverter können 2 Vierfach-NOR-Glieder mit 2 Eingängen verwendet werden. Auf Wunsch können an Stelle dieser MC 313, MC 363 mit 14 Anschlüssen vier zweifach-NOR-Glieder mit je zwei Eingängen benutzt werden.

* Die logischen Potentiale gelten für das in der Tabelle aufgeführte Beispiel

** Der Vergleichsspannungstreiber ist an jedes Glied angeschlossen, das eine Vergleichsspannung von außen benötigt.

*** Die Ausgänge bilden eine durch Verdrahtung geschaffene OR-Funktion (wired-OR).

ASYNCHRONER 10-bit-KOMPARATOR
(Unter Verwendung des Halbaddierers als exklusives OR)

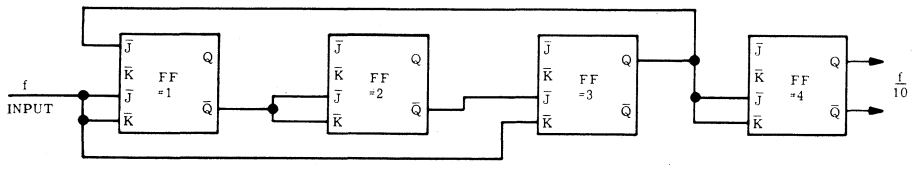


HALF ADDER Truth Table

Pin #	A	B	$\overline{A}$	$\overline{B}$	OUT
	10	9	8	7	4
	Lo	Lo	Hi	Hi	Lo
	Lo	Hi	Hi	Lo	Hi
	Hi	Lo	Lo	Hi	Hi
	Hi	Hi	Lo	Lo	Lo

Dieser aus nur 12 Elementen aufgebaute Schaltkreis zeigt in asynchroner Weise an, ob die Daten aus zwei Quellen (A und B) identisch sind oder nicht. Hat einer der Halbaddierer ein Paar von Eingangsbits, die voneinander verschieden sind, dann liegt am Ausgang des OR-Gliedes hohes Potential. Jeweils zwei der Halbaddierer sind zu einem OR verdrahtet. Die daraus entstehenden fünf Ausgänge steuern ein OR-Glied mit fünf Eingängen an. Der Ausgang des Schaltkreises hat hohes Potential wenn irgendein Wert der Quelle A nicht mit dem entsprechendem Wert der Quelle B übereinstimmt.

Für den Schaltkreis gibt es viele Anwendungsmöglichkeiten. So ermöglicht er z. B. die Schrittzählung eines Registers bis dessen Ausgang mit einem vorgegebenen Eingang übereinstimmt. Die Gesamtverzögerungszeit vom Eingang bis zum Ausgang liegt bei ungefähr 15 ns. Diese hohe Geschwindigkeit ist von großem Vorteil bei schnellen Analog-Digital-Umwandlungen. Es lassen sich in der gleichen Durchlaufzeit beliebig viele Bits miteinander vergleichen, wenn der Ausgang eines weiteren OR-Gliedes mit 5 Eingängen mit dem gegebenen Schaltkreis zu einem OR-Glied verdrahtet wird, oder wenn man anstatt des MC 301 oder MC 351 ein erweiterbares Glied verwendet.

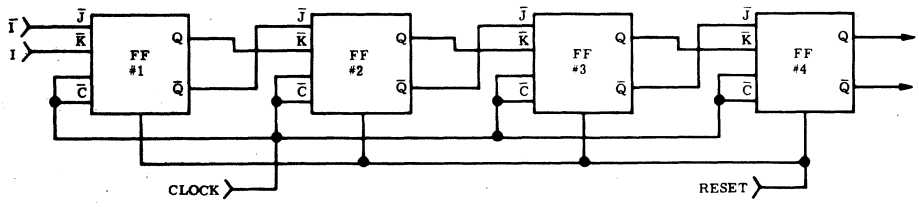


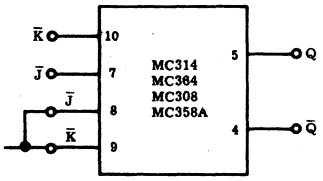
STATE #	FF #1	FF #2	FF #3	FF #4
0	0	0	0	0
1	1	0	0	0
2	0	1	0	0
3	1	1	0	0
4	0	0	1	1
5	0	0	0	1
6	1	0	0	1
7	0	1	0	1
8	1	1	0	1
9	0	0	1	0
10	0	0	0	0

Anmerkung:

1. Wenn alle anderen Eingänge des Flipflops tiefes Potential haben, setzt ein positiver Impuls am $\overline{J}$-Eingang das Flipflop auf logisch "1".
2. Wenn alle anderen Eingänge tiefes Potential haben, setzt ein positiver Impuls am $\overline{K}$-Eingang das Flipflop auf logisch "0".
3. Beim Übergang vom Zustand 4 nach 5 wird die logische "1" des Flipflops 3 in den J-Eingang des Flipflops 1 rückgekoppelt während die Taktfunktion bei logisch "1" liegt und damit das Flipflop sperrt. Wenn die Zeit, während der der Takt hohes Potential hat, zu kurz ist, kann der J-Eingang das Flipflop 1 auf "1" setzen und so einen Fehler verursachen.
4. Die Flipflops 2 und 4 führen nur eine Division durch 2 aus.

Der wesentliche Vorteil der MECL Zähler liegt (außer in der Geschwindigkeit) in der Möglichkeit, ohne zusätzliche Glieder jede beliebige Zählerstellung erreichen zu können. Die höchste Eingangsfrequenz (f) der abgebildeten Zählerstruktur ist 15 MHz, ohne daß besonders ausgewählte Elemente verwendet werden. Werden die Flipflops MC 314, MC 364 verwendet, und wird das Flipflop 4 in der Kette an erster Stelle gesetzt (das ergibt f/2), können Eingangsfrequenzen von 30 MHz verwendet werden. Der Ausgang ist in diesem Fall nicht symmetrisch, was von Nachteil sein kann. Weitere Angaben über getaktete und asynchrone Zähler sind in AN -194, AN -195 und AN -257 enthalten.





FLIP FLOP Truth Table

INPUT STATE	$\overline{J}$	$\overline{K}$	$\overline{C}$	Q^{n+1}
	ø	ø	0	Q^n
1	0	0	1	$\overline{Q^n}$
2	0	1	1	1
3	1	0	1	0
4	1	1	1	Q^n

Information, die ein Schiftregister empfängt, wird normalerweise den Zustand 2 oder 3 der Wertetabelle haben, d.h. die Eingänge haben unterschiedliches Potential. Aus der Tabelle geht hervor, daß das Potential des $\overline{K}$-Einganges nach dem Takt im Flipflop gespeichert wird und am Q-Ausgang erscheint. Nachdem das erste Flipflop des Schiftregisters seinen Zustand geändert hat, erhalten die $\overline{J}$ und $\overline{K}$ Eingänge des zweiten ihre Eingangswerte. Da die Zeit, während der die Taktfunktion hohes Potential aufweist, größer ist als die Verzögerungszeit eines Flipflops, ist ein folgendes Flipflop gesperrt, während die $\overline{J}$ und $\overline{K}$ Eingänge eventuell ihre Zustände ändern. Da die Verzögerungszeit vernachlässigbar ist, scheint die maximale Schiftfrequenz der maximalen Kippfrequenz gleich zu sein. Das trifft zu, es gibt jedoch eine Ausnahme: Wenn das "0" Potential am $\overline{J}$ oder $\overline{K}$ Eingang vom vorhergehenden Flipflop positiver ist als das "0" Potential der Taktfunktion, dann wird ein kleiner Teil der Taktfunktion unwirksam gemacht. Dadurch wird die wirksame Amplitude des Taktes verringert. (Siehe Diagramm eines der vorher gezeigten Flipflops). Da die maximale Kippfrequenz von der Taktamplitude abhängt, kann es zu einer Verringerung der typischen Arbeitsgeschwindigkeit des betreffenden Flipflops kommen. Bei einwandfreier Taktfunktion und Taktamplitude ist die Schiftfrequenz im wesentlichen gleich der garantierten Mindestkippfrequenz.

Der Rücksetzeingang kann bei Bedarf dazu verwendet werden, jede Stufe auf Null zu setzen. Mit einer Kombination aus Setz- und Rücksetzeingängen kann man eine bestimmte Einstellung vor dem Schiften erhalten. Wenn der statische Setz- oder Rücksetzeingang hohes Potential hat, während der Takt auch hohes Potential annimmt, dann wird eine unerwünschte Spannungsspitze zum Ausgang durchgeschaltet. Deshalb sollte ein Flipflop nur zu einer Zeit gesetzt oder zurückgesetzt werden, da nicht getaktet wird, vorzugsweise wenn der Takt hoch ist.

Das Schiftregister kann auch zur digitalen Verzögerung verwendet werden. Für ein Bit läßt sich zwischen dem Eingang und dem Ausgang eines aus n Flipflops bestehenden Schiftregisters eine Verzögerung von n Takten erzielen. Es ist auch möglich, den Ausgang eines Schiftregisters auf den Eingang zurückzuführen, und damit einen Ringzähler zu bilden. In einem Ringzähler läßt sich ein einzelnes Bit zum Umlaufen bringen. Dadurch wird ein einfacher Bitzeitgenerator zum Takten von Rechnerentscheidungen gebildet.

ZUSAMMENFASSUNG DER BESONDEREN MERKMALE

Die kleine Verzögerungszeit, hohes fan-in und fan-out, komplementierte Ausgänge und die Möglichkeit einer OR-Funktion durch Verdrahtung lassen einen Schaltkreis entstehen, der leicht an große Parallellogiksysteme mit sehr hoher Geschwindigkeit angepaßt werden kann.

MECL weist einen Störabstand von mindestens 200 mV auf bei den militärischen Grenztemperaturen und erzeugt von allen möglichen Logikfamilien die kleinsten Störungen.
Diese kleinen intern erzeugten Störspannungen sind ein spürbarer Vorteil in großen Systemen. Die MECL-Schaltkreise lassen sich leicht als Schmitttrigger, Multivibratoren und Treiber für verseilte Doppelleitungen verwenden, was ihnen eine große Vielseitigkeit verleiht.

MECL-Schaltkreise sind erhältlich in TO-5- Gehäusen mit 10 und 12 Anschlüssen und in Flachgehäusen mit 10 und 14 Anschlüssen. Elemente mit besonders hoher Zuverlässigkeit sind auf speziellen Wunsch lieferbar.

WEITERE ANWENDUNGSBROSCHÜREN ÜBER MECL-SCHALTKREISE

AN 233 Entwurf monostabiler Multivibratoren mit integrierten MECL-Schaltkreisen
AN 239 Schmitt-Trigger aus integrierten MECL-Schaltkreisen
AN 257 Dekadischer Zähler in MECL.

0. 5. Interne Arbeitsweise des Rechners

Dieses Kapitel beschreibt allgemeine Prinzipien der internen Arbeitsweise des Rechners, die der Informationsverarbeitung und der Ein-/Ausgabe zugrunde liegen. Spezielle Schaltungen, wie z. B. das Addierwerk, die nur in bestimmten Teilen des Rechners auftreten, werden in den entsprechenden Abschnitten beschrieben.

0. 5. 1.
Befehlsablauf

Die Ausführung eines dem Rechner eingegebenen Befehls läuft nach einem fest vorgegebenen zeitlichen Schema ab. Diese zeitliche Steuerung des Befehlsablaufs erfolgt durch das Leitwerk des Rechners mit Hilfe der Zeitschaltkette (siehe 0. 5. 2.).

Die Zeitschaltkette unterscheidet die Abrufphase, während der ein Befehl bzw. ein Operand adressiert und aus dem Speicher ausgelesen wird, und die Ausführungsphase, während der dieser Befehl schrittweise ausgeführt wird.

Erkennt das Leitwerk auf Grund der Entschlüsselung des ausgelesenen Befehls zu Beginn der Ausführungsphase, daß zur Ausführung des Befehls ein Operand notwendig ist, dann springt die Zeitschaltkette zurück in die Abrufphase. Der Inhalt der im Befehl adressierten Speicherzelle, die den Operanden enthält, wird ausgelesen und dem Rechenwerk zur Verfügung gestellt.

Die Zeitschaltkette läuft danach erneut in die Ausführungsphase. Das Leitwerk erkennt jetzt, daß der Operand bereits geholt wurde und steuert die Ausführung des Befehls. Abschließend springt die Zeitschaltkette wieder an den Anfang der Abrufphase und bewirkt das Auslesen des nächsten Befehls. Benötigt ein Befehl keinen Operanden (z. B. Shift-, AA-, . . . Befehl), dann wird die Abrufphase nur einmal zum Auslesen des Befehls durchlaufen.

Der beschriebene Befehlsablauf im Rechner läßt sich auch folgendermaßen darstellen:

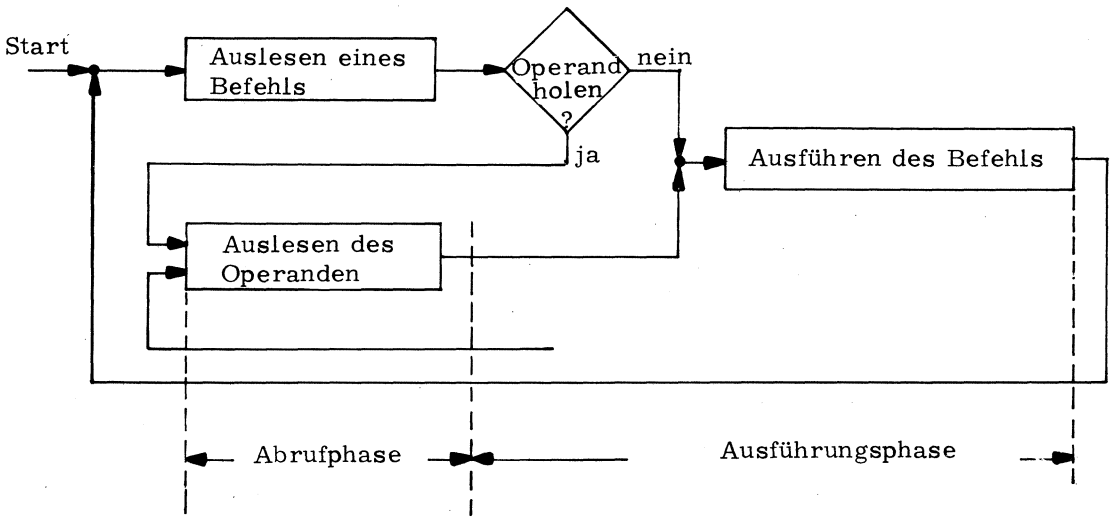


Abb. 0-31 Befehlsablauf

0. 5. 2.
Getaktete und ungetaktete Abläufe

Der TR 86 ist ein synchron arbeitender Rechner, in dem mit Hilfe eines zentralen Taktgenerators der Ablauf einer Zeitschaltkette zeitlich gesteuert wird.

Die Zeitschaltkette liefert Zeitintervalle gleicher Länge, in denen getaktete Abläufe stattfinden.
Der Taktgenerator liefert rechteckförmige Impulse mit einer Taktfrequenz von 10 MHz und dem Tastverhältnis 1 : 1. .
Die Zeitintervalle werden von den negativen Halbwellen des Taktes ausgeblendet (siehe Abb. 0-32).

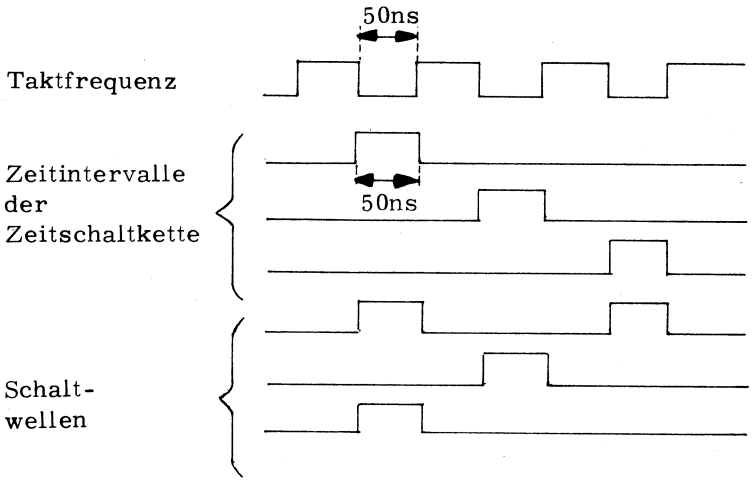


Abb. 0-32 . Allgemeine Darstellung

Die Teiloperationen, die der zentrale Rechner zum Abruf und zur Ausführung von Befehlen benötigt, sind den Zeitintervallen der Abrufphase S1A, S2A, S3A, und - vom jeweiligen Befehl abhängig - den Zeitintervallen der Ausführungsphase S1, S2, S3, S4, S5 fest zugeordnet.

Während der Zeitintervalle liefert das Leitwerk die Schaltwellen (siehe 0. 5. 3.), die getaktete Teiloperationen, d. h. im wesentlichen getaktete Transporte zwischen Registern, veranlassen.

In der Zeit von 50 ns zwischen den einzelnen Zeitintervallen können ungetaktete logische Verknüpfungen stattfinden, deren Dauer allein von den Durchlaufzeiten der MECL-Bauelemente bestimmt wird. Neben dieser Art von ungetakteten Teiloperationen gibt es im Rechner asynchrone Abläufe, die ohne jede Einwirkung der Zeitschaltkette stattfinden. Ihr Ablauf ist nur abhängig vom Inhalt bestimmter Register und anderer Eingangskriterien.

Z. B. bildet das Addierwerk des Rechenwerks (siehe Abschn. 1. 6. 1.) ständig, ohne Zuordnung zu irgendwelchen Zeitintervallen, Summe und Antivalenz aus den momentanen Inhalten des Akkumulators und des D-Registers. Ausgewertet werden diese Ergebnisse in bestimmten Zeitintervallen nur, wenn sie für die Ausführung eines Befehls benötigt werden.

Die Überträge bei den Transporten mit 1-Addition (siehe 0. 5. 4. 6.) laufen ebenso ungetaktet durch.

Ungetaktete Transporte finden zwischen Akkumulator und D-Register (während mehrerer Zeitintervalle) und im Shiftzähler vom X- in das Y-Register statt (siehe Kap. 1. 6.).

Eine exakte Beschreibung getakteter Transporte ist im Abschnitt 0. 5. 4. zu finden. Die angeführten ungetakteten Operationen werden im Abschnitt 1. 6. beschrieben.

0.5.3.
Schaltwellen

Die getakteten Teiloperationen im Rechnerkern und die Transporte zwischen dem Rechnerkern und den übrigen Rechnerfunktionsgruppen werden durch die Schaltwellen bewirkt.

Die Schaltwellen werden zumeist im Leitwerk des Rechnerkerns erzeugt. Das Auftreten und die zeitliche Reihenfolge der Schaltwellen hängt vom Inhalt des Code-Registers, vom Stand der Zeitschaltkette und von bestimmten Abfrageergebnissen ab (siehe auch 1.6.). Da die Schaltwellen durch die Zeitintervalle der Zeitschaltkette ausgeblendet werden, steht eine Schaltwelle ca 50 ns an. Interne Schaltzeiten werden an dieser Stelle nicht in die Betrachtungen einbezogen (siehe Abb. 0-32).

Bezeichnung der Schaltwellen
Es gibt Schaltwellen, die verschiedene Transporte zwischen 2 Flipflop-Registern bewirken und solche, die ein Register löschen (siehe 0.5.4.).

Eine Transportschaltwelle wird mit zwei oder drei Buchstaben bezeichnet. Der erste Buchstabe gibt das Zielregister an, der zweite das Ausgangsregister oder weist auf einen intervertierenden Transport hin (z. B. AI). Wenn ein dritter Buchstabe vorhanden ist, enthält dieser eine weitere Lokalisierung des Transports (z. B. DUC, DUN). Ein Beispiel aus der Leitwerk-Befehlsfolgesteuerung (vgl. 1.6.2.1.): Bringt das Leitwerk die Schaltwelle GN, d. h. GN = L für die Dauer eines Zeitintervalls, dann erfolgt ein Transport des N-Registerinhalts in das G-Register.

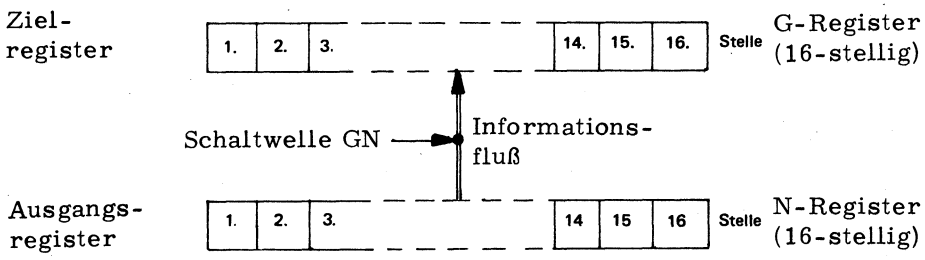


Abb. 0-33 Transportschaltwelle

Ergebnis: Das G-Register wurde mit dem Inhalt des N-Registers überschrieben, die Information im N-Register bleibt erhalten.

Eine Löschschaltwelle hat anstatt des zweiten Buchstabens in der Bezeichnung eine Null. Sie bewirkt die Löschung des im ersten Buchstaben bezeichneten Registers.

Beispiel aus dem Adressenwerk:
Die Löschschaltwelle FO allein löscht das F-Register.

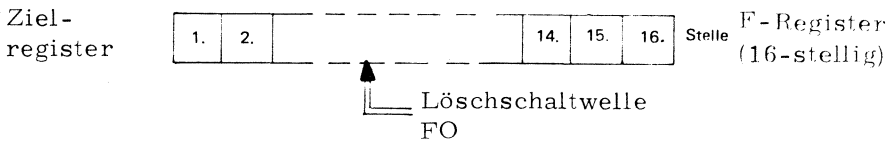


Abb. 0-34 Löschschaltwelle

Sämtliche im Rechnerkern auftretenden Schaltwellen sind mit Erläuterungen in einem alphabetischen Verzeichnis zusammengestellt (siehe 1.1.). In einigen Einheiten der Rechenanlage gibt es Namen für Schaltwellen, die sich in die hier erläuterte Bezeichnungsweise nicht einfügen.

Eine Erklärung der Wirkungsweise der Schaltwellen bei der Realisierung von Transporten schließt sich im Abschnitt 0.5.4. an. Der Aufbau von Transportschaltungen wird ihrer Realisierung entsprechend in NOR-Logik beschrieben, in einzelnen Fällen wird ihre Wirkung mit Hilfe der UND-Logik beschrieben.

0.5.4. Transporte

Es gibt verschiedene Arten von Transporten zwischen den Registern:

- Löschtransport
- Halbtransport: Transport der Registerstellen mit Inhalt O
- Halbtransport: Transport der Registerstellen mit Inhalt L
- Volltransport ("O" und "L")
- Invertierende Transporte (Halb- und Volltransporte)
- Transport mit 1-Addition

Zur Realisierung der o. g. Transportarten können Lösch- und Transportschaltwellen (vgl. 0.5.3.) einzeln oder gemeinsam erzeugt werden.

Im folgenden werden die Transporte zwischen den Registern an Hand je eines Beispiels aus dem TR86-Rechnerkern erklärt (siehe 1.6.). Der Buchstabe n in Schaltglied- und Signalnamen besagt, daß das angeführte Beispiel für die n-te Stelle eines Registers gilt:

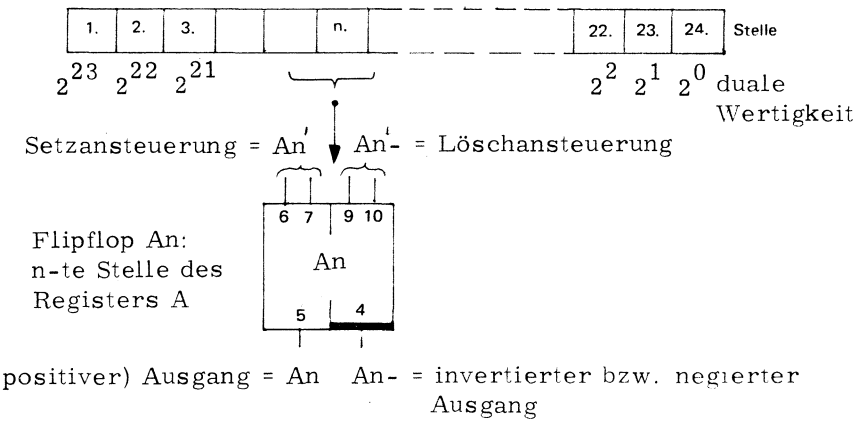


Abb. 0-35 Register mit 24 Stellen

0. 5. 4. 1.
Löschen eines Registers

Ein Register wird mit Hilfe der zum Register gehörigen Löschschaltwelle gelöscht d. h. sein Inhalt wird auf Null (= +0) gesetzt.

Wirkung:

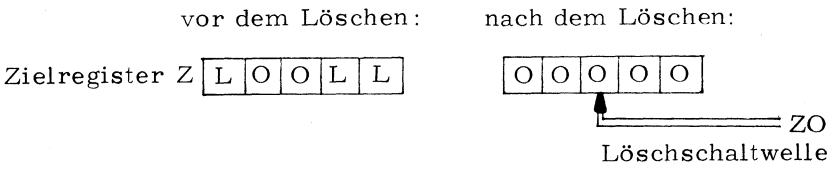
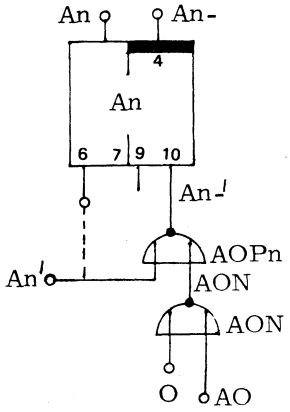


Abb. 0-36 Löschen eines Registers

Das Löschen eines Registers kann eine Einzeloperation sein oder zur Ausführung eines Transports gehören.

Beispiel: Löschansteuerung für eine Stelle "An" des Akkumulators.

Zum Löschen des Akkumulator-Registers wird die Schaltwelle A0 für die Dauer eines Zeitintervalls von Pegel 0 auf L gesetzt, sie wird "gebracht"
(siehe Abb. 0-37).
Dabei darf die Setzansteuerung An' nicht anstehen: An' = 0.



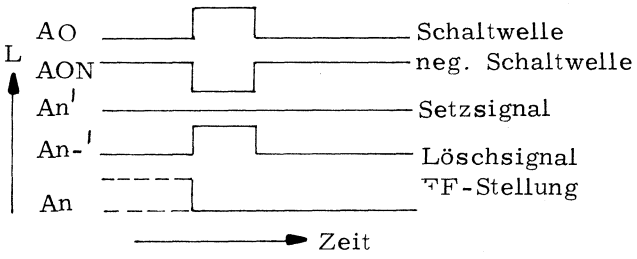


Abb. 0-37a Pegeldiagramm

Abb. 0-37 Löschansteuerung n^{te} Stelle

Im NOR-Glied AON wird die Schaltwelle AO invertiert

$$AON = AO-$$

Die Löschbedingung für das Flipflop "An" wird im NOR-Glied AOPn realisiert:

$$An-' = \overline{AON + An'} = AO \cdot An'-$$

Die Löschbedingung ist erfüllt: An-' = L, wenn A0 = L und An' = 0 sind. Damit wird das Flipflop gelöscht: An = 0.
An' ist das Signal zum Setzen des Flipflops, es muß während eines Löschvorganges auf Null liegen.
Während des Lösch-Zeitintervalls ist AON = 0. Das Signal AON wird im NOR-Glied AON für die gleichzeitige Löschansteuerung von 6 Registerflipflops des Akkumulators erzeugt.

0. 5. 4. 2.
Halbtransport
der Registerstellen
mit Inhalt "L"

Halbtransport der L heißt, daß nur die L des Ausgangsregisters mittels einer Schaltwelle in das Zielregister übernommen werden, nicht die Nullen.

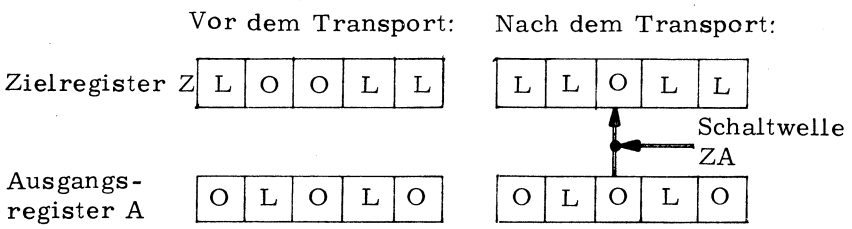


Abb. 0-38 Halbtransport der Registerstellen mit Inhalt "L"

Beispiel: Halbtransport der L vom Akkumulator in das B-Register. Schaltwelle BA wird gebracht.

Im NOR-Glied BAN wird die negierte Schaltwelle BAN erzeugt, die gleichzeitig für die Ansteuerung von 6 Registerflipflops verwendet wird:

BAN = BA-.

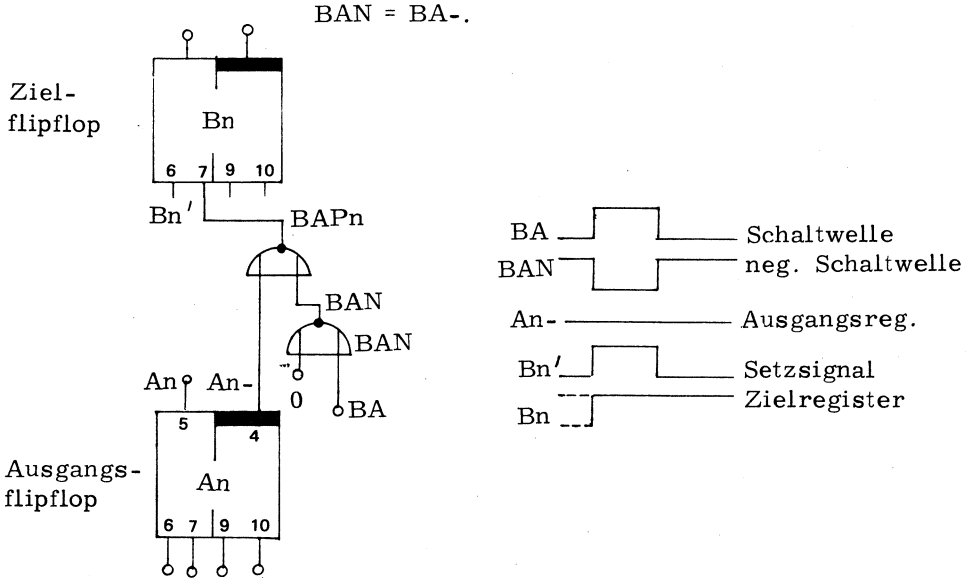


Abb. 0-39 Schaltbild n^{te} Transportstelle

Die Setzbedingung für das Zielflipflop Bn wird im NOR-Glied BAPn realisiert:

$$Bn' = \overline{BAN + An-} = BA \cdot An$$

Die Setzbedingung ist also erfüllt: Bn' = L, wenn BA = L und An = L sind. Damit wird das Zielflipflop gesetzt: Bn = L.

Ist An = 0 bzw. An- = L, so ist die Setzbedingung nicht erfüllt. das Flipflop Bn behält seinen "alten" Wert, und es findet kein Transport statt.

0. 5. 4. 3.
Halbtransport der Registerstellen mit Inhalt "O"

Halbtransport der Nullen bedeutet, daß nur die Nullen des Ausgangsregisters in das Zielregister transportiert werden.

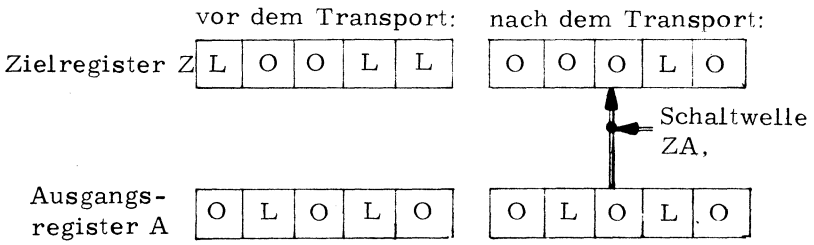


Abb. 0-40 Halbtransport der Registerstellen mit Inhalt "O"

Diese Transportart kommt im Rechner nur einmal vor. Ausgelöst durch die Schaltwelle AD werden die Nullen des D-Registers in den Akkumulator gebracht (siehe Abb. 0-41).

Die Schaltwelle AD wird wie üblich invertiert: ADN = AD-

Die Löschbedingung für das Zielflipflop An wird im NOR-Glied ADPn realisiert, sie lautet:

$$An\text{-}' = \overline{ADN + Dn} = AD \cdot Dn\text{-}$$

Die Löschbedingung ist erfüllt: An-' = L, wenn AD = L und Dn = O sind. Damit wird das Flipflop An gelöscht: An = O. Mit Dn = L ist die Löschbedingung nicht erfüllt, es findet kein Transport statt, das Flipflop An beharrt in seinem Zustand.

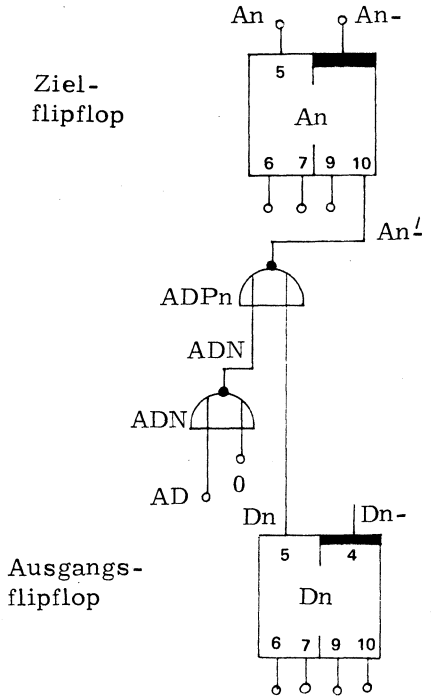


Abb. 0-41 Schaltbild einer Transportstelle

Im Rechenwerk (siehe 1. 6.) wird mit Hilfe dieses Nulltransports ein Volltransport (siehe 0. 5. 4. 4.) realisiert, indem man das Zielregister in allen Stellen auf L setzt und anschließend die Nullen des Ausgangsregisters in das Zielregister übernimmt. Bei der Ausführung des ET-Befehls wird diese Transportart angewendet (siehe Abschn. 1. 4. 4. 1.).

0. 5. 4. 4.
Volltransporte

Beim Volltransport werden alle Stellen des Ausgangsregisters mit dem logischen Zustand O oder L in das Zielregister übertragen.

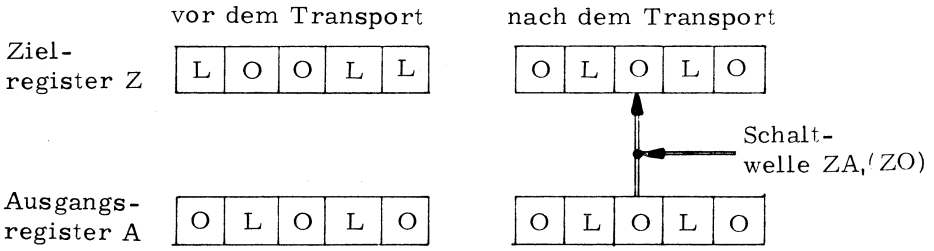


Abb.: 0-42 Volltransporte

Vergleich: Halbtransport - Volltransport

Der Volltransport kann mit Hilfe e i n e r Schaltwelle realisiert werden oder aus dem Löschen des Zielregisters und einem L-Transport zusammengesetzt werden. Die Realisierung eines Volltransports mit Hilfe eines Nulltransports wurde in Abschn. 0. 5. 4. 3. erwähnt.

Bei den Halbtransporten ist immer nur ein Eingang (Lösch- oder Setzeingänge) des Zielflipflops verdrahtet. Es kann also nur gelöscht (Nulltransport) oder nur gesetzt (L-Transport) werden.

Für die Realisierung von Volltransportschaltungen müssen immer Lösch- und Setzeingänge der Zielflipflops verdrahtet sein. Bei jedem Volltransport wird einer der beiden Flipflop-eingänge angesteuert, das Flipflop kann gesetzt oder gelöscht werden.

1.) Volltransport mit Hilfe einer Schaltwelle

Beispiel: Volltransport vom Q-Register ins P-Register

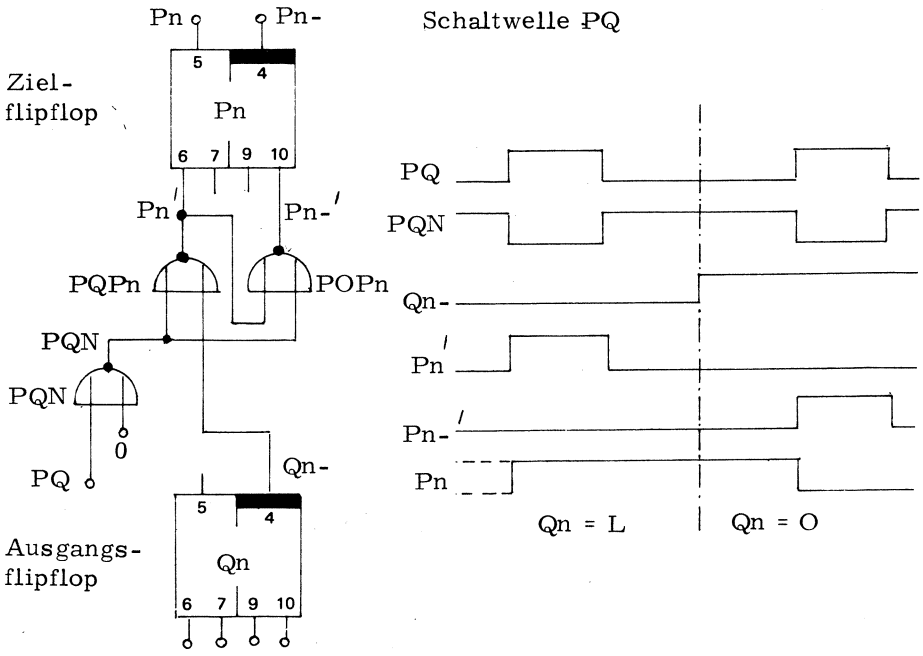


Abb. 0-43 n^{te} Transportstelle

Die Schaltwelle PQ wird im NOR-Glied PQN invertiert:

$$PQN = PQ-$$

Die Setzbedingung für das Zielflipflop Pn wird im NOR-Glied PQPn realisiert.

$$Pn' = \overline{PQN + Qn-} = PQ \cdot Qn$$

Die Setzbedingung ist erfüllt: Pn' = L, wenn PQ = L und Qn = L sind; das Zielflipflop Pn wird gesetzt: Pn = L

Die Löschbedingung für das Zielflipflop Pn wird im NOR-Glied POPn realisiert:

$$Pn-' = \overline{PQN + Pn'} = PQ \cdot (Pn'-) = PQ \cdot Qn-$$

Die Löschbedingung ist erfüllt: Pn-' = L, wenn PQ = L und Qn = O; das Zielflipflop wird gelöscht: Pn = O.

Aus der Gleichung ist weiter ersichtlich, daß sie nicht erfüllt sein kann, wenn die Setzbedingung erfüllt ist, also Pn' = L. (Keine Doppelansteuerung möglich).

Ergebnis: Das Zielflipflop Pn wird mit einer Schaltwelle (PQ) entsprechend dem Stand des Ausgangsflipflops (Qn) gesetzt oder gelöscht.

2.) Volltransport mit Hilfe zweier Schaltwellen

Die Ansteuerschaltung für den Volltransport mit Hilfe zweier Schaltwellen ist ähnlich der unter 1.) beschriebenen aufgebaut.

Die Realisierung mit zwei Schaltwellen hat den Vorteil, daß diese auch einzeln gebracht werden können und somit das Löschen des Zielregisters oder einen L-Transport ermöglichen.

Beispiel: Volltransport vom Q-Register zum B-Register durch (gleichzeitiges) Anlegen der Schaltwellen BQ und BO.

BO → Löschen des B-Registers
BQ → Halbtransport der L'en von Q nach B

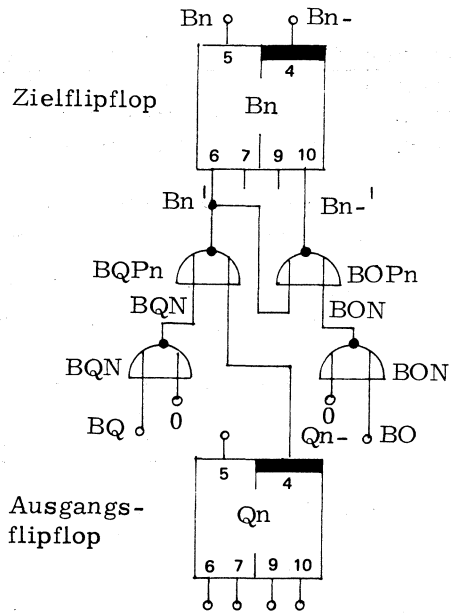
Die Schaltwellen BQ, BO werden wie üblich invertiert:

$$BQN = BQ-$$
$$BON = BO-$$

Im NOR-Glied BQPn wird die Setzbedingung gebildet:

$$Bn' = \overline{BQN + Qn-} = BQ \cdot Qn$$

Die Setzbedingung ist erfüllt: Bn' = L, wenn die Schaltwelle BQ gebracht wird und Qn = L ist; das Zielflipflop Bn wird gesetzt: Bn = L.



Ab. 0-44 Transportstelle

Das Pegeldiagramm ist hier dasselbe wie in Abb. 0-43. Statt einer Schaltwelle werden hier die zwei Schaltwellen BQ, BO gleichzeitig gebracht.

Im NOR-Glied BOPn wird die Löschbedingung gebildet:

$$Bn\text{-}' = \overline{BON + Bn'} = BO \cdot (Bn'\text{-}) = \underbrace{BO \cdot Qn\text{-}}_{1.\ \text{Glied}} + \underbrace{BO \cdot BQ\text{-}}_{2.\ \text{Glied}}$$

Die Löschbedingung ist durch das 1. Glied der ODER-Verknüpfung erfüllt: Bn-' = L, wenn die Löschschaltwelle BO gebracht wird und Qn = O; dann wird das Zielflipflop Bn gelöscht: Bn = O.

Das 2te Glied der Löschbedingung zeigt, daß die Löschbedingung unabhängig von der Stellung des Ausgangsflipflops Qn auch erfüllt ist, wenn die Löschschaltwelle BO ansteht und BQ = O ist: Löschen des Zielregisters.

Bei einem Volltransport darf die Löschschaltwelle BO n i c h t länger anstehen als die Transportschaltwelle BQ, da sonst das B-Register fälschlicherweise gelöscht wird. Die übertragene Information ginge damit verloren. - Die Löschschaltwelle kann jedoch vor der Transportschaltwelle anstehen.

Auch hier ist Doppelansteuerung eines Flipflops nicht möglich.

0.5.4.5. Invertierende Transporte

Der invertierende Volltransport entspricht einem Volltransport, der alle Stellen des Ausgangsregisters invertiert in das Zielregister schreibt. Der Inhalt des Ausgangsregisters bleibt dabei erhalten.

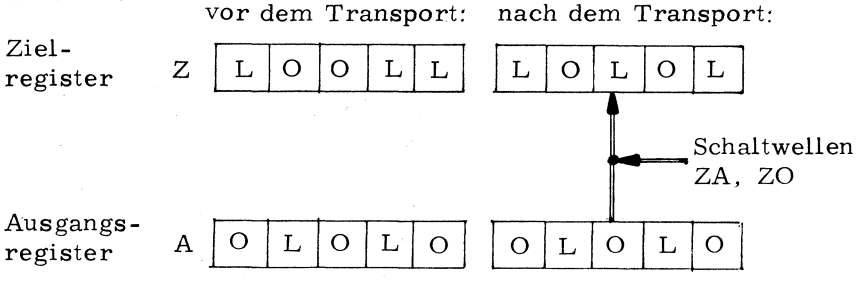


Abb. 0-45 Invertierende Transporte

Ein invertierender Volltransport kann ähnlich den nicht invertierenden Volltransporten auf verschiedene Weise realisiert werden. Die im folgenden genannten Beispiele sind dem 'Rechnerkern' entnommen und im Kap. 1. 6. ebenfalls aufgeführt:

a) Invertierender Volltransport des D-Registerinhalts in das Y-Register mit Hilfe der Schaltwelle YD (im Shiftzähler):

YD Y(1-6)-' = YD · D(19-24)
    Y(1-6)' = YD · D(19-24)-

b) Invertierender Volltransport mit Hilfe zweier Schaltwellen WL und WS (Merklicht-Register):
WL allein bewirkt einen invertierenden Halbtransport der L'en des WK-Registers. Siewerden als Nullen in das W-Register eingeschrieben. Die zusätzliche Verknüpfung mit den Stellen 19-24 des D-Registers adressiert in diesem Fall die einzelnen Registerstellen.

WS allein setzt die im D-Register adressierten Stellen des W-Registers :

U-', M-', W(1-6)-' = WL · (UK, MK, WK(1-6)) · D (19-24)
U', M', W(1-6)' = WS · D(19-24)

c) Invertierender Volltransport mit Hilfe zweier Schaltwellen AI und AO (im Rechenwerk):
Die Schaltwelle AI allein bewirkt einen invertierenden Halbtransport der Nullen des B-Registers; sie werden als L'en in den Akkumulator eingeschrieben. AO allein löscht den Akkumulator:

AO A(1-24)-' = AO
AI A(1-24)' = AI · B(1-24)-

Dieser invertierende Volltransport soll im einzelnen beschrieben werden.

Die Ansteuerschaltung ist ähnlich aufgebaut wie die Schaltung für den nicht invertierenden Volltransport. Unterschied: Beim invertierenden Transport wird das p o s i t i v e Signal des Ausgangsflipflops für die Ansteuerschaltung benutzt.

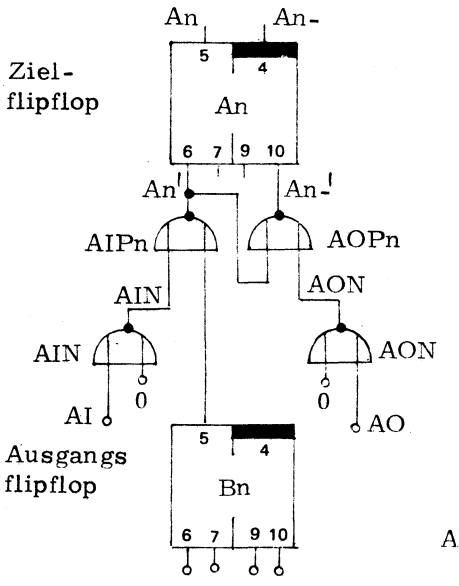


Abb. 0-46 Transportstelle

Die Schaltwellen AI und AO werden invertiert:

AIN = AI- AON = AO -

Die Setzbedingung für das Zielflipflop An wird im NOR-Glied AIPn gebildet:

$$An' = \overline{AIN + Bn} = AI \cdot Bn-$$

Das Zielflipflop An wird also gesetzt, wenn die Schaltwelle AI gebracht wird und das Ausgangsflipflop Bn = 0. Für Bn = L ist die Setzbedingung nicht erfüllt, das Zielflipflop An wird nicht gesetzt (invertierender Halbtransport!).

Die Löschbedingung für das Zielflipflop An wird im NOR-Glied AOPn gebildet:

$$An-' = \overline{AON + An'} = AO \cdot (An'-) = \underbrace{AO \cdot Bn}_{1.\ Glied} + \underbrace{AO \cdot AI-}_{2.\ Glied}$$

Das 1. Glied der ODER-Verknüpfung besagt, daß das Zielflipflop An gelöscht wird, wenn die Löschschaltwelle AO gebracht wird und Bn = L ist (invertierender Halbtransport!).

Aus dem 2. Glied der Löschbedingung geht hervor, daß das Zielflipflop An unabhängig vom Inhalt des Ausgangsflipflops immer gelöscht wird, wenn die Löschschaltwelle AO allein ansteht (vgl. Abschn. 0. 5. 4. 1.).

Beim invertierenden Transport darf die Löschschaltwelle daher nicht länger anstehen als die Transportschaltwelle AI.

0. 5. 4. 6. Transport mit 1 - Addition

Der Transport mit 1-Addition ist im Rechner verschieden realisiert. In diesem allgemeinen Teil soll zunächst nur das Prinzip erläutert werden:

Der Inhalt eines Ausgangsregisters wird unter Addition von "1" in ein Zielregister transportiert. Die 1-Addition findet während des Transports nicht notwendigerweise statt, sondern nur, wenn eine bestimmte Spezifikation vorliegt. Liegt diese vor, so wird eine "1" in der niedrigsten Stelle (2^0) addiert, indem ein künstlicher Übertrag zum Inhalt der Registerstelle 2^0 hinzugefügt wird. Diese Addition in der niedrigsten Stelle kann natürlich einen Übertrag ergeben, der zur nächsthöheren Registerstelle addiert werden muß usw.
Jede Transportstelle (m) muß daher grundsätzlich einen Halbaddierer enthalten, der den Inhalt der Registerstelle $\langle R_m \rangle$ und den eventuellen Übertrag aus der nächstniedrigen Stelle $\langle Ü_{m+1} \rangle$ addiert.

Der Halbaddierer liefert eine Summe, die in die m^{te} Stelle des Zielregisters Sm übernommen wird und einen Übertrag Üm, der zum Inhalt der nächsthöheren Registerstelle R_{m-1} addiert wird.

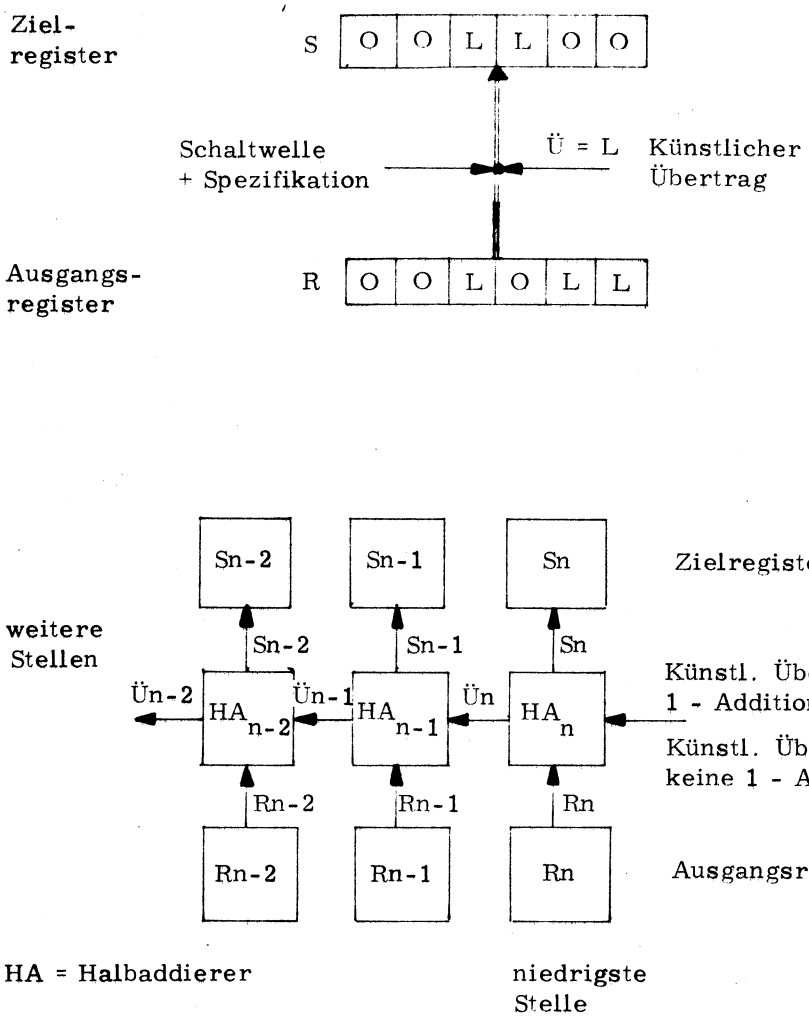


Abb. 0-47 Register und Additionsschaltung

Diese Prinzipschaltung wird im Rechner modifiziert, vor allem, um die gesamte Durchlaufzeit der Überträge klein zu halten.

Digital – Rechenanlage

TR 86

Unterlagensammlung

Hardware

Zentraler Rechner

2. Auflage

Vervielfältigungen dieser Unterlage sowie Verwendung der Mitteilung ihres Inhalts ist unzulässig, soweit nicht ausdrücklich zugestanden.

Zuwiderhandlungen sind strafbar und verpflichten zu Schadenersatz (Lit UrhG., UWG, BGB).

Alle Rechte für den Fall der Patenterteilung oder GM-Eintragung vorbehalten.

AEG - TELEFUNKEN

ZR

Rückfragen zu diesen Unterlagen, Berichtigungen und Ergänzungen bitte an:

ALLGEMEINE ELEKTRICITÄTS-GESELLSCHAFT
AEG-TELEFUNKEN
Fachbereich Anlagen Informationstechnik
775 Konstanz, Bücklestraße 1-5
N3/MR/V3

ALLGEMEINE ELEKTRICITÄTS-GESELLSCHAFT
AEG-TELEFUNKEN
Fachbereich Anlagen Informationstechnik
775 Konstanz, Bücklestraße 1-5

Best.Nr. DHB 044 0969

INHALT

		Seite
1.	Rechnerkern	1-1
1.1.	Zeitschaltkette	1-1
1.2.	Globale logische Gleichung	1-3
1.3.	Abrufphase (mit Ersetzung)	1-4
1.4.	Befehlsabläufe	1-8
1.4.1.	Arithmetische Befehle	1-8
1.4.1.1.	Addition (A)	1-8
1.4.1.2.	Subtraktion (SB)	1-11
1.4.1.3.	Multiplikation (ML)	1-14
1.4.2.	Adreßarithmetische Befehle	1-19
1.4.2.1.	Addiere Adreßteil (AA)	1-19
1.4.2.2.	Subtrahiere Adreßteil (SA)	1-22
1.4.3.	Transport-Befehle	1-25
1.4.3.1.	Bringe (B)	1-25
1.4.3.2.	Speicher (C)	1-27
1.4.3.3.	Speichere Adreßteil (CA)	1-29
1.4.4.	Logische Befehle	1-31
1.4.4.1.	Konjunktion (ET)	1-31
1.4.4.2.	Antivalenz (AT)	1-33
1.4.5.	Shift-Befehle	1-35
1.4.5.1.	Shift mit Grundspezifikationen	1-36
1.4.5.2.	Shift mit Zusatzspezifikationen	1-41
1.4.5.3.	Shift mit Rundung	1-44
1.4.5.4.	Shift mit Umrechnung und Vertauschung	1-46
1.4.6.	Merklichter-Befehle	1-50
1.4.6.1.	Verändere Merk-Flipflops	1-50
1.4.6.2.	Skip-Befehl	1-55
1.4.7.	Sprungbefehle	1-57
1.4.7.1.	Springe unbedingt	1-57
1.4.7.2.	Springe wenn kleiner 0	1-57
1.4.7.3.	Springe wenn identisch	1-59
1.4.7.4.	Sprung in Unterprogramm	1-61
Anhang I	Mikroprogramm Rechnerkern (Befehlsabläufe) und Alphabetisches Verzeichnis der im Mikroprogramm auftretenden Flipflops, Schaltwellen und Signale	1-63

		Seite
1.6.	Aufbau des Rechnerkerns	1-87
1.6.1.	Aufbau des Rechenwerks	1-89
1.6.1.1.	Allgemeines	1-89
1.6.1.2.	Register im Rechenwerk	1-95
1.6.1.3.	Verkehr Rechenwerk-Speicher	1-96
1.6.1.4.	Beziehungen der Rechenwerk-Register untereinander	1-98
1.6.1.5.	Addition und Antivalenz	1-101
1.6.2.	Aufbau des Leitwerks	1-107
1.6.2.1.	Befehlsfolgesteuerung	1-107
1.6.2.1.1.	Allgemeines	1-107
1.6.2.1.2.	Register der Befehlsfolgesteuerung	1-113
1.6.2.1.3.	Verkehr Befehlsfolgesteuerung-Speicher	1-114
1.6.2.1.4.	Beziehungen der drei Register untereinander	1-114
1.6.2.2.	Shiftzähler	1-119
1.6.2.2.1.	Allgemeines	1-119
1.6.2.2.2.	Register, Beziehungen zu anderen Rechnereinheiten	1-120
1.6.2.2.3.	Zählvorgang im Shiftzähler	1-120
1.6.2.3.	Befehlsablaufsteuerung	1-125
1.6.2.3.1.	Allgemeines	1-125
1.6.2.3.2.	Struktur der Befehlsablaufsteuerung	1-129
1.6.2.3.3.	Zeitschaltkette, Merklichter	1-130
1.6.2.3.4.	Verteilung der Befehlsablauf-steuerung auf den Leiterkarten	1-135
1.6.3.	Aufbau des Unterbrechungswerks	1-132
1.7.	Unterbrechungswerk (UBW)	1-141
1.7.1.	Wirkung	1-141
1.7.2.	Ausführung	1-144
1.7.2.1.	Ablauf der Zeitschaltkette UB1	1-150
1.7.2.2.	Setzen der Sperren M und FFU3 durch VM-Befehl	1-151
1.7.2.3.	Besonderer Ablauf beim E/A-Befehl des Rechnerkernkanals	1-154
1.7.2.4.	Abrufphase (RO = L)	1-155
1.7.2.5.	Ausführungsphase	1-156
1.7.2.6.	Mikroprogrammgleichungen des Unterbrechungswerks	1-161

1. Rechnerkern

1.1 Zeitschaltkette

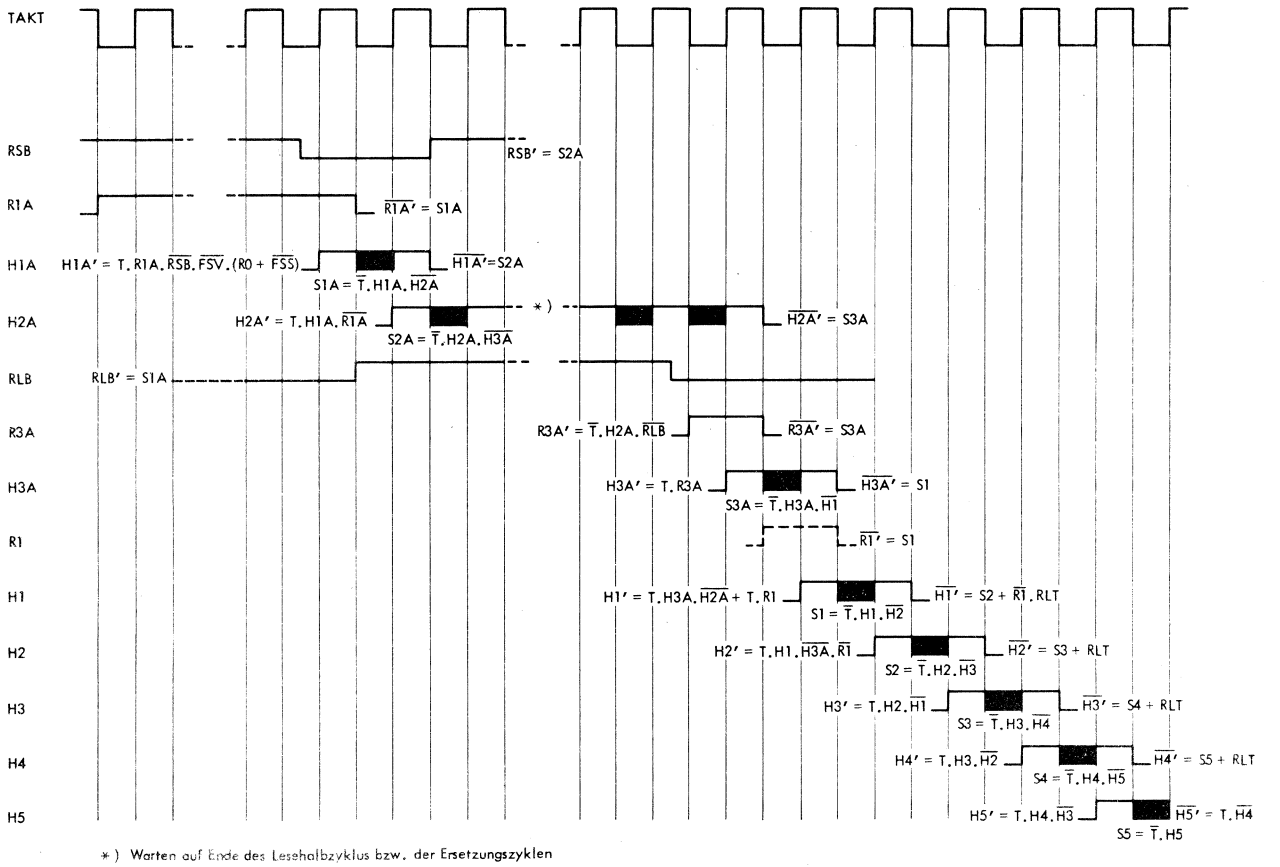
Die Zeitschaltkette bewirkt den ungestörten zeitlichen Ablauf der einzelnen Operationen, indem aus dem Rechner-Takt Zeitintervalle ausgeblendet werden, während derer die vom Mikroprogramm geforderten Verknüpfungen eingeleitet werden. Diese Zeitintervalle werden für die Abrufphase mit S1A, S2A, S3A bezeichnet, für die Ausführungsphase mit S1 bis S5.

Die Zeit zwischen den Intervallen benötigen die angesprochenen Schaltungsteile als Einschwingzeit, Durchlaufzeit etc., damit zu Beginn des folgenden Intervalles die angestrebten Schaltzustände mit Sicherheit erreicht sind.

Die Bedingungen, von denen das Weiterschalten der Kette von Intervall zu Intervall abhängig ist, sind den Gleichungen unter TR 86-Zeitschaltkette zu entnehmen.

a) ungestörter Ablauf

Die Abrufphase wird entweder am Ende eines Befehlsablaufes zum Auslesen des folgenden Befehls oder während eines Befehlsablaufes zum Holen eines Operanden oder zum Abspeichern von Information angesteuert; die Schaltkettenansteuerung für die Abrufphase erfolgt durch Setzen von R1A, nachdem erforderlichenfalls die Schaltkette mit RL gelöscht worden war.
Nach Setzen der Schaltkettenansteuerung R1A läuft die Zeitschaltkette mit dem Hilfsflipflop H1A in das Zeitintervall S1A der Abrufphase (Impulsdiagramm hierzu siehe Abb. 1-1)
Nach einer Taktzeit wird weitergeschaltet nach S2A; da in S1A in jedem Fall der Speicher angestoßen worden ist und mit einem Speicherzyklus begonnen hat (Lesen-Voll-, Schreiben-Voll-, oder Lesen- und Schreiben-Halbzyklus), muß nun in S2A die



*) Warten auf Ende des Lesehalbzyklus bzw. der Ersetzungszyklen

Abb. 1-1 Impulsdiagramm Zeitschaltkette

Freimeldung (RLB-) des Vorrangwerkes (kurz VW) abgewartet werden: das Intervall S2A erscheint deshalb so lange periodisch mit dem Rechner-Takt, bis der ausgelesene Befehl oder Operand im D-(Speicher-)Register zur Verfügung steht, d.h. bis (bei Lesezyklus) durch die Speicherwortmeldung der Speicher asynchron das Ende des Lesevorganges angezeigt hat (RLB-), oder (bei Schreibzyklus) bis die Information vom Speicher übernommen wurde. RLB wird sofort nach dem Transport der Information in den Speicher gelöscht; anschließend erfolgt wegen H2A.RLB- über R3A die Fortschaltung nach S3A.

Zwangsläufig schaltet sich die Kette weiter in die Intervalle der Ausführungsphase S1 bis S5, welche ungestört aufeinanderfolgen, sofern kein Eingriff vom Mikroprogramm her erfolgt. In S5 würde der Rechner schließlich anhalten: spätestens in diesem Intervall jedoch wird im Ablauf eines Befehles die Schaltkettenansteuerung R1A gesetzt, so daß anschließend der beschriebene Ablauf von neuem beginnt.

b) Ablauf mit Eingriff vom Mikroprogramm her

Bei einigen Befehlen wird während des ersten Durchlaufes der Schaltkette in einem Intervall der Ausführungsphase nach Entschlüsselung des Operations-Codes festgestellt, daß zu diesem Befehlsablauf ein Operand gehört oder Information abgespeichert werden soll und somit ein Rücksprung in die Abrufphase nötig ist. Hierzu kann in jedem Zeitintervall der Ausführungsphase außer S1 die Schaltkettenlöschung RL gesetzt werden und mit R1A das erste Intervall der Abrufphase angesteuert werden: die in dem betreffenden Intervall angesteuerten Verknüpfungen werden noch durchgeführt, als nächstes Zeitintervall erscheint anschließend S1A. Eine Schaltkettenlöschung und ein Rücksprung innerhalb der Abrufphase sind nicht möglich, die Abrufphase verläuft stets wie beschrieben ungestört.

Verschiedene Befehlsabläufe erfordern ein mehrfaches Durchlaufen eines Teiles (beginnend mit S1) oder der ganzen Ausführungsphase (z.B.SHIFT-Befehl: bei jedem Durchlauf erfolgt ein SHIFT-Schritt).

Hierzu kann ebenfalls in jedem Intervall der Ausführungsphase (außer S1) die Schaltkette mit RL gelöscht werden und mit R1 das Intervall S1 der Ausführungsphase erneut angesteuert werden.

Weiter ist es möglich, in einem Zeitintervall der Ausführungsphase (außer S1) die Schaltkettenansteuerung R1 zu setzen, ohne gleichzeitig die Schaltkette zu löschen. Das bewirkt, daß die Schaltkette während einiger Intervalle mit sich selbst parallel läuft, d.h.wenn beispielsweise im Intervall S2 die Schaltkettenansteuerung R1 gesetzt wird, erscheint als nächstes Intervall gleichzeitig S3 und S1, dann S4 und S2, schließlich S5 und S3.

Hier ist mit S5 der eine Ablauf beendet, der andere Zweig läuft allein weiter, bis dort ebenfalls das Intervall S5 erreicht ist. Sollten beispielsweise mit Intervall S5 des ursprünglichen Ablaufs beide parallellaufende Zweige anhalten, muß mit RL die Schaltkette gelöscht werden.

Dieses zeitliche Nebeneinander zweier verschiedener Abläufe ist natürlich nur dann sinnvoll, wenn die damit angesteuerten und vom Mikroprogramm bedingten Verknüpfungen einander nicht widersprechen oder ausschließen.

c) Eingriff durch Programmunterbrechung oder vom Bedienfeld her

Ist die Schaltkette mit S1A einmal angelaufen und somit ein Befehlsablauf begonnen, so können Eingriffe der oben bezeichneten Art erst wirksam werden, wenn der betreffende Befehl völlig abgeschlossen und der Rechner zur Ausführung des nächsten Befehls bereit ist.

Ein Blick in die Gleichungen der Zeitschaltkette zeigt, daß die einzigen Flip-Flops und Signale, die nicht mit der Schaltkette selbst oder dem Speicherablauf zusammenhängen, in den Ansteuerbedingungen für H1A zu finden sind. Die Ansteuerung von H1A und damit der Schritt in das erste Zeitintervall der Abrufphase S1A werden nur dann unterbunden, wenn

1. ein Unterbrechungswunsch vom Unterbrechungswerk vorliegt (FSS) und die Abrufphase nicht zum Holen eines Operanden durchlaufen werden soll (RO:Operanden Holen).
   (Näheres siehe "Unterbrechungswerk", Kap. 1.7)

2. vom Bedienfeld her Einzelbefehl (EB) oder Programm-Stop (P-STP) angefordert sind; in diesem Falle wird unter anderem mit der Bedingung RO- das Signal FSV erzeugt, welches nach Durchführung des laufenden Befehles (bei EB) bzw. des voreingestellten Befehls (bei P-STP) die Zeitschaltkette verriegelt.
   (Näheres siehe "Bedienfeld", Kap. 1.5)

1.2 Globale logische Gleichungen

Außer den im Mikroprogramm unter den einzelnen Befehlen aufgeführten logischen Gleichungen, welche nur "lokal" d.h. bei dem betreffenden Befehlsablauf, Gültigkeit haben, gibt es noch eine Reihe weiterer "globaler" Gleichungen.

Diese globalen Gleichungen werden unabhängig vom jeweils aktuellen Befehlsablauf immer dann zusätzlich angesteuert, wenn die zugehörigen Bedingungen wahr werden. Um diese Gleichungen nicht bei jedem Befehl erneut anführen zu müssen, sollen sie hier den Gleichungskomplexen der Abrufphase und der einzelnen Befehlsabläufe vorangestellt werden.

TR86 GLOBALE GLEICHUNGEN

(SIND NICHT IM MIKROPROGRAMM AUFGEFUEHRT)

```
R1-',RL-'     = S1
RSF'          = S1.RSB-
FSP-'         = S2
RL-'R1A-'     = S1A
RA1'          = S1.RA
RA1-'         = S1.RA-
RB1'          = S1.RB
RB1-'         = S1.RB-
RC1'          = S1.RC
RC1-'         = S1.RC-
RD1'          = S1.RD
RD1-'         = S1.RD-
RE1'          = S1.RE
RE1-'         = S1.RE-
RSP1'         = S1.RSP
RSP1-'        = S1.RSP-
```

In den folgenden Kapiteln 1.3 und 1.4 werden die Abrufphase und die Ausführungsphasen der TR 86-Befehle beschrieben. Zur Verdeutlichung der logischen und zeitlichen Abläufe sind den Beschreibungen jeweils Flußdiagramme zugeordnet, zu deren besserem Verständnis hier noch einige Vorbemerkungen zu machen sind:

Die verwendeten Symbole entsprechen der DIN-Norm.

In der linken oberen Ecke der Symbole befindet sich fast stets entweder der Name eines Zeitintervalles oder eine schwarze Ecke. Der Name des Zeitintervalles deutet darauf hin, daß die in diesem Symbol aufgeführten Verknüpfungen in dem benannten Zeitintervall durchgeführt werden. Zu demselben Zeitintervall gehören auch die längs der Flußlinie darauffolgenden Symbole mit schwarzen Ecken, auch über Verzweigungen hinweg, solange bis der Name eines neuen Zeitintervalles auftritt.

Symbole ohne Namen eines Zeitintervalles oder ohne schwarze Ecke lassen sich nicht zeitlich einem bestimmten Intervall zuordnen.

Die in der linken unteren Ecke einzelner Symbole auftretenden Namen von Schaltwellen bedeuten, daß die in diesem Symbol aufgeführten Verknüpfungen mit dieser Schaltwelle angesteuert werden. Dies gilt auch für die längs der Flußlinie folgenden logischen Operationen, solange bis eine neue Schaltwelle oder anstelle derselben ein Strich zu finden ist oder das Mikroprogramm sich verzweigt.

1.3 Abrufphase

Die Abrufphase wird stets nach einer abgeschlossenen Befehlsausführung durchlaufen, um aus der durch den Befehlszähler adressierten Speicherzelle den nächstfolgenden Befehl auszulesen (RO=O). Hierbei können infolge indirekter Adressierung mehrere Speicherzyklen notwendig werden, bis schließlich der Befehl in seiner endgültigen Form im D-(Speicher-) Register steht. Abschließend wir der Befehlszählerstand um 1 erhöht.

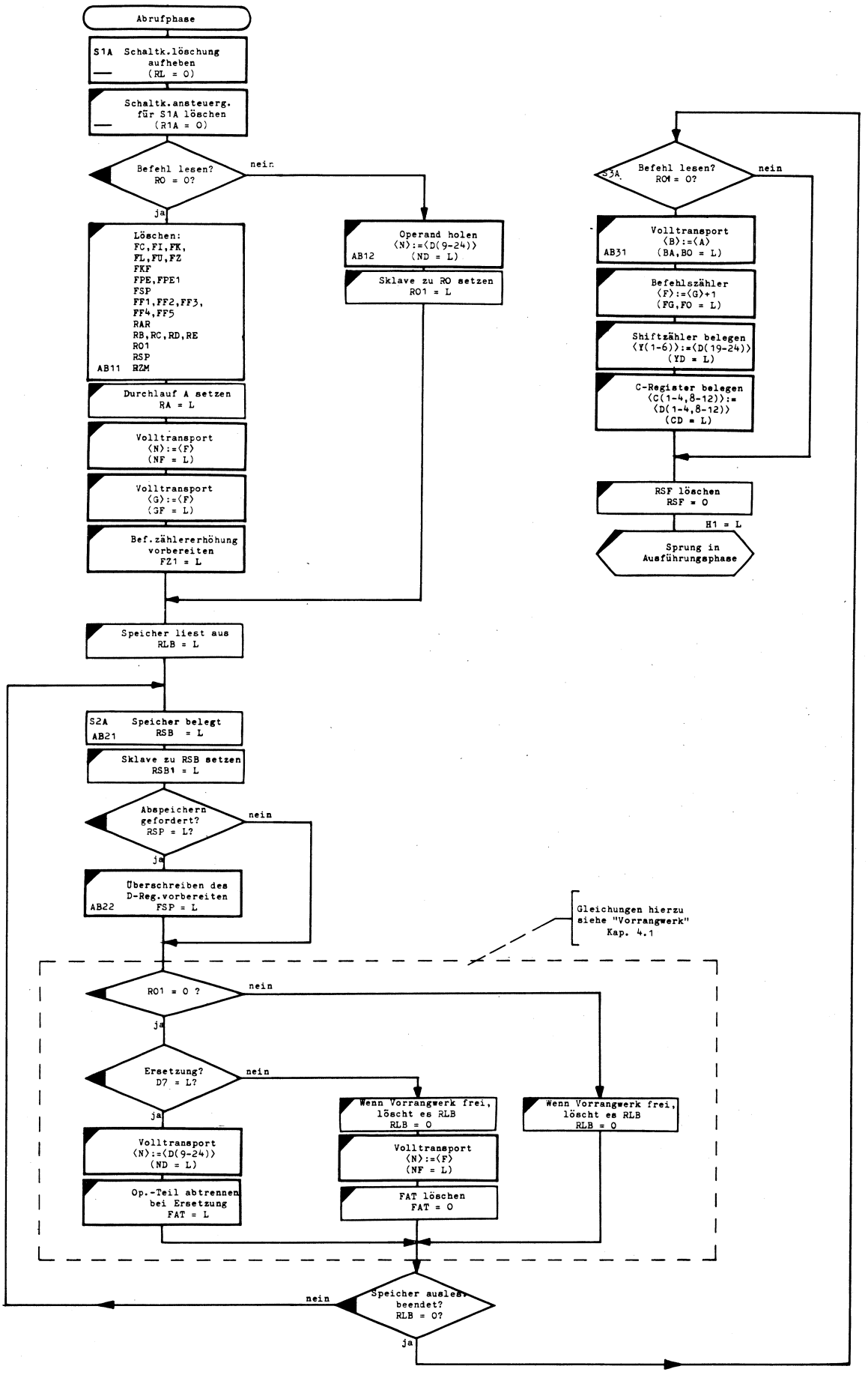
Ein Durchlaufen der Abrufphase wird ebenfalls nötig, wenn sich während eines Befehlsablaufes nach Entschlüsselung des Op.-Codes herausstellt, daß zu diesem Befehl ein Operand gehört. In diesem Ablauf zum Holen des Operanden (RO=O) liest der Speicher die mit dem Adressteil des aktuellen Befehls adressierte Speicherzelle in das D-Register aus. Ebenfalls mit RO=L wird die Abrufphase beim Abspeichern von Informationen durchlaufen. Hierzu muß die abzuspeichernde Information in das D-Register überschrieben werden, um von dort aus schließlich in die adressierte Speicherzelle übernommen zu werden (näheres hierzu siehe unter "Befehlsabläufe", C, CA, sowie SU, Kap.1.4.3.2, 1.4.3.3 sowie 1.4.7.4)

Ausführung:
(zum Vergleich siehe Flußdiagramm "Abrufphase" Abb. 1-2)

RO=O

S1A: Vor Ausführung des nächstfolgenden Befehls wird in diesem Intervall im Rechner jeweils ein definierter Anfangszustand hergestellt:

```
FC-',FI-',FK-',
FL-',FU-',FZ-',
FZ1',FKF-',FPE-',
FPE1-',FSP-',FF1-',
FF2-',FF3-',FF4-',
FF5-',RA',RAR-',RB-',
RC-',RD-',RE-',RO1-',
RSP-',RZM-',GF,NF    = AB11 = S1A.RO-
```



Abrufphase

Abb. 1-2

Zur Adressierung der auszulesenden Speicherzelle wird der Befehlszählerstand mit NF in das N-(Adress-)Register transportiert. Zugleich wird der Befehlszählerstand in das dazugehörige Hilfsregister G übernommen (GF) und mit FZ1 die Erhöhung des Zählerstandes um 1 vorbereitet.

Der Speicher wird angestoßen:

RLB' = S1A

S2A: Das Flip-Flop RSB("Speicher belegt") und der zugehörige Sklave RSB1 werden gesetzt. Der Speicher liest währenddessen die adressierte Speicherzelle aus. Erst wenn das Vorrangwerk vom Speicher die Speicherwortmeldung erhalten hat und damit RLB zurückgesetzt wurde, der Auslesevorgang also beendet ist, wird die mit dem Rechner-Takt periodische Wiederholung der Intervalle S2A abgebrochen und nach S3A weitergeschaltet. (Siehe hierzu "Zeitschaltkette", Kap. 1.1)

RSB',RSB1', = AB21 = S2A•RLB

Wenn in dem ausgelesenen Befehl das Ersetzungs-Bit gesetzt war, wird diese Schleife erneut durchlaufen: der nach wie vor gültige Op.-Teil wird abgetrennt (FAT), der Adreß-Teil geht ins N-Register zur Adressierung der neuen auszulesenden Speicherzelle; es läuft ein weiterer Speicherzyklus ab (wenn nur ein Modul vorhanden ist, muß zunächst das Ende des vorangegangenen Zyklus abgewartet werden). Dieser Vorgang wiederholt sich, bis kein E-Bit mehr auftritt, d.h. der Befehl in seiner endgültigen Form im D-Register steht. Es wird dann RLB gelöscht, FAT gelöscht und der Befehlszähler-Inhalt ins N-Register transportiert (dies ist für den "Skip-Befehl",SM, Kap. 1.4.6.2, von Bedeutung). Die logischen Gleichungen für die Zusammenhänge bei indirekter Adressierung (Ersetzung) sind unter den Gleichungen zu "Vorrangwerk",Kap. 4.1 , zu finden.

Mit RLB- wird nach S3A fortgeschaltet.

S3A: In S3A wird der Akkuinhalt ins B-Register übernommen, der Befehlszählerstand um 1 erhöht und die entsprechenden Teile des soeben ausgelesenen Befehls ins C-Register bzw. den Shiftzähler übernommen.

CD,BA,B0,FG,F0,YD = AB31 = S3A•R01-

RSF-' = S3A

Das Synchronisierungsflipflop RSF wird gelöscht.

Hieran schließt sich die Ausführungsphase an.

RO=L

S1A: Zum Holen eines Operanden oder zum Abspeichern von Information wird die zugehörige Speicheradresse aus dem D-Register ins N-(Adress-)Register übernommen. Der Speicher wird angestoßen.

RLB' = S1A

R01',ND = AB12 = S1A•R0

S2A: Das Flip-Flop RSB und Sklave RSB1 werden gesetzt. Der Speicher liest die adressierte Zelle aus, wie oben unter "RO=O" ausgeführt;da hier keine Ersetzung auftritt, ist nur ein Lesevorgang erforderlich. Zum letzten Intervall S2A steht der Operand im D-Register bereit.

RSB',RSB1', = AB21 = S2A•RLB

Handelt es sich hier um einen Durchlauf der Abrufphase, in welchem Information abgespeichert werden soll, dann ist in dem vorangegangenen Befehlsablauf RSP gesetzt worden: damit wird nun hier in S2A das Flipflop FSP gesetzt.

FSP' = AB22 = S2A•RSP

Dieses Flipflop FSP veranlaßt, daß das abzuspeichernde Wort in das D-Register überschrieben wird; von dort gelangt die Information schließlich in die adressierte Speicherzelle (Genaueres hierüber ist in den Beschreibungen der Befehle zu finden, bei denen Information abgespeichert wird: 1.4.3.2 "C", 1.4.3.3 "CA", 1.4.7.4 "SU")

RLB wird sofort nach dem Transport der Information in den Speicher gelöscht.

S3A: RSF wird gelöscht

RSF-' = S3A

Die Ausführungsphase schließt sich an.

Rechnerkern
Schnarre N3/MR/E1
14.02.69

1.4 Befehlsabläufe

1.4.1 Arithmetische Befehle

1.4.1.1 Addition (A)

Wirkung:

1. Die Summe aus dem Akkumulatorinhalt und dem Inhalt der Speicherzelle N steht nach Ausführung des Befehls im Akku.

   $$\langle A \rangle + \langle N \rangle \longrightarrow A$$

   Für die Summenbildung ist folgendes zu beachten: Die erste Stelle (von links gezählt) der Operanden ist jeweils Vorzeichenstelle. Für negative Zahlen gilt die Darstellung im (B-1)-Komplement. Die Addition erfolgt über alle 24 Stellen, erforderlichenfalls mit Einerrücklauf (siehe hierzu Abb.)

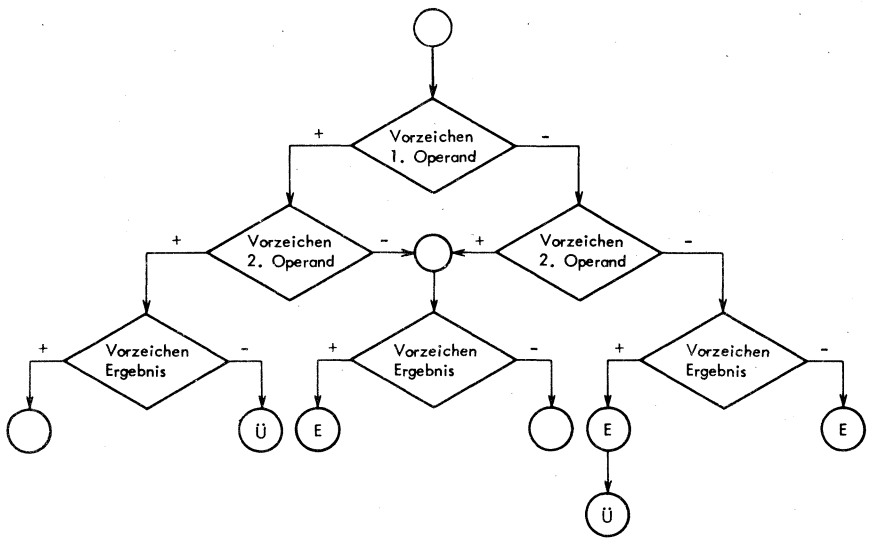
   Null als Ergebnis:
   Ist $\langle A \rangle = +0$ und $\langle N \rangle = +0$, so ist das Ergebnis ebenfalls = +0.
   In allen anderen Fällen ist das Ergebnis = -0.

2. Bei Bereichsüberschreitung wird das Überlaufflipflop U gesetzt; andernfalls bleibt es unverändert. (Siehe hierzu Abb. 1-3)

   Bereichsüberschreitung liegt genau dann vor, wenn

a) $\langle A \rangle$ und $\langle N \rangle$ gleiche Vorzeichen hatten und

b) der Wert der Vorzeichenstelle des Ergebnisses von diesen Vorzeichen verschieden ist.
   (Bei Kommastellung am Ende des Wortes, also unmittelbar hinter der 24. Stelle, heißt das: Bereichsüberschreitung liegt vor, wenn $|\langle A \rangle + \langle N \rangle| \geq 2^{23}$ ist).
   Man sagt dann, das Ergebnis sei übergelaufen, wenn das Vorzeichen positiv war, untergelaufen, wenn es negativ war. Das Ergebnis ist betragsmäßig noch korrekt, hat aber kein Vorzeichen mehr, da die Vorzeichenstelle ebenfalls Ergebnisstelle geworden ist.



Auftreten von Überlauf und Einerrücklauf am Beispiel Addition

Es bedeutet:

Ⓤ Überlauf, Ergebnis ohne Vorzeichen U - Flipflop gesetzt

Ⓔ Einerrücklauf, Ergebnis anschließend richtig

○ Ergebnis direkt richtig

Abb. 1-3 Überlauf und Einerrücklauf

Ausführung

(Siehe hierzu Flußdiagramm "Addition", Abb. 1-4)

Erster Durchlauf (RO=0)

S1 ohne Bedeutung

S2 Der im C-Register stehende Operationscode wird so weit entschlüsselt, daß entschieden werden kann, ob ein zweiter Durchlauf der Abrufphase zum Holen eines Operanden erforderlich ist. Dies ist bei den Befehlen A, SB, ET, AT, C, CA, SU, B der Fall; bei diesen Befehlen ist jeweils C4=L.

R1A',RL',R0',FF1-'
BA,BO = ZZ02 = S2.C4.R01-

Der Akkuinhalt wird mit BA,BO nach B gebracht, durch RL,R1A erfolgt der Sprung in die Abrufphase mit RO=L.

Zweiter Durchlauf (RO=L)

S1 (mit FC=0) Der Operand ist geholt worden; es wird nun der Operationscode weiter entschlüsselt. Das Flipflop FF3 wird bei den Befehlen A, SB, AA, SA gesetzt und zur Steuerung bestimmter Operationen bei diesen Befehlen benutzt. (FF3 unterscheidet diese Abläufe von denen der Befehle ET, AT, B)

FF3' = A11 = S1.AA
+S1.A01

Wenn die Operanden verschiedene Vorzeichen haben, wird FF1 gesetzt.

FF1' = A12 = S1.B1D1-.RC-

Die eigentliche Addition erfolgt ungetaktet im Addierwerk und wird ständig mit den Inhalten von A und D gebildet. Mit Ende des Intervalles S 1 steht das Ergebnis der Addition <A> + <D> ohne Einerrücklauf an den Ausgängen des Addierwerkes zur Verfügung.

S2 (FC=0) Mit BU,BO wird das Ergebnis der Addition nach B gebracht;

BU,BO = ZZ04 = S2.FF3

wenn bei der Addition ein Übertrag aus der ersten (Vorzeichen-)Stelle heraus auftritt (UBB1=L), dann gelten folgende Gleichungen:

R1',RL',RC',FC' = A22 = S2.FF3
.RC1-.UBB1

Es wird mit RL,R1 die Zeitschaltkette gelöscht und noch einmal S1 angesteuert. Das in B stehende Ergebnis ist dann ohne Bedeutung.
Für den Fall UBB1=0 wird sofort nach S3 weitergeschaltet.

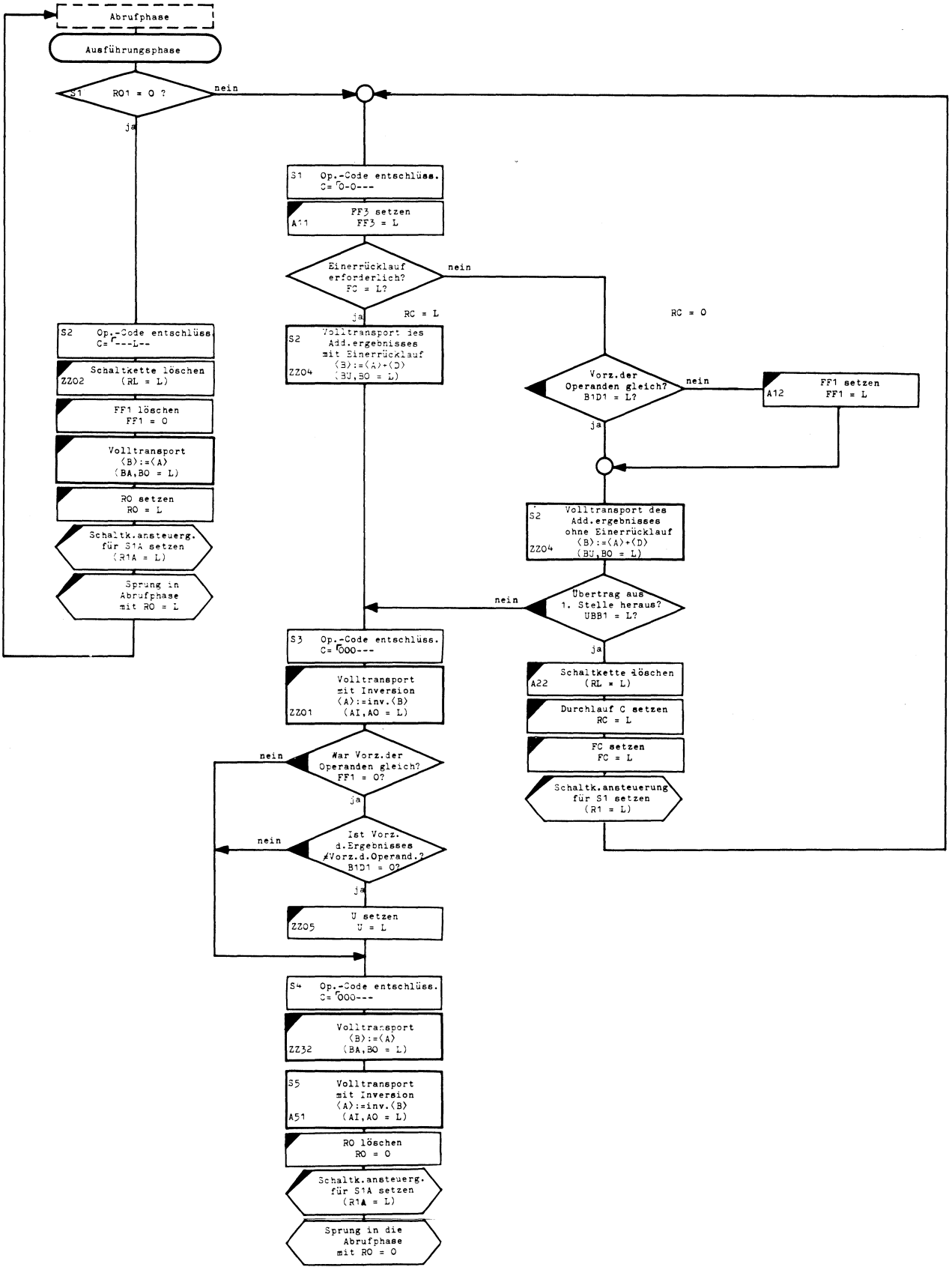
S1 (mit FC=L) Es findet wiederum die ungetaktete Addition der beiden Summanden statt, diesmal aber wegen FC=L mit Einerrücklauf:
<A> + <D> + 00...00L
In diesem Intervall S1 mit FC=L werden vom Mikroprogramm her keine Verknüpfungen vorgenommen, so daß man von einem "Wartetakt für die Addition" sprechen kann.

S2 (mit FC=L) Mit BU,BO wird das Ergebnis der Addition mit Einerrücklauf nach B gebracht (wie in S2 mit FC=0)

BU,BO = ZZ04 = S2.FF3

Wegen RC1=L werden die durch A22 angesteuerten Verknüpfungen nicht durchgeführt; es wird daher nach S3 weitergeschaltet.

S3 Die bei den Intervallen S3, S4 und S5 durchgeführten Transporte zwischen dem A-und B-Register sind notwendig, weil es keinen direkten Transport vom B- ins A-Register gibt, sondern nur den invertierenden Transport. Durch zweimalige Inversion gelangt das Ergebnis in den Akkumulator.



Addition	C_1 C_2 C_3 C_4 C_5 C_6
A	0 0 0 L 0 0

Abb.1-4

In S3 findet ein invertierender Transport von B nach A statt:

AI,A0 = ZZ01 = S3.A03

Das Überlaufflipflop U wird gesetzt, wenn die beiden Operanden in A und D gleiche Vorzeichen hatten (FF1=0), das Vorzeichen des Ergebnisses der Addition (B1) jedoch von dem gemeinsamen Vorzeichen (D1) der Operanden verschieden ist:

U' = ZZ05 = S3.FF3.FF1-.
.B1D1-
+S3.FF3.FF4.B1-

S4 Der Inhalt des Akkus wird in das B-Register transportiert; bei diesem Befehl sind die Schaltwellen PQ und XY ohne Bedeutung.

BA,B0,XY,PQ = ZZ32 = S4.A03

S5 Es findet ein invertierender Transport von B nach A statt. Damit steht in A das endgültige Additionsergebnis.

R1A',R0-',AI,A0 = A51 = S5.FF3

Mit RO-,R1A wird zum Lesen des nächsten Befehls in die Abrufphase gesprungen.

1.4.1.2 Subtraktion (SB)

Wirkung:

1. Nach Ausführung des Befehls steht die Differenz aus <A> und <N> im Akkumulator:

$$\langle A\rangle - \langle N\rangle \longrightarrow A$$

Für die Bildung der Differenz ist folgendes zu beachten: Die erste Stelle der Operanden <A> und <N> ist jeweils Vorzeichenstelle; für negative Zahlen gilt das (B-1)-Komplement. Die Subtraktion geschieht, indem zunächst der eine Operand <A> invertiert wird, sodann die Addition der Größen -<A> und <N> erfolgt und anschließend das Ergebnis invertiert wird, also -(-<A> + <N>). Die Addition erfolgt über alle 24 Stellen, erforderlichenfalls mit Einerrücklauf.
Null als Ergebnis:
Ist <A> = -0 und <N> = +0, so ist das Ergebnis = -0; in allen anderen Fällen ergibt sich +0.

2. Bei Bereichsüberschreitung wird das Überlaufflipflop U gesetzt, andernfalls bleibt es unverändert.

Bereichsüberschreitung liegt dann vor, wenn

a) <A> und -<N> gleiche Vorzeichen hatten und

b) der Wert der Vorzeichenstelle des Ergebnisses von diesen Operanden-Vorzeichen verschieden ist.
Mit anderen Worten: Bereichsüberschreitung liegt genau dann vor, wenn <A> positiv, <N> negativ war, und die Vorzeichenstelle des Ergebnisses negativ ist, oder wenn <A> negativ, <N> positiv war, und die Vorzeichenstelle des Ergebnisses positiv ist.

Bei Kommastellung am Ende des Wortes, also unmittelbar hinter der 24. Stelle, heißt das: Bereichsüberschreitung liegt vor, wenn $|\langle A\rangle - \langle N\rangle| \geq 2^{23}$ ist.

Mit den Operanden <A> und - <N> gilt hier ebenfalls das Diagramm in Abb. 1-3

Man sagt dann, das Ergebnis sei übergegelaufen, wenn <A> positiv und <N>negativ war, untergelaufen, wenn <A>negativ und <N> positiv war. Das Ergebnis ist dann betragsmäßig noch korrekt, hat aber kein Vorzeichen mehr, da die Vorzeichenstelle ebenfalls Ergebnisstelle geworden ist.

Ausführung
(siehe hierzu Flußdiagramm " Subtraktion", Abb. 1-5)

Erster Durchlauf (RO=O)

S1 Der als Ergebnis eines vorangegangenen Befehlsablaufes im B-Register stehende Minuend wird invertiert in den Akkumulator transportiert.

AI,AO = ZZ01 = S1.A04

S2 (Wie bei Addition, Kap.1.4.1.1)
Der im C-Register stehende Operationscode wird soweit entschlüsselt, daß entschieden werden kann, ob ein zweiter Durchlauf der Abrufphase zum Holen eines Operanden erforderlich ist. Dies ist bei den Befehlen A, SB, ET, AT, C, CA, SU, B der Fall; bei diesen Befehlen ist C4=L.

R1A',RL',R0',FF1-'
BA,BO = ZZ02 = S2.C4.R01-

Der Akkuinhalt wird mit BA,BO nach B gebracht; durch RL,R1A erfolgt der Sprung in die Abrufphase mit RO=L.

Zweiter Durchlauf (RO=L)
S1 (mit FC=O)
wie bei Addition, Kap.1.4.1.1

S2 (mit FC=O)
wie bei Addition

S1 (mit FC=L)
wie bei Addition

S2 (mit FC=L)
wie bei Addition

S3 Nach dem Transport des Additionsergebnisses in das B-Register steht dort die Summe (-<A>+<N>) bereit. Es bedarf im folgenden nur mehr eines invertierenden Transportes in den Akkumulator, um dort das Endergebnis der Subtraktion zu erhalten: $-(-\langle A\rangle + \langle N\rangle) = \langle A\rangle - \langle N\rangle$

Im Intervall S 3 wird hier also im Unterschied zum Ablauf beim Additionsbefehl lediglich geprüft, ob ein Überlauf stattgefunden hat und das U-Flipflop gesetzt werden muß:

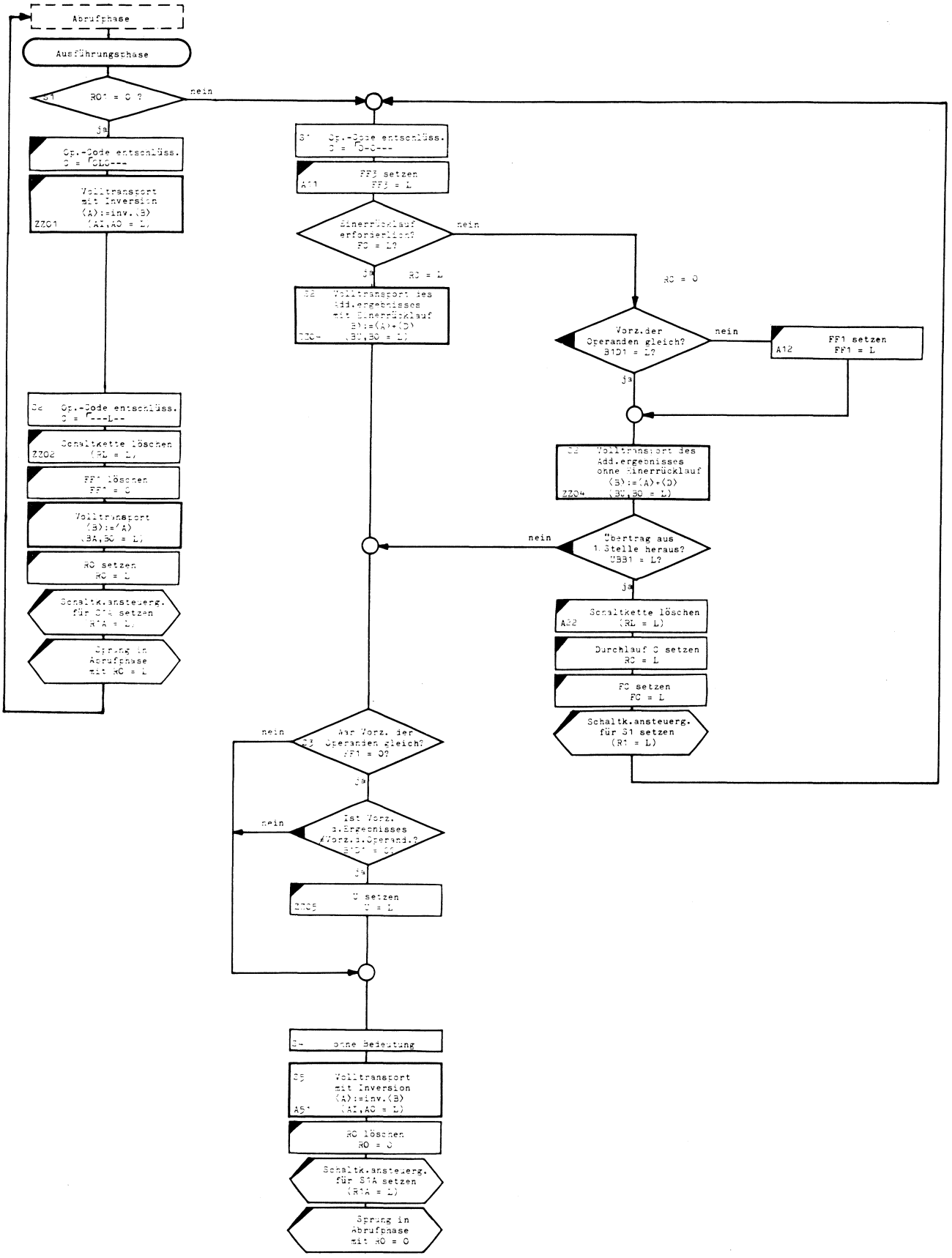
U' = ZZ05 = S3.FF3.FF1-.
.B1D1-
+S3.FF3.FF4.B1-

S4 Leerintervall

S5 Hier erfolgt mit AI,AO der invertierende Transport in den Akku:

R1A',R0-',AI,AO = A51 = S5.FF3

Der Befehlsablauf ist damit beendet.
Mit R1A,RO- wird in die Abrufphase gesprungen, zum Auslesen des nächsten Befehles.



Subtraktion	c_1 c_2 c_3 c_4 c_5 c_6
SB	0 L 0 L 0 0

Abb.1-5

Rechnerkern
N3/MA/E1 Schnarre
15.01.69

1.4.1.3. Multiplikation (ML)

Wirkung:
Nach Ausführung des Befehls steht im Akkumulator und seiner Verlängerung, dem Q-Register, das doppeltlange Produkt:
<A> . <N> ——→ A,Q
Die erste Stelle ist Vorzeichenstelle, es folgen 2.23=46 Produktstellen, die letzte Stelle des Q-Registers Q24 ist stets gelöscht (Q24=0).

Die üblichen Regeln für das Vorzeichen des Produktes gelten hier, auch wenn einer der beiden Faktoren = +0 oder = -0 sind. Für negative Zahlen gilt die Darstellung im (B-1)-Komplement.

Ausführung
(siehe hierzu Flußdiagramm "Multiplikation", Abb. 1-6)

S1 (mit RO=0) Zunächst steht im A- und B-Register der Multiplikator, das D-Register enthält den Multiplikationsbefehl mit der Adresse des Multiplikanden. Wenn der Multiplikator negativ ist, wird durch einen invertierenden Transport von B nach A invertiert und gleichzeitig die Shift-Spezifikation "Invertierend" gesetzt (FI=L).

AI,AO,FI' = ML11 = S1.MLV.B1

Ist der Multiplikator positiv, so ist S1 ein Leerintervall.

S2 (mit RO=0) Der Betrag des Multiplikators geht in das Q-Register. Durch YS wird in das Y-Register -23 eingeschrieben; außerdem wird die Shift-Spezifikation "Zusammen" gesetzt (FZ=L).

QA,QO,YS,FZ' = ML21 = S2.MLV

S3 A- und B-Register werden gelöscht; mit RO=L wird in die Abrufphase gesprungen, um den Operanden (hier: den Multiplikanden) auszulesen.

AO,BO,R1A',RL',RO' = ML31 = S3.MLV

Durchlauf A (RA=L)

S1 (mit RO=L) Der Multiplikand steht nun im D-Register bereit. Ist er negativ, wird die +0 im B-Register invertierend ins A-Register gebracht, so daß im Akku anschließend -0 steht. Außerdem werden die Flipflops FC für Einerrücklauf und FL für die Shift-Spezifikation "L nachziehen" gesetzt.

AI,FL',FC' = ML12 = S1.ML0.RA.D1

Ist der Multiplikand positiv, werden obige Verknüpfungen nicht durchgeführt.

S2 (mit RO=L) RA wird gelöscht, RB gesetzt, die Schaltkette gelöscht und wegen R1 erneut S1 angesteuert.

R1',RL',RA-',RB' = ZZ03 = S2.ML0.RA1

Wenn P24=L ist,werden auch die Bedingungen für ZZ04 erfüllt; jedoch ist das in diesem Intervall noch ohne Bedeutung. (siehe Intervall S2 im Durchlauf B)

Durchlauf B (RB=L)

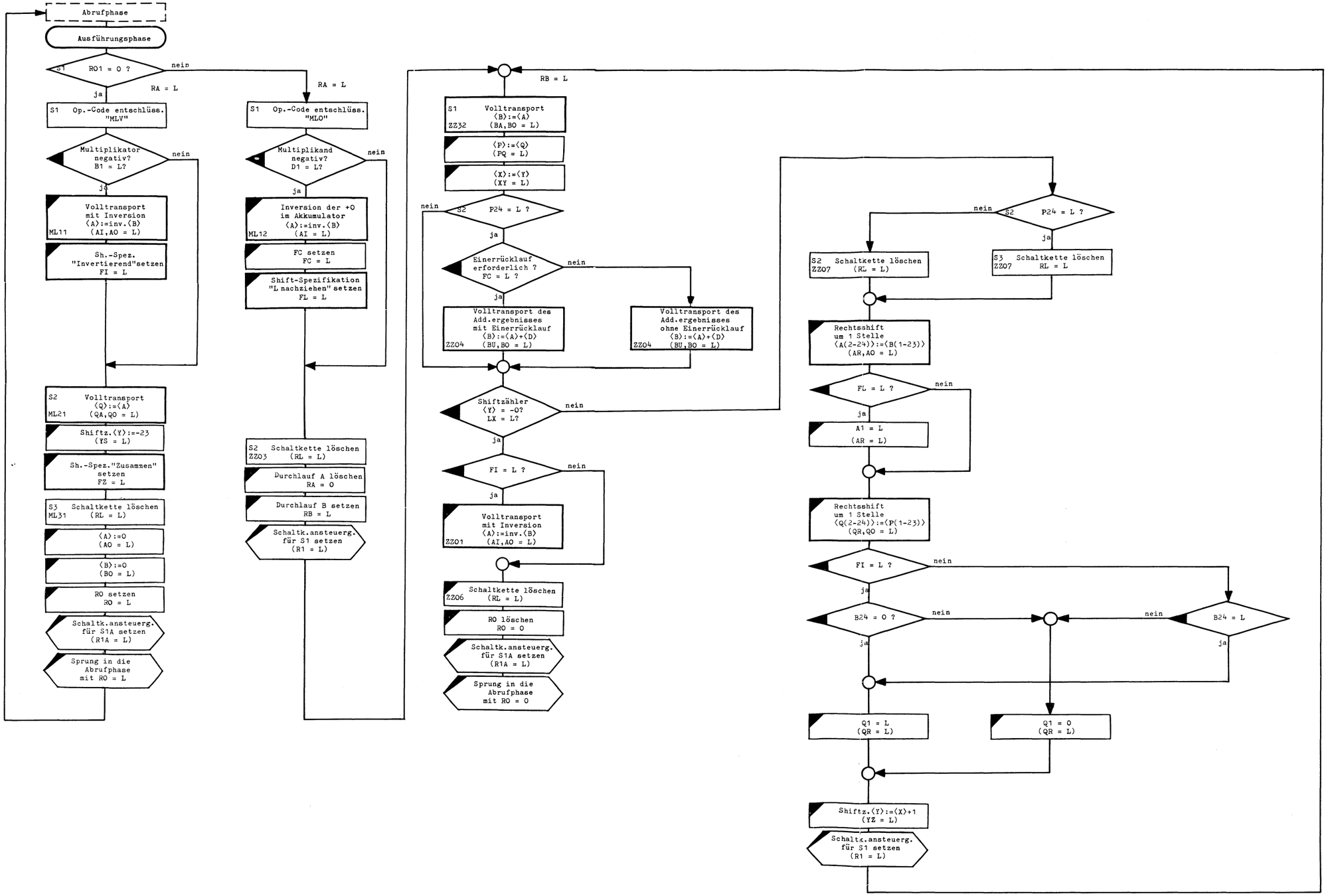
S1 (mit RO=L) Transport der Inhalte der Register A, Q, Y in die Hilfsregister B, P, X.

BA,BO,PQ,XY = ZZ32 = S1.ML0.RB

S2 (mit RO=L) Wenn P24=L ist, wird mit BU,BO das Ergebnis der Addition <A> + <D> nach B geschrieben. Ein Einerrücklauf tritt hierbei nur dann auf, wenn der Multiplikand negativ ist (siehe Durchlauf A, S1 mit RO=L)

BU,BO = ZZ04 = S2.ML0.P24

Wenn P24=0 ist, findet ein shiftender Transport von B,P um eine Stelle nach rechts nach A,Q statt, und zwar mit der Spezifikation "Zusammen" (FZ=L). Bei negativen Multiplikanden wird wegen FL=L beim Rechtsshift von B nach A in Akkumulator in A1 ein L nachgezogen, sonst eine 0. Bei negativem Multiplikator erfolgt wegen FI=L der Transport von B24 nach Q1 invertierend, sonst wird direkt



Multiplikation	C_1 C_2 C_3 C_4 C_5 C_6
ML	L 0 0 0 0 0

Abb.1-6

Register / Durchlauf / Zeitintervall	D 1 2 3 4	B 1 2 3 4	A 1 2 3 4	Q 1 2 3 4	P 1 2 3 4	Y 1 2 3 4	Ausführung	Flipflops
Durchlauf A:	"ML N"	L O L O	L O L O	* * * *	* * * *	* * * *	Zustand nach Lesen des Multiplikations-Befehles	RO = O RA = L
S1	"ML N"	L O L O	O L O L	* * * *	* * * *	* * * *	wegen B1 = L : ⟨B⟩ $\xrightarrow{inv}$ A	FI = L
S2	"ML N"	L O L O	O L O L	O L O L	* * * *	L L O O	⟨A⟩ ⟶ Q; -3 ⟶ Y	FZ = L
S3	"ML N"	O O O O	O O O O	O L O L	* * * *	L L O O	O ⟶ A,B Abrufphase, Holen des Operanden ⟨N⟩ ⟶ D	RO = L
S1	L L O O	O O O O	L L L L	O L O L	* * * *	L L O O	wegen D1 = L : ⟨B⟩ $\xrightarrow{inv}$ A	FL = L FC = L
S2	L L O O	O O O O	L L L L	O L O L	* * * *	L L O O	Durchlauf B setzen, keine Veränderung der Registerinhalte	RB = L
Durchlauf B:								
S1	L L O O	L L L L	L L L L	O L O L	O L O L	L L O O	⟨A⟩ ⟶ B; ⟨Q⟩ ⟶ P; ⟨Y⟩ ⟶ X	
S2	L L O O	L L O O	L L L L	O L O L	O L O L	L L O O	wegen P4 = L : ⟨A⟩ + ⟨D⟩ ⟶ B	
S3	L L O O	L L O O	L L L O	L O L O	O L O L	L L O L	⟨B⟩ $\xrightarrow{sh1}$ A; ⟨P⟩ $\xrightarrow{sh1}$ Q; ⟨X⟩+1 ⟶ Y; "L" ⟶ A1; B4 $\xrightarrow{inv}$ Q1	
S1	L L O O	L L L O	L L L O	L O L O	L O L O	L L O L	⟨A⟩ ⟶ B; ⟨Q⟩ ⟶ P; ⟨Y⟩ ⟶ X	
S2	L L O O	L L L O	L L L L	L L O L	L O L O	L L L O	⟨B⟩ $\xrightarrow{sh1}$ A; ⟨P⟩ $\xrightarrow{sh1}$ Q; ⟨X⟩+1 ⟶ Y; "L" ⟶ A1; B4 $\xrightarrow{inv}$ Q1	
S1	L L O O	L L L L	L L L L	L L O L	L L O L	L L L O	⟨A⟩ ⟶ B; ⟨Q⟩ ⟶ P; ⟨Y⟩ ⟶ X	
S2	L L O O	L L O O	L L L L	L L O L	L L O L	L L L O	wegen P4 = L : ⟨A⟩ + ⟨D⟩ ⟶ B	
S3	L L O O	L L O O	L L L O	L L L O	L L O L	L L L L	⟨B⟩ $\xrightarrow{sh1}$ A; ⟨P⟩ $\xrightarrow{sh1}$ Q; ⟨X⟩+1 ⟶ Y; "L" ⟶ A1; B4 $\xrightarrow{inv}$ Q1	
S1	L L O O	L L L O	L L L O	L L L O	L L L O	L L L L	⟨A⟩ ⟶ B; ⟨Q⟩ ⟶ P; ⟨Y⟩ ⟶ X	
S2	L L O O	L L L O	O O O L	L L L O	L L L O	L L L L	wegen LX = L : ⟨B⟩ $\xrightarrow{inv}$ A Befehlsablauf beendet	
			Ergebnis Vorzeichen o.Bed.					

Abb. 1-7

Beispiel zum Befehl "Multiplikation": Das Produkt ⟨A⟩ = -5 mal ⟨N⟩ = -3 wird gebildet
Zur Vereinfachung wurden in diesem Beispiel 4-Bit-Register angenommen. Nach Auslesen des Befehls "ML" befindet sich dieser Befehl sowie die Operandenadresse in dualer Darstellung im D-Register. In A und B befindet sich der Multiplikator als Ergebnis eines vorangegangenen Befehlsablaufes. Die Inhalte von Q,P und Y sind zunächst noch irrelevant (dargestellt durch *)

Erklärungen:
sh1: Rechtsshift um eine Stelle
inv: invertierender Transport
⟶ invertierender Transport
•⟶ Transport nach Addition

transportiert. Q1 ist in beiden Fällen die erste Ergebnisstelle, die am Ende der Multiplikation schließlich am weitesten rechts steht.

```
AR,AO,QR,QO,
RL',R1',YZ          = ZZ07 = S2.ML0.RB1
                             .LX-.P24-
```

Mit YZ wird der um 1 hochgezählte X-Register-Inhalt in den Shiftzähler Y gebracht. Mit R1,RL wird die Schaltkette gelöscht und erneut S1 angesteuert.

S3 In dieses Intervall wird nur dann fortgeschaltet, wenn P24=L ist. Für diesen Fall wurde nämlich in S2 das Additionsergebnis nach B transportiert, so daß erst jetzt in S3 der Rechtsshift B,P nach A,Q mit den entsprechenden Spezifikationen erfolgen kann (für P24=0 wurden die gleichen Verknüpfungen bereits in S2 ausgeführt).

```
AR,AO,QR,QO,
RL',R1',YZ          = ZZ07 = S3.ML0
```

Für die Bedingungen des Rechtsshifts, den X-Y-Transport sowie den Rücksprung nach S1 gilt das unter S2, für P24=O gesagte.

Das erneute Durchlaufen der Intervalle S1 und S2 und für P24=L auch S3 mit anschließendem Rücksprung nach S1 wiederholt sich unter der Bedingung RB=L, RO=L so lange, bis der Shiftzähler Y von -23 auf -O hochgezählt worden ist (LX=L). Dann gilt für Intervall S2:

S2 (mit RO=L, LX=X) Bei negativem Multiplikator (FI=L) erfolgt mit AI,AO ein invertierender Transport von B nach A; damit wird der vordere Teil des Produktes noch invertiert, nachdem die letzte Stelle des B-Registers für den Inhalt FI=L ja bereits invertierend nach Q1 transportiert worden war.

```
AI,AO               = ZZ01 = S2.ML0.RB1
                             .LX.FI
```

Die Verknüpfungen bei S2,ZZ04 können nicht erfüllt werden, weil zu diesem Zeitpunkt nach 23 Rechtsshifts stets P24=O ist.

Der Multiplikator wurde ja in jedem Falle, ob zunächst positiv oder negativ, als positive Größe in das Q-Register überschrieben, und das somit stets positive Vorzeichen Q1=O befindet sich zu diesem Zeitpunkt in P24. Es kann sich also keine Kollision etwa durch gleichzeitige Transporte BU,BO und AI,AO ergeben. War der Multiplikator nicht negativ, ist also FI=O, unterbleibt der oben beschriebene invertierende Transport mit AI,AO. Gleichzeitig wird der Sprung in die Abrufphase vorbereitet.

```
R1A',RL',R0-'       = ZZ06 = S2.ML0.RB1.LX
```

Der Multiplikationsbefehl ist damit ausgeführt.

1.4.2 Adressarithmetische Befehle

1.4.2.1 Addiere Adressteil (AA)

Wirkung:

1. Die Summe aus <A> und N steht nach Ausführung des Befehls im Akkumulator:

   <A> + N ⟶ A

   Für die Summenbildung ist folgendes zu beachten:
   Die erste Stelle (von links gezählt) des Operanden <A> ist Vorzeichenstelle. Für negative Zahlen gilt die Darstellung im (B-1)-Komplement. Der Operand N wird vor der Addition links mit OO...O auf 24 Stellen ergänzt; er wird stets als positive Zahl aufgefaßt (≧ +0). Die Addition erfolgt über alle 24 Stellen, erforderlichenfalls mit Einerrücklauf.
   Null als Ergebnis:
   Ist <A>= +0 und N = +0, so ist das Ergebnis = +0. In allen anderen Fällen ist das Ergebnis = -0.

2. Bei Bereichsüberschreitung wird das Überlaufflipflop U gesetzt, andernfalls bleibt es unverändert.

   Bereichsüberschreitung liegt dann vor, wenn
   a) <A> positiv (≧ +0) ist, und
   b) der Wert der Vorzeichenstelle des Ergebnisses =L ist.
   Bei Kommastellung am Ende des Wortes, also unmittelbar hinter der 24. Stelle, heißt das: Bereichsüberschreitung liegt dann vor, wenn $|<A> + N| \geq 2^{23}$ ist.
   Man sagt dann, das Ergebnis sei übergelaufen. Das Ergebnis ist betragsmäßig noch korrekt, hat aber keine Vorzeichenstelle mehr.

Dieser Befehl tritt nicht nur als selbständiger Ablauf im Anschluß an die Abrufphase auf, sondern kann auch als Anhängsel des "Shift mit Rundung" durchlaufen werden (siehe 1.4.5.3).
Die Bedingungen, mit denen vom Shift mit Rundung auf den "AA"-Befehl übergegangen wird, sind am Anfang des Flußdiagrammes angegeben.

Ausführung:
(siehe hierzu Flußdiagramm "Addiere Adressteil", Abb. 1-8)

Da der Befehl AA in keinem Falle einen Operanden benötigt, wird die Abrufphase nur einmal (mit RO=0) durchlaufen. Der Interncode dieses Befehls ist OOOOOO, d.h. der Operationsteil D1 bis D6 ist =0; der Adressteil-Operand steht sofort für die Addition zur Verfügung.

S1 (mit FC=0) Nach Entschlüsselung des Op.-Codes wird FF3 als Durchlaufunterscheidung gesetzt (FF3 unterscheidet die Abläufe von A, SB, AA, SA von denen der Befehle ET, AT, B)

FF3' = A11 = S1.AA
+S1.A01

Wenn die Operanden verschiedene Vorzeichen haben, wird FF1 gesetzt.

FF1' = A12 = S1.B1D1-.RC-

Die eigentliche Addition erfolgt ungetaktet im Addierwerk und wird ständig mit den Inhalten von A und D gebildet. Mit Ende des Intervalles S1 steht das Ergebnis der Addition <A> + <D> ohne Einerrücklauf an den Ausgängen des Addierwerkes zur Verfügung.

S2 (mit FC=0) Mit BU,BO wird das Ergebnis der Addition nach B gebracht;

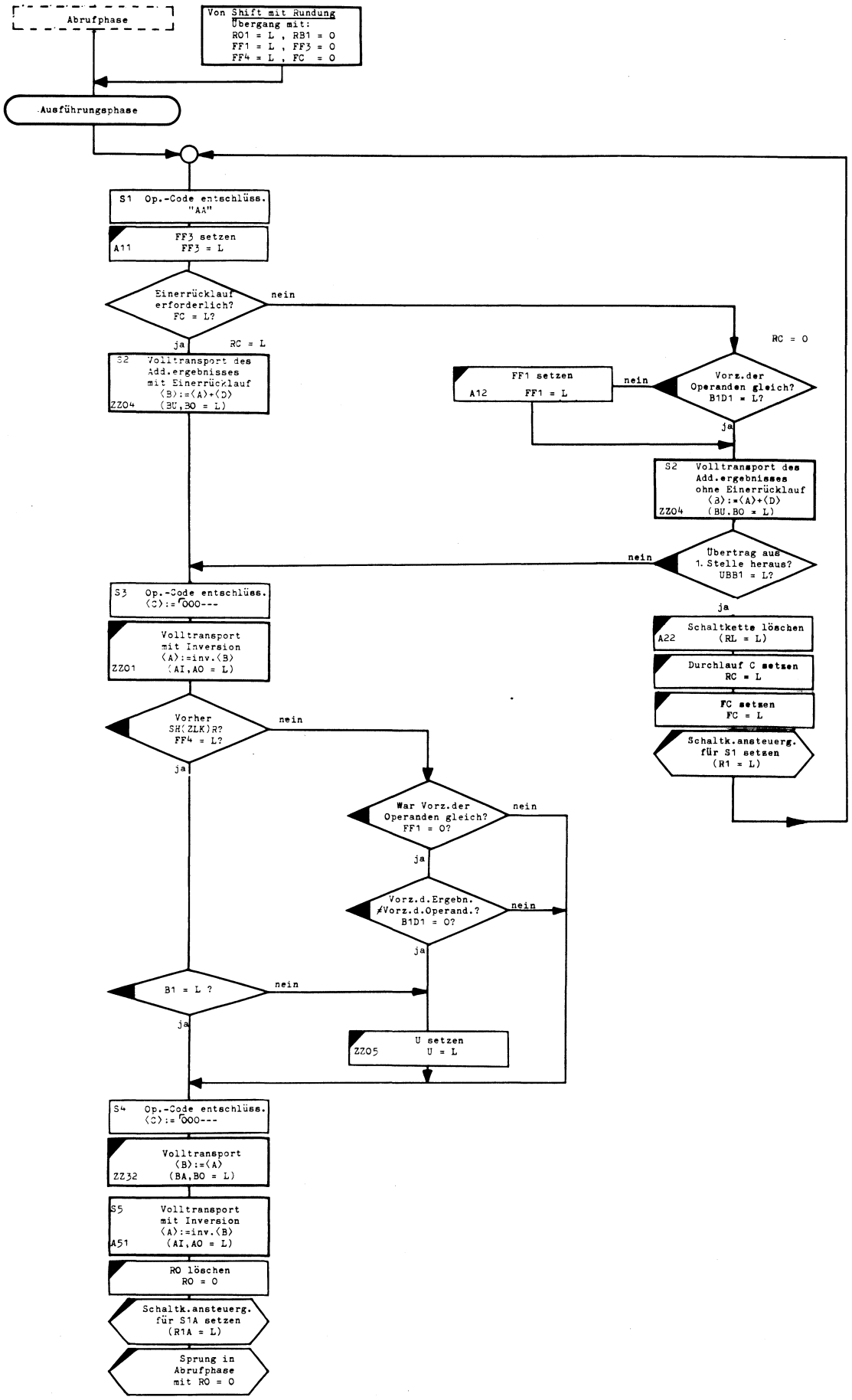
BU,BO = ZZ04 = S2.FF3

Wenn bei der Addition ein Übertrag aus der ersten (Vorzeichen-) Stelle heraus auftritt (UBB1=L), dann gelten folgende Gleichungen:

R1',RL',RC',FC' = A22 = S2.FF3
.RC1-.UBB1

Es wird mit RL,R1 die Zeitschaltkette gelöscht und noch einmal S1 angesteuert. Das in B stehende Ergebnis ist dann ohne Bedeutung.

Für den Fall UBB1=0 wird sofort nach S3 weitergeschaltet.



Addiere Adreßteil	$C_1\ C_2\ C_3\ C_4\ C_5\ C_6$
AA	0 0 0 0 0 0

Abb.1-8

S1 (mit FC=L) Es findet wiederum die ungetaktete Addition der beiden Summanden statt, diesmal aber wegen FC=L mit Einerrücklauf:

<A> + <D> + 00...00L

In diesem Intervall S1 mit FC=L werden vom Mikroprogramm her keine Verknüpfungen vorgenommen, so daß man von einem "Wartetakt für die Addition" sprechen kann.

S2 (mit FC=L) Mit BU,B0 wird das Ergebnis der Addition mit Einerrücklauf nach B gebracht (wie in S2 mit FC=0)

BU•B0 = ZZ04 = S2•FF3

Wegen RC1=L werden die durch A22 angesteuerten Verknüpfungen nicht durchgeführt; es wird daher nach S3 weitergeschaltet.

S3 Die in den Intervallen S3, S4 und S5 durchgeführten Transporte zwischen dem A- und B-Register sind notwendig, weil es keinen direkten Transport vom B- ins A-Register gibt, sondern nur den invertierenden Transport. Durch zweimalige Inversion gelangt das Ergebnis richtig in den Akkumulator.

In S3 findet ein invertierender Transport von B nach A statt:

AI•A0 = ZZ01 = S3•A03

Das Überlaufflipflop U wird gesetzt, wenn die beiden Operanden in A und D gleiche Vorzeichen hatten (FF1=0), das Vorzeichen des Ergebnisses der Addition (B1) jedoch von dem gemeinsamen Vorzeichen (D1) der Operanden verschieden ist.

U' = ZZ05 = S3•FF3•FF1-•
•B1D1-
+S3•FF3•FF4•B1-

Wenn dieser Befehlsablauf "AA" als Anhängsel eines vorangegangenen "Shift mit Rundung" zu verstehen ist (FF4=L), wird das Überlaufflipflop U auch gesetzt, wenn B1=0 ist.

S4 Der Inhalt des Akkus wird in das B-Register transportiert; bei diesem Befehl sind die Schaltwellen PQ und XY ohne Bedeutung.

BA•B0•XY•PQ = ZZ32 = S4•A03

S5 Es findet ein invertierender Transport von B nach A statt. Damit steht in A das endgültige Ergebnis.

R1A'•R0-'•AI•A0 = A51 = S5•FF3

Mit R0=0 wird zum Lesen des nächsten Befehls in die Abrufphase gesprungen.

1.4.2.2 Subtrahiere Adressteil (SA)

Wirkung:

1. Die Differenz aus <A> und N steht nach Ausführung des Befehls in A:

   <A> - N ⟶ A

   Für die Bildung der Differenz ist folgendes zu beachten: Die erste Stelle der Operanden <A> und N ist jeweils Vorzeichenstelle, für negative Zahlen gilt das (B-1)-Komplement. Der Operand N wird vor der Subtraktion links mit O...OO auf 24 Stellen ergänzt; er wird stets als positive Zahl aufgefaßt (≥+O.) Die Subtraktion geschieht, indem zunächst der eine Operand <A> invertiert wird, sodann die Addition der Größen -<A> und N erfolgt und anschließend das Ergebnis invertiert wird, also -(-<A> + N).

   Die Addition erfolgt über alle 24 Stellen, erforderlicherfalls mit Einerrücklauf.

   Null als Ergebnis:
   Ist <A>= -O und N= +O, so ist das Ergebnis = -O. In allen anderen Fällen ist das Ergebnis = +O.

2. Bei Bereichsüberschreitung wird das Überlaufflipflop U gesetzt, andernfalls bleibt es unverändert.

   Bereichsüberschreitung liegt dann vor, wenn

a) <A> negativ war (≤ -O) und
b) der Wert der Vorzeichenstelle des Ergebnisses =O ist.

   Bei Kommastellung am Ende des Wortes, also unmittelbar hinter der 24. Stelle heißt das: Bereichsüberschreitung liegt vor, wenn $|\langle A\rangle - N| \geq 2^{23}$ ist.
   Das Ergebnis ist dann betragsmäßig noch korrekt, hat aber keine Vorzeichenstelle mehr.

Dieser Befehl tritt nicht nur als selbständiger Ablauf im Anschluß an die Abrufphase auf, sondern kann auch als Anhängsel des "Shift mit Rundung" durchlaufen werden (siehe 1.4.5.3), wie es auch beim "AA"-Befehl der Fall ist.

Die Bedingungen, mit denen der Übergang von "Shift mit Rundung" zum "SA"-Befehl erfolgt, sind am Anfang des Flußdiagrammes angegeben.

Ausführung:
(siehe hierzu Flußdiagramm "Subtrahiere Adressteil", Abb. 1-9)

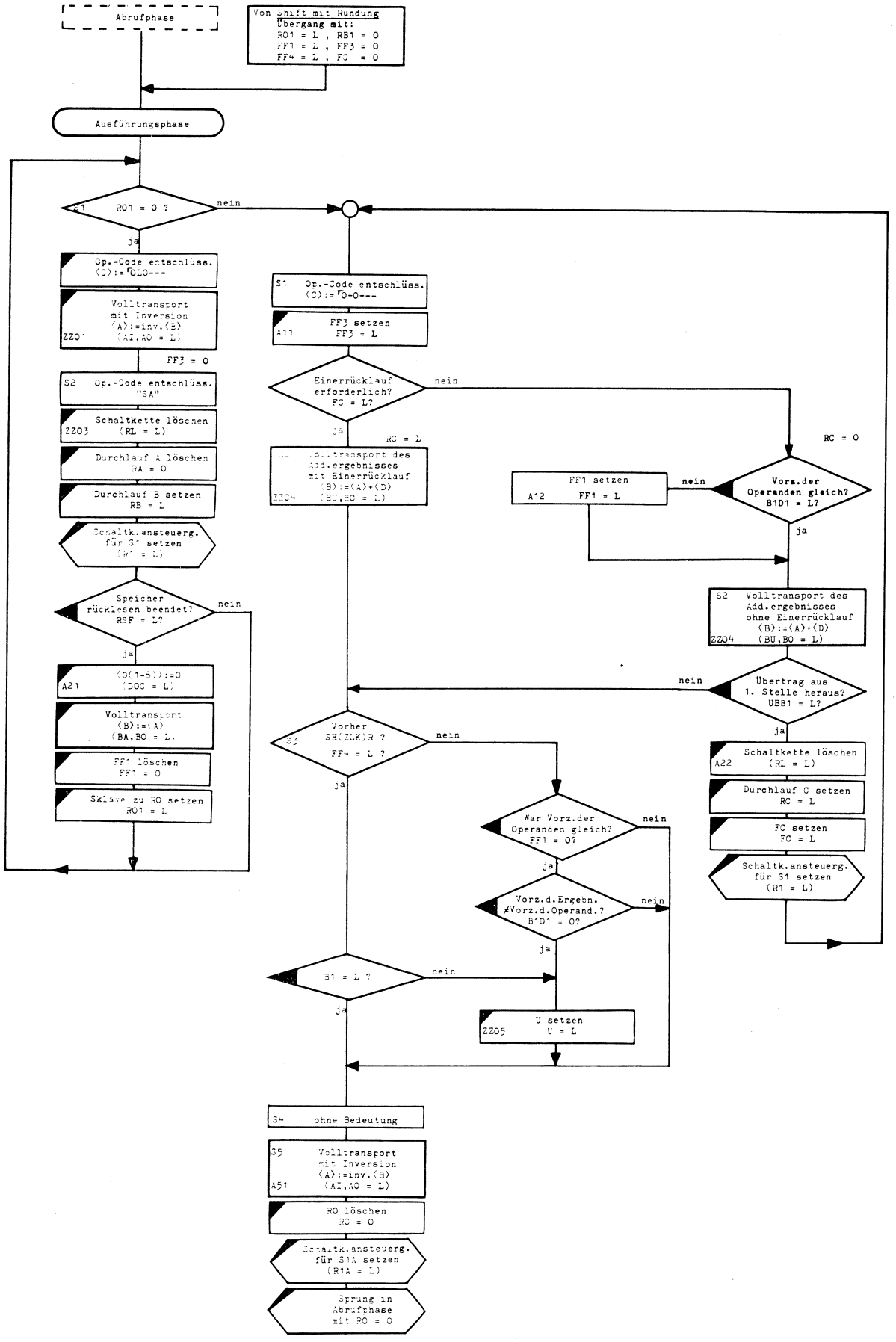
Dieser Befehl benötigt wie "AA" keinen Operanden, da dieser schon im Adressteil des Befehles zur Verfügung steht. Es muß aber vor Befehlsausführung der Operationsteil des Befehles (D1 bis D6) gelöscht werden, damit dieser im folgenden nicht mitaddiert bzw.- subtrahiert wird.
Bei Verwendung eines Speichers, der die ausgelesene Information nicht aus einem eigenen Speicherregister zurückschreibt, sondern hierzu das D-Register des Rechnerkerns benutzt, darf der Inhalt dieses Registers erst nach erfolgtem Rückschreiben verändert werden. Hierzu muß die Meldung des Speichers "Speicherzyklus beendet" (RSB- bzw. synchronisiert RSF=S1.RSB-) abgewartet werden und der Rechner so lange eine Warteschleife durchlaufen. Da der TR86-Speicher jedoch ein eigenes Speicherregister hat und das D-Register nicht benötigt, liegt die Meldung RSF=S1.RSB- mit Beginn der Ausführungsphase immer bereits an; ein Sprung in die Warteschleife ist also nicht erforderlich.

Erster Durchlauf (RO1=O)

S1 Nach Entschlüsselung des Op.-Codes wird der Inhalt des B-Registers invertierend in den Akkumulator transportiert:

AI.AO = ZZ01 = S1.A04

S2 (RO1=O) Die Schaltkette wird gelöscht, Durchlauf A gelöscht, Durchlauf B gesetzt, und die Schaltkettenansteuerung für S1 gesetzt:



Subtrahiere Adreßteil	$C_1\ C_2\ C_3\ C_4\ C_5\ C_6$
SA	O L O O O O

Abb. 1-9

R1',RL',RA-',RB = ZZ03 = S2.SA.FF3-

(Für den eingangs erwähnten Fall würde hier wegen RSF=0 die Warteschleife aufgebaut, welche so lange den Rücksprung auf S1 wiederholen läßt, bis RSF=L ist).

Mit der synchronisierten Meldung "Speicherzyklus beendet" (RSF=L) werden in S2 weiterhin folgende Verknüpfungen hergestellt:

R01',FF1-',BA,B0,D0C= A21 = S2.SA.RSF.FF3-

Der Inhalt des Akkumulators wird nach B gebracht; R01 wird gesetzt, FF1 gelöscht; gleichzeitig wird nun der Op.-Teil des D-Registers gelöscht.

Zweiter Durchlauf (R01=L)

S1 (mit FC=0)
wie bei Addition, Kap.1.4.1.1

S2 (mit FC=0)
wie bei Addition

S1 (mit FC=L)
wie bei Addition

S2 (mit FC=L)
wie bei Addition

S3 Nach dem Transport des Additionsergebnisses in das B-Register steht dort die Summe (-<A> + N) bereit. Es bedarf im folgenden nur mehr eines invertierenden Transportes in den Akkumulator, um dort das Endergebnis des "SA"-Befehles zu erhalten:

-(-<A> + N) = <A> - N

In diesem Intervall S3 wird hier also im Unterschied zum Ablauf beim Additionsbefehl lediglich geprüft, ob ein Überlauf stattgefunden hat und das U-Flipflop gesetzt werden muß:

U' = ZZ05 = S3.FF3.FF1-.
.B1D1-
+S3.FF3.FF4.B1-

Ging diesem "SA"-Befehl ein "Shift mit Rundung" voraus (FF4=L), wird das Überlaufflipflop abweichend vom Additionsbefehl auch gesetzt, wenn B1=0 ist.

S4 ohne Bedeutung

S5 Hier erfolgt mit AI,AO der invertierende Transport in den Akku:

R1A',R0-',AI,A0 = A51 = S5.FF3

Der Befehlsablauf ist damit beendet.

Mit R1A,R0- wird zum Auslesen des nächsten Befehles in die Abrufphase gesprungen.

1.4.3 Transport-Befehle

1.4.3.1 Bringe (B)

Wirkung:
Der Inhalt der Speicherzelle N wird in den Akkumulator gebracht:

<N> ⟶ A

Ausführung:
(siehe hierzu Flußdiagramm "Bringe", Abb. 1-1o)

Erster Durchlauf (RO=O)

S1 Nach Entschlüsselung des Operationscodes wird der Akkumulator gelöscht:

A0 = ZZ31 = S1.B

S2 Der Inhalt des Akkumulators wird nach B gebracht; FF1 wird gelöscht; da zu diesem Befehlsablauf ein Operand benötigt wird (C4=L), erfolgt ein Sprung in die Abrufphase mit RO=L zum Holen des Operanden:

R1A',RL',R0',FF1-'
BA,B0 = ZZ02 = S2.C4.R01-

Zweiter Durchlauf (RO=L)

S1 Wie im ersten Durchlauf wird der Akkumulator gelöscht:

A0 = ZZ31 = S1.B

S2 Leerintervall

S3 Leerintervall

Mit den Inhalten aus A und D wird während der vorangegangenen Leer- oder Wartetakte im Addierwerk die Antivalenz gebildet; da der Akkumulator zuvor gelöscht wurde, ist das Ergebnis der Antivalenzbildung identisch mit dem Inhalt des D-Registers, also mit dem Operanden.

S4 Mit BT,BO wird das Antivalenzergebnis invertierend nach B gebracht; dort erscheint damit der invertierte Operand:

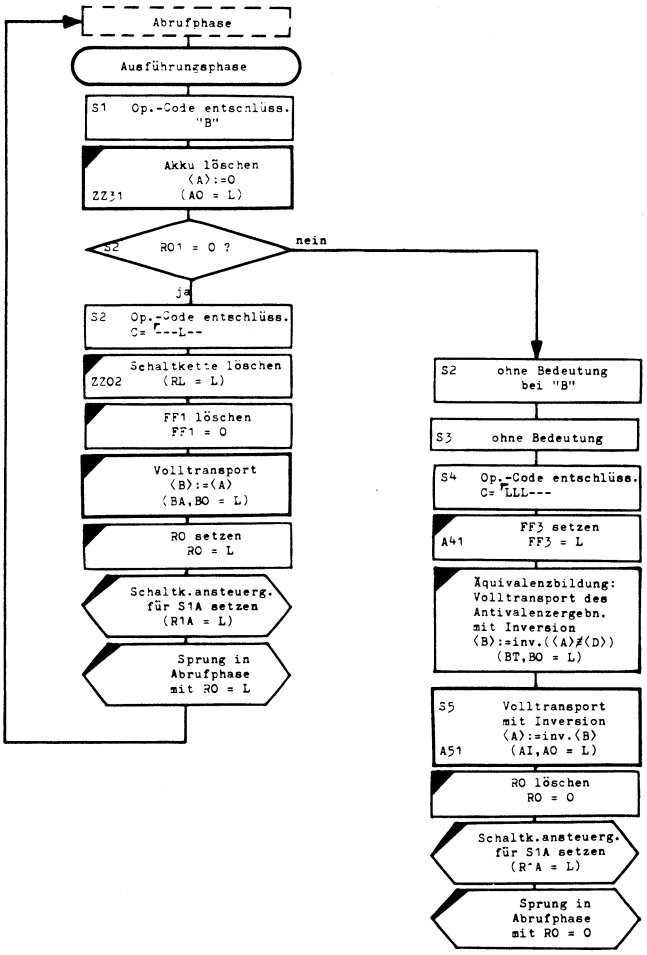
BT,B0,FF3' = A41 = S4.A02

Außerdem wird FF3 gesetzt.

S5 Durch einen invertierenden Transport von B nach A gelangt der aus dem Speicher ausgelesene Operand schließlich in den Akkumulator:

R1A',R0-',AI,A0 = A51 = S5.FF3

Der Befehlsablauf ist abgeschlossen; es wird mit RO=O zum Lesen des nächsten Befehls in die Abrufphase gesprungen.



Bringe	C_1 C_2 C_3 C_4 C_5 C_6
B	L L L L 0 0

Abb.1-1o

1.4.3.2. Speichere (C)

Wirkung:
Der Inhalt von A wird in die Speicherzelle N abgespeichert:

<A> ——→ N

Ausführung:
(siehe hierzu Flußdiagramm "Speichere", Abb. 1-11)

Erster Durchlauf (RO=O)

S1 Leerintervall

S2 Nach teilweiser Entschlüsselung des Operationscodes (C4=L) erfolgt Sprung in die Abrufphase mit RO=L:

R1A',RL',RO',FF1-',
BA,BO = ZZ02 = S2.C4.RO1-

Da in der Abrufphase das Abspeichern des Akkumulatorinhaltes eingeleitet werden soll, wird außerdem nach weiterer Entschlüsselung des Op.-Codes RSP gesetzt:

RSP' = S2.C01.
.(C1-+C2-)

Das Signal RSP=L wird im Speicher (bzw. im Vorrangwerk) ausgewertet und veranlaßt dort, daß der anzumeldende Speicherzyklus als Schreiben-Ganzzyklus ausgeführt wird. Die Speicheranmeldung erfolgt in der sich anschließenden Abrufphase.

Der Ablauf der Abrufphase ist im einzelnen in Kap.1.3 erklärt.

Im Intervall S2A der Abrufphase wird (wegen RSP=L) FSP gesetzt. Mit FSP=L ist dann die folgende Gleichung erfüllt:

DAC,DOC,DAN,DON, = ZZ10 = FSP.COP

Damit wird ab Intervall S2A gleichzeitig und ohne Zeitbedingungen die abzuspeichernde Größe <A> in das D-Register überschrieben. Die Information wird von dort aus gleichzeitig mit dem Speicheranstoß zum Speicher übertragen; es erfolgt keine Speicherwortmeldung. Das eigentliche Einschreiben in die durch den Adressteil des Befehles ausgewählte Speicherzelle wird von der Speicherablaufsteuerung intern selbsttätig ausgeführt.

Zweiter Durchlauf (RO=L)

S1 Leerintervall

S2 Die folgende Gleichung ist erfüllt, hier jedoch bedeutungslos:

RSP' = S2.C01.
.(C1-+C2-)

Gleichzeitig wird in diesem Intervall FSP zurückgesetzt (siehe Kap.1.2):

FSP-' = S2

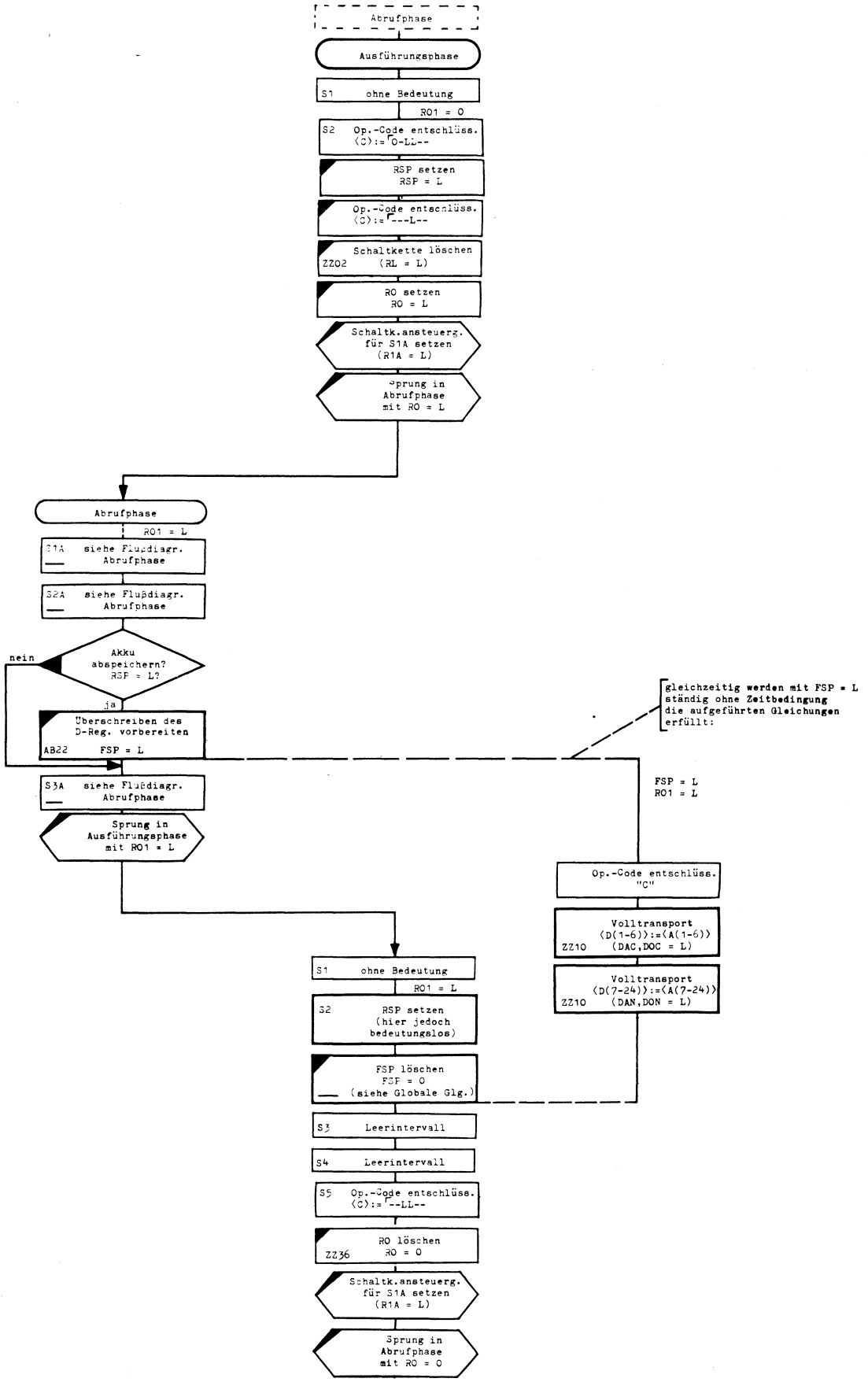
S3 Leerintervall

S4 Leerintervall

S5 Der Befehlsablauf ist beendet, es wird mit RO=O zum Lesen des nächsten Befehls in die Abrufphase gesprungen.

R1A',RO-',FG,FO = ZZ36 = S5.C01

FG,FO ist hier ohne Bedeutung.



Speichere	C_1 C_2 C_3 C_4 C_5 C_6
C	0 0 L L 0 0

Abb.1-11

1.4.3.3 Speichere Adressteil (CA)

Wirkung:

Für <A> ≠ -0 :
Der Adressteil (d.h. die Stellen 7 bis 24) des Akkumulatorinhaltes wird in den Adressteil des Inhaltes der Speicherzelle N überspeichert:

<A>' ⟶ <N>'

Für <A> = -0 :
In den Adressteil des Inhaltes der Speicherzelle N wird +0 abgespeichert:

+0 ⟶ <N>'

In beiden Fällen bleibt der Operationsteil (d.h. die Stellen 1 bis 6) unverändert.

Ausführung:
(siehe hierzu Flußdiagramm "Speichere Adressteil", Abb. 1-12)

Dieser Befehlsablauf entspricht prinzipiell dem des zuvor beschriebenen "Speichere"- Befehles (Kap.1.4.3.2).

Es bestehen folgende Unterschiede:
Im Speicher (bzw. Vorrangwerk) veranlaßt das aus dem Leitwerk kommende Signal "CA" (nicht RSP wie beim "C"-Befehl) die Speicherablaufsteuerung, den folgenden Speicherzyklus als Lesen-Halb- und Schreiben-Halbzyklus mit dazwischenliegender Veränderung der ausgelesenen Information auszuführen.

Im Intervall S2A der sich anschließenden Abrufphase (genaue Beschreibung siehe Kap.1.3) wird FSP gesetzt (wegen RSP=L).

Mit FSP=L sind dann die folgenden Gleichungen erfüllt:

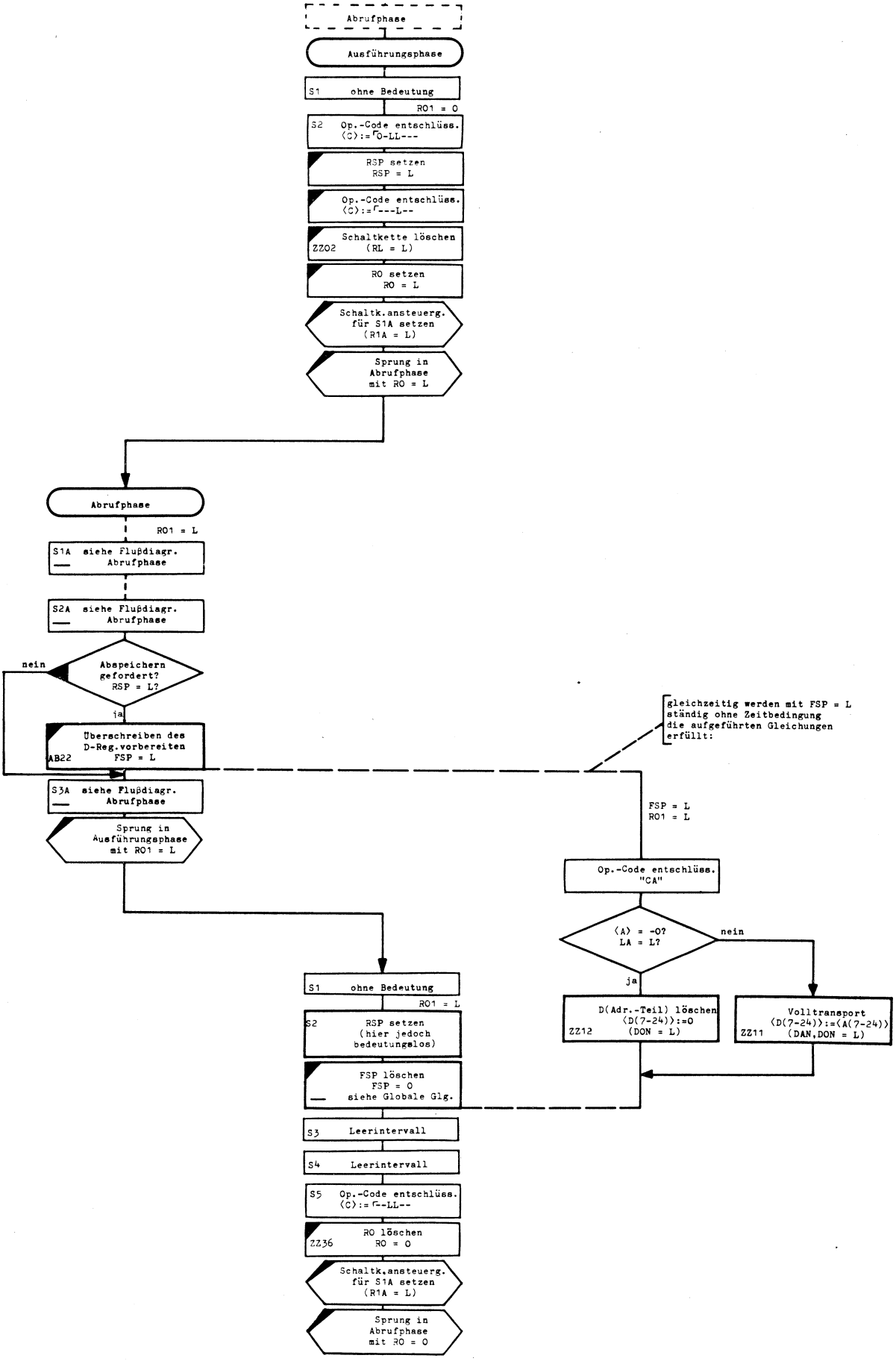
DAN•DON = ZZ11 = FSP•CA0•LA-

DON = ZZ12 = FSP•CA0•LA

Während des Intervalls S2A (bzw. während der Intervalle S2A) wird die adressierte Speicherzelle N in einem Lesen-Halbzyklus ausgelesen. Wegen FSP=L und obiger Gleichungen wird ab S2A gleichzeitig und ohne Zeitbedingungen auch vom Akku her der abzuspeichernde Adressteil des Akkumulatorinhaltes in den Adressteil des D-Registers überschrieben (für <A> ≠ -0) bzw. der Adressteil des D-Registers zu +0 gelöscht (für <A> = -0). Auf diese Weise wird hier zugleich vom Speicher wie auch vom Akku her in das D-Register Information übertragen. Das Übertragen vom Speicher her dauert bis zum Löschen von RLB vom Vorrangwerk her im letzten Intervall S2A (anschließend wird nach S3A fortgeschaltet); das Überschreiben vom Akku her steht noch länger an, da FSP erst in S2 zurückgesetzt wird (siehe Kap.1.2, "Globale Gleichungen").

Am Ende dieser Doppelansteuerung des D-Registers stehen dort somit der Op.-Teil der ausgelesenen Speicherzelle N und der vom Akku her überschriebene oder gelöschte Adressteil; dieser Inhalt des D-Registers gelangt durch den Schreiben-Halbzyklus, den die Speicherablaufsteuerung anschließend intern und selbsttätig abwickelt, schließlich in die adressierte Speicherzelle.

Im übrigen siehe "Speichere-Befehl", Kap.1.4.3.2.



Speichere Adreßteil	C_1 C_2 C_3 C_4 C_5 C_6
CA	0 L L L 0 0

Abb. 1-12

1.4.4. Logische Befehle

1.4.4.1 Konjunktion (ET)

Wirkung:

Aus den Elementen von <A> und <N>wird stellenweise die Konjunktion (= logisches Und = Et) gebildet und nach A gebracht:

Ai.Ni ⟶ Ai mit i=1,2,...,24

Der Begriff "Konjunktion" wird durch folgende Tabelle festgelegt:

Ai	Ni	Ai.Ni
O	O	O
O	L	O
L	O	O
L	L	L

Ausführung:

(siehe hierzu Flußdiagramm "Konjunktion", Abb. 1-13)

Erster Durchlauf (RO=O)

S1 Leerintervall

S2 Der Operationscode im C-Register wird so weit entschlüsselt, daß entschieden werden kann, ob ein zweiter Durchlauf der Abrufphase zum Holen eines Operanden notwendig ist. Dies ist der Fall, also wird durch RL,R1A mit RO=L in die Abrufphase gesprungen:

R1A',RL',RO',FF1-'
BA,BO = ZZ02 = S2.C4.RO1-

Der ebenfalls stattfindende Transport des Inhalts von A nach B ist hier bedeutungslos.

Zweiter Durchlauf (RO=L)

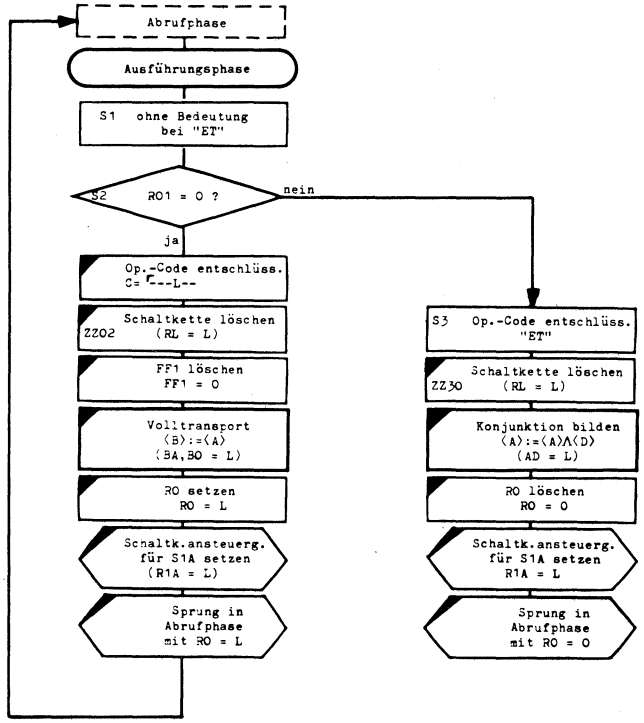
S1 Leerintervall

S2 Leerintervall

S3 Mit AD=L werden die im D-Register stehenden "O" ins A-Register transportiert; dadurch wird im Akkumulator die Konjunktion aus <A> und <D> gebildet:

R1A',RL',RO-',AD,
FG,FO = ZZ30 = S3.ET

Der Transport des Inhaltes von G ins F-Register ist hier bedeutungslos; der Befehlsablauf ist mit diesem Intervall beendet, es wird mit RO=O in die Abrufphase zum Lesen des nächsten Befehls gesprungen.



Konjunktion	C_1 C_2 C_3 C_4 C_5 C_6
ET	L 0 0 L 0 0

Abb.1-13

1.4.4.2 Antivalenz (AT)

Wirkung:

Aus den Elementen von <A> und <N> wird stellenweise die Antivalenz (=exclusives Oder = Aut) gebildet und nach A gebracht:

Ai ≠ Ni ——— Ai mit i=1,2,...,24

Der Begriff "Antivalenz" sei durch folgende Tabelle erläutert:

Ai	Ni	Ai
O	L	L
O	O	O
L	L	O
L	O	L

Die Antivalenz wird durch folgende Boole'schen Ausdruck dargestellt:

Ai≠Ni = Ai-.Ni + Ai.Ni-

Ausführung:

(siehe hierzu Flußdiagramm "Antivalenz", Abb. 1-14)

Erster Durchlauf (RO=O)

S1 Leerintervall

S2 wie bei "Konjunktion", Kap.1.4.4.1

Zweiter Durchlauf (RO=L)

Nach dem Durchlaufen der Abrufphase steht im D-Register nun der Operand.

S1 Leerintervall

S2 Leerintervall

S3 Leerintervall

Die Antivalenz wird ständig ungetaktet in einem Teil des Addierwerkes mit den Inhalten von A und D gebildet.
Das Ergebnis der Antivalenzbildung steht bereits nach dem ersten Intervall der Ausführungsphase an den entsprechenden Ausgängen des Addierwerkes zur Verfügung.

S4 Nach Entschlüsselung des Operationscodes für AT wird das Ergebnis der Antivalenzbildung invertierend in das B-Register transportiert:

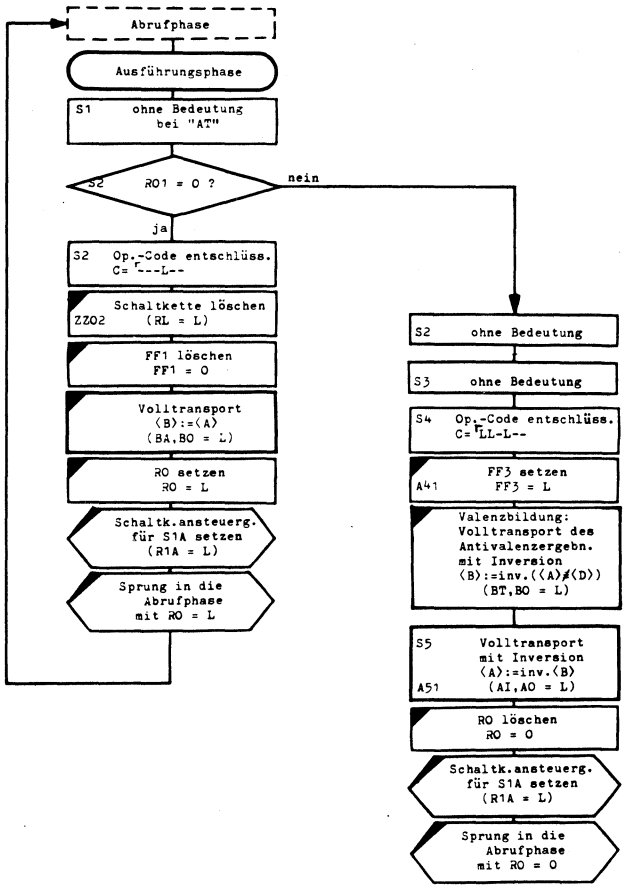
BT,BO,FF3' = A41 = S4.AO2

In B steht damit das invertierte Ergebnis der Antivalenzbildung, also die Äquivalenz; FF3 wird gesetzt.

S5 Durch einen invertierenden Transport von B nach A wird im A-Register schließlich die Antivalenz hergestellt:

R1A',RO-',AI,AO = A51 = S5.FF3

Der Befehlsablauf ist damit beendet; es wird zum Lesen des nächsten Befehls mit RO=O in die Abrufphase gesprungen.



Antivalenz	C_1 C_2 C_3 C_4 C_5 C_6
AT	L L O L O O

Abb.1-14

1.4.5 Shift-Befehle

Allgemeines:

Die bei den Shift-Befehlen möglichen Spezifikationen müssen in folgender Hinsicht unterschieden werden:

Der Shift-Befehl ohne jede Spezifikation bewirkt einen gestreckten Rechtsshift des Akkumulators um die rechtsbündig in den letzten sechs Stellen des Adressteiles angegebene Zahl p von Schritten.

Dieser einfachste Shift-Befehl kann auch durch drei Grundspezifikationen modifiziert werden:

a) "L": Shift nach Links
b) "Z": Shift Zusammen (Akkumulator zusammen mit Q-Register)
c) "K": Shift im Kreis (d.h. das Ende des oder der betreffenden Register ist mit dem Anfang verbunden zu denken, es wird ringförmig geshiftet).

Diese drei Grundspezifikationen sind in beliebiger Weise miteinander kombinierbar, d.h. es können eine, zwei oder auch alle drei Grundspezifikationen gleichzeitig auftreten. (Näheres siehe unter "SH (ZLK)", Kap.1.4.5.1)

Zu diesen Grundspezifikationen kann jeweils eine der beiden Zusatzspezifikationen treten:

d) "C": Shift mit Zählen (C von engl. "Counting")
e) "R": Shift mit Rundung

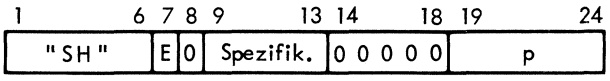
Es kann immer nur eine der Zusatzspezifikationen mit dem einfachen Rechtsshift oder mit den möglichen Anordnungen der drei Grundspezifikationen kombiniert werden, nicht aber die Zusatzspezifikationen miteinander. (Näheres hierzu siehe unter "SH (ZLK) C", Kap. 1.4.5.2 und "SH (ZLK) R", Kap.1.4.5.3)

Außer den Grund- und Zusatzspezifikationen sind beim Shift-Befehl zwei Sonderspezifikationen möglich:

f) "U": Shift mit Umrechnung (Umrechnung einer Gray-Code-Zahl in eine Dualzahl)
g) "V": Shift mit Vertauschung

Die Ausführung dieser Sonderspezifikationen hat mit dem eigentlichen Shift kaum mehr Ähnlichkeit; die Sonderspezifikationen können nur jede für sich auftreten, sie sind in keiner Weise miteinander oder mit den Grund- bzw. Grund- und Zusatzspezifikationen kombinierbar. (näheres siehe unter "SH U", Kap.1.4.5.4, und "SH V" Kap.1.4.5.5)

Die Struktur der Shift-Befehle und die Verteilung der Information über Spezifikationen und Zahl p der Shift-Schritte auf die 24 Stellen des Befehls-Wortes ist aus Abb. 1-15 zu ersehen.



Struktur des SHIFT-Befehles Abb. 1-15

Der Op.-Teil ist identisch mit dem der Merklichter-Befehle; zur Unterscheidung ist hier jedoch stets C8=0.

Näheres über die Codierung ist den Schriftfeldern auf den Flußdiagrammen bei den einzelnen Befehlsabläufen zu entnehmen.

1.4.5.1 Shift mit Grundspezifikationen

(SH (ZLK))

Wirkung:

Die möglichen Kombinationen sind:

SH	SH Z	SH L	SH K
SH ZL	SH ZK	SH LK	SH ZLK

SH: Der Akkumulator wird um p Stellen nach rechts geshiftet; die aus A24 herausgeschobenen Stellen verschwinden, in A1 werden vorzeichengleiche Stellen nachgezogen.

SH Z: Akkumulator und Q-Register werden zusammen um p Stellen nach rechts verschoben; A24 und Q1 sind als verbunden zu denken; die aus Q24 herausgeschobenen Stellen verschwinden, in A1 werden vorzeichengleiche Stellen nachgezogen.

SH L: Der Akkumulator wird um p Stellen nach links geshiftet; ändert sich hierbei der Wert der Vorzeichenstelle gegenüber dem ursprünglichen Wert, wird das Überlauf-Flipflop U gesetzt; aus A1 herausgeschobene Stellen verschwinden, in A24 werden vorzeichengleiche Stellen nachgezogen (entsprechend dem ursprünglichen, d.h. vor Beginn des Shift-Befehls bestehende Vorzeichen).

SH ZL: Analog dem unter SH Z gesagten werden Akku und Q-Register zusammen um p Stellen nach links geshiftet; betreffs der aus A1 herausgeschobenen Stellen, des Überlauf-Flipflops, und der in Q24 nachgezogenen Stellen siehe SH L.

SH K: Der Akkumulator wird im Kreis um p Stellen nach rechts geshiftet, A1 und A24 sind verbunden zu denken; U wird bei allen Kreisshifts nicht verändert.

SH LK: Der Akkumulator wird um p Stellen im Kreis nach links geshiftet; im übrigen siehe SH K.

SH ZK: Akkumulator und Q-Register werden zusammen und im Kreis um p Stellen nach rechts geshiftet; A24 und Q1 sowie Q24 und A1 sind verbunden zu denken; U wird nicht verändert.

SH ZLK: Akkumulator und Q-Register werden zusammen und im Kreis um p Stellen nach links geshiftet; im übrigen siehe SH ZK.

Ausführung:

(siehe hierzu Flußdiagramme "SH (ZLK)", Abb.1-16, und "Shift, allg. Teil", Abb.1-17)

S1 (mit RA=L) In diesem Intervall werden die Inhalte von A,Q und Y in die entsprechenden Hilfsregister B,P und X gebracht.

XY•PQ•BA•B0 = ZZ32 = S1.SH

Da es sich nicht um einen Umrechnungs- oder Vertauschungsshift handelt (UMR), wird weiter festgestellt, ob die Grundspezifikationen "Zusammen" oder "im Kreis" gefordert sind, und die zugehörigen Flipflops FZ und FK entsprechend gesetzt.

FZ' = SH16 = S1.SH.UMR-.D9

FK' = SH11 = S1.SH.UMR-.D10

Bei gestrecktem Links- oder Rechtsshift sollen in die freiwerdenden Registerstellen im folgenden vorzeichengleiche Stellen nachgezogen werden; daher muß vorab das Vorzeichen-Bit des Akkumulatorinhaltes (gleichzeitig Inhalt von B) abgefragt und im Flipflop FL gespeichert werden.

FL' = SH12 = S1.SH.UMR-.RA.B1

S2 (mit RA=L) Im X-(und Y-) Register ist die Anzahl p der Shiftschritte enthalten. Es wird so lange geshiftet, wie LX=0 ist; sobald das Shiftzähler-Hilfsregister X die Größe -0 enthält, wird LX=L und der Shift ist abgeschlossen. Das Flipflop FF4 wird nur bei Zusatz- und Sonderspezifikationen gesetzt, ist also hier gelöscht.

Für das folgende siehe Abb.1-17, Flußdiagramm "Shift, allgemeiner Teil".

Es gilt: Für LX=O und D13=O, also Rechtsshift:

```
AR,A0,YZ          = SH22 = S2.SH.LX-
                           .D13-.FF4-
```

Mit YZ wird der Stand des Shiftzählers um 1 erhöht.
Für LX=O und D13=L, also Linksshift:

```
AL,A0,YZ          = SH21 = S2.SH.LX-
                           .D13.FF4-
```

Mit YZ wird der Stand des Shiftzählers um 1 erhöht.
Für LX=O und D13=O bei FZ=L wird Q nach rechts geshiftet; es gilt zusätzlich die Gleichung

```
QR,Q0             = SH24 = S2.SH.LX-
                           .D13-.FF4-.FZ
```

Für LX=O und D13=L bei FZ=L wird Q nach links mitgeshiftet

```
QL,Q0             = SH23 = S2.SH.LX-
                           .D13.FF4-.FZ
                         +S2.SH.LX-
                           .UMR.RB1
```

Zum Verständnis der genauen Zusammenhänge für das Entstehen der Inhalte der Registerstellen A1 und A24 bzw. Q1 und Q24 bei den einzelnen Grundspezifikationen gibt das Flußdiagramm Abb.1-17 näheren Aufschluß. Weiteres ist dem "Alphabetischen Verzeichnis der Flipflops, Schaltwellen und Signale" im Anhang S.72 ff zu entnehmen.

Das Überlaufflipflop U wird gesetzt, wenn A1 während oder nach dem Shift einen vom ursprünglichen Wert verschiedenen Wert hat, d.h. wenn B1=FL ist:

```
U'                = ZZ05 = S2.SH.FK-
                           .C12-.B1FL-
```

Für LX=O wird in S2 außerdem nach S1 zurückgesprungen, wobei nun "Durchlauf A" gelöscht und "Durchlauf B" gesetzt wird:

```
R1',RL',RA-',RB'  = ZZ03 = S2.SH.LX-
                         +S2.SH.CNT.RSF-
```

S1 (mit RB=L) Es erfolgt wieder der Transport der Inhalte von A,Q und Y in die entsprechenden Hilfsregister B,P und X

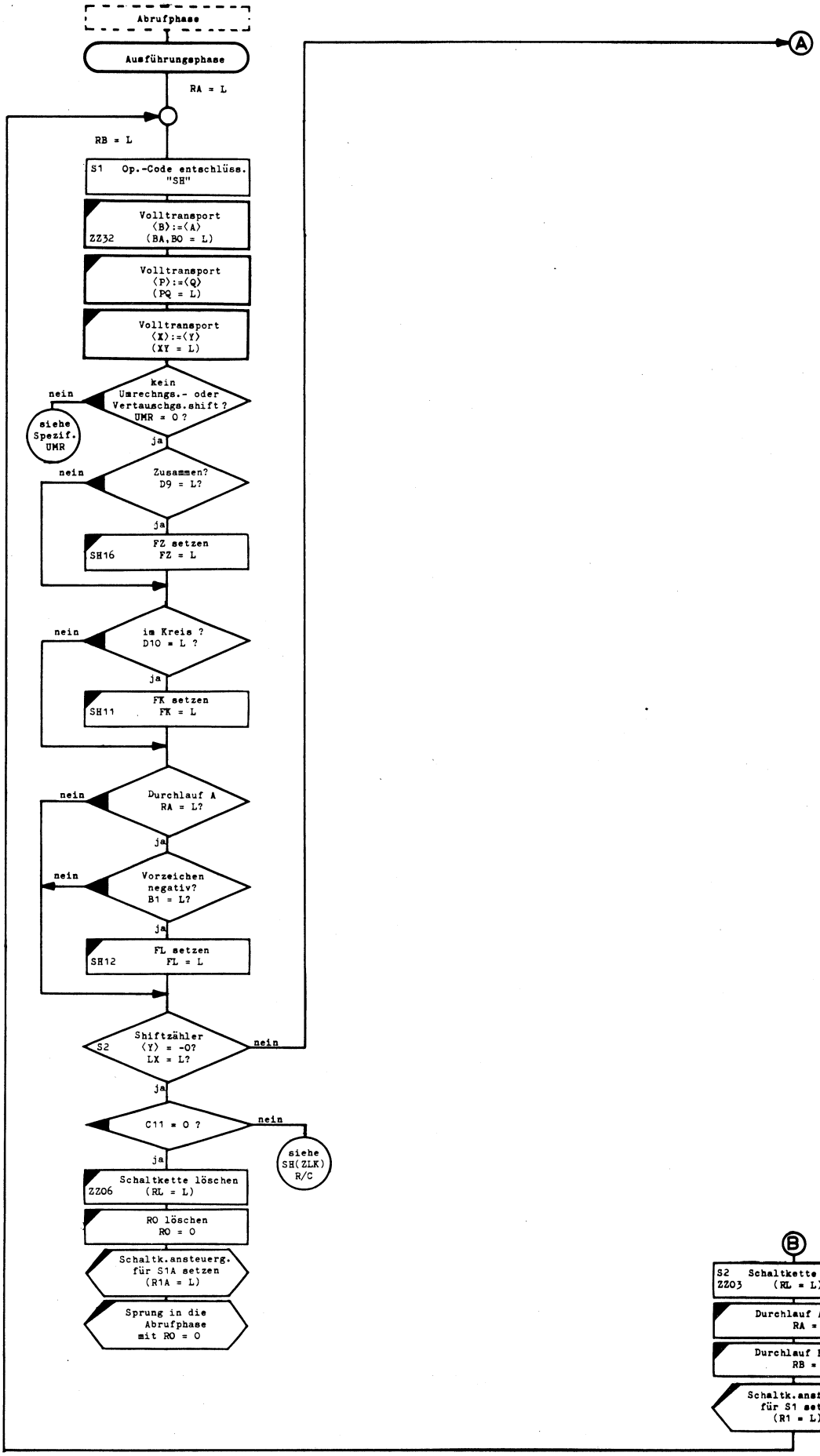
```
XY,PQ,BA,B0       = ZZ32 = S1.SH
```

Weiter sind die folgenden logischen Gleichungen erfüllt, jedoch sind sie hier ohne Bedeutung:

```
FZ'               = SH16 = S1.SH.UMR-.D9
FK'               = SH11 = S1.SH.UMR-.D10
FF4-',GF          = SH15 = S1.SH.RB
```

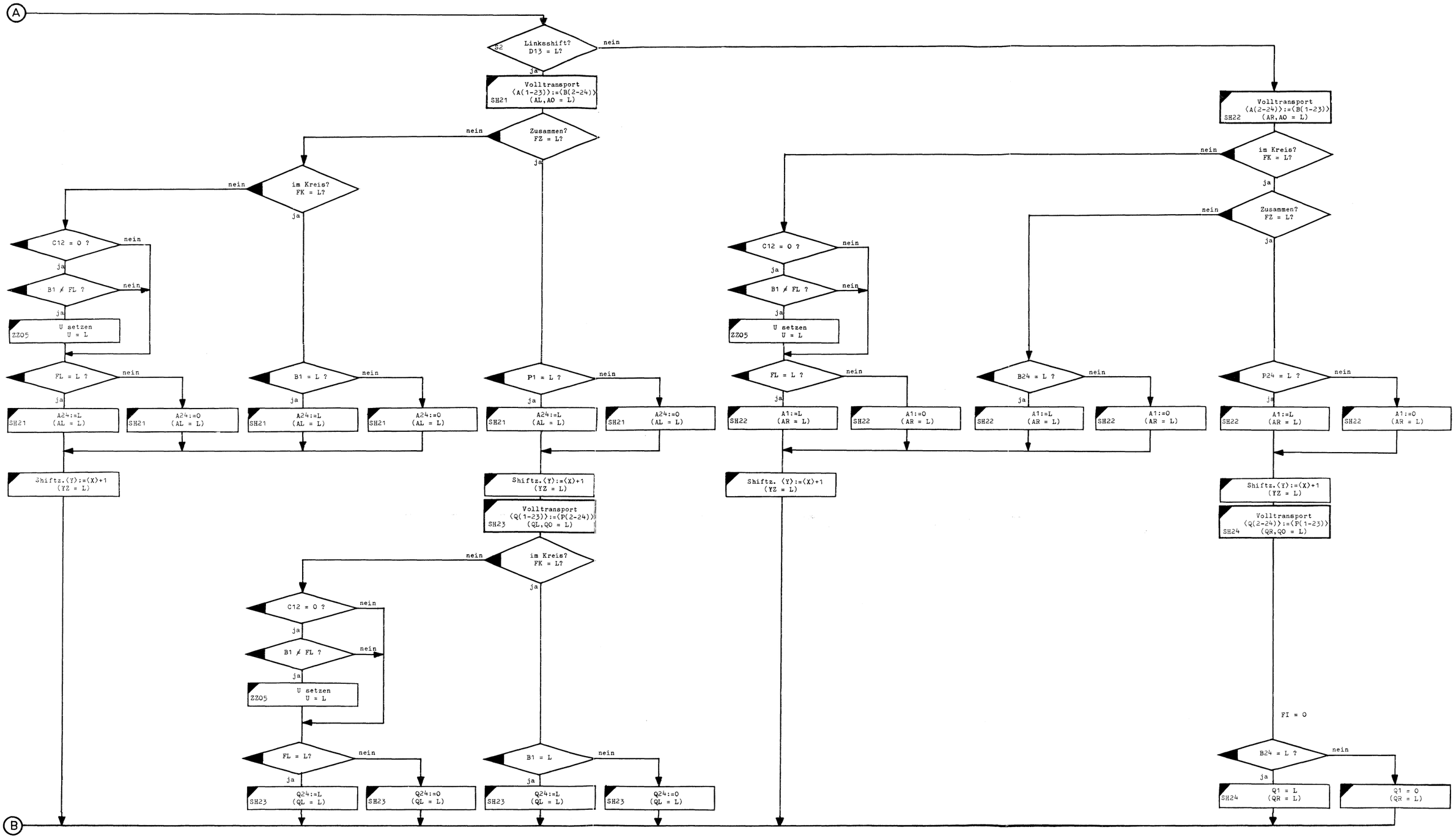
S2 (mit RB=L) Der logische Ablauf in diesem Intervall entspricht dem von S2 mit RA=L. Die beiden Intervalle S1 und S2 mit RB=L werden so lange durchlaufen, bis der Shiftzähler auf -O hochgezählt ist, also LX=L ist. Dann ist der Befehl ausgeführt und es erfolgt der Sprung in die Abrufphase zum Auslesen des nächsten Befehles:

```
R1A',RL',R0-'     = ZZ06 = S2.SH.LX.C11-
```



Shift mit Grundspezifikationen	C_1	C_2	C_3	C_4	C_5	C_6	C_7	C_8	C_9	C_{10}	C_{11}	C_{12}							Y_1	Y_2	Y_3	Y_4	Y_5	Y_6
SH (ZLK)	0	0	L	0	0	0	0	0	X (Z	X K	0	0	X L)	0	0	0	0	0	X	X	X	X	X	X
																			Zahl d. Schritte (dual)					

Abb. 1-16



Shift allgemeiner Teil für Grund- und Zusatzspezifikationen	Struktur des Befehlswortes siehe jeweilige Unterlage des speziellen Shiftbefehls

Abb.1-17

1.4.5.2 Shift mit Zusatzspezifikation "Zählen" (SH (ZLK) C)

Wirkung:

Es wird wie unter Kap.1.4.5.1 beschrieben, ein "Shift mit Grundspezifikationen" ausgeführt, soweit solche gefordert sind. Zusätzlich geschieht parallel dazu folgendes:

Beim Shift wird die Anzahl der "L" gezählt, die aus der 1. Stelle des Akkumulators nach links oder rechts herausgeshiftet werden. Mit anderen Worten: bei jedem Shiftschritt wird ein vorher auf +O gesetzter Zähler dann um 1 hochgezählt, wenn vor Ausführung des betreffenden Schrittes A1=L war und wegen des vorhergehenden Transportes von A nach B auch B1=L.

Abschließend wird die geshiftete Größe aus dem Akku ins Q-Register transportiert und das Zählergebnis Z ($0 \leq Z \leq 63$) geht rechtsbündig in den Akkumulator (links wird mit O...OO aufgefüllt).

Das Überlaufflipflop Ü bleibt in jedem Falle unverändert.

Ausführung:

(siehe hierzu Flußdiagramme "SH (ZLK) C", Abb.1-18, und "Shift, allg. Teil", Abb.1-17)

S1 (mit RA=L) Es werden die Inhalte von A,Q und Y in die entsprechenden Hilfsregister B,P und X gebracht; soweit erfordert werden die zu den Grundspezifikationen "Zusammen" und "im Kreis" gehörige Flipflops FZ und FK gesetzt; im Flipflop FL wird das Vorzeichen des Akkumulator-Inhaltes gespeichert (vgl. Kap.1.4.5.1, Ausführung, S1 mit RA=L).

```
FL'              = SH12 = S1.SH.UMR-
                          .RA.B1

FZ'              = SH16 = S1.SH.UMR-.D9

FK'              = SH11 = S1.SH.UMR-.D10

XY,PQ,BA,B0      = ZZ32 = S1.SH
```

Zusätzlich wird der hier zum Zählen der "L" benutzte Befehlszähler F mit FO gelöscht und das Flipflop FF4 gesetzt:

```
FF4',F0          = SH14 = S1.SH.CNT.RA
```

S2 (mit RA=L) Wegen FF4=L wird in diesem Intervall nicht geshiftet, sondern lediglich die Schaltkette gelöscht, "Durchlauf B" gelöscht, "Durchlauf A" gesetzt und nach S1 zurückgesprungen:

```
R1',RL',RA-',RB'     = ZZ03 = S2.SH.LX-
                              +S2.SH.CNT.RSF-
```

S1 (mit RB=L) Es werden die Inhalte von A,Q und Y in die zugehörigen Hilfsregister B,P und X gebracht; die Ansteuerung der Spezifikationsflipflops ist hier ohne Bedeutung, da diese Flipflops bereits im Durchlauf A erforderlichenfalls gesetzt wurden und während der Befehlsausführung nicht verändert werden;

```
FF4',F0          = SH14 = S1.SH.CNT.RA

FL'              = SH12 = S1.SH.UMR-
                          .RA.B1

FZ'              = SH16 = S1.SH.UMR-.D9

FK'              = SH11 = S1.SH.UMR-.D10

XY,PQ,BA,B0      = ZZ32 = S1.SH
```

Weiter wird der Inhalt des F-Registers in das G-Register übernommen und FF4 gelöscht.

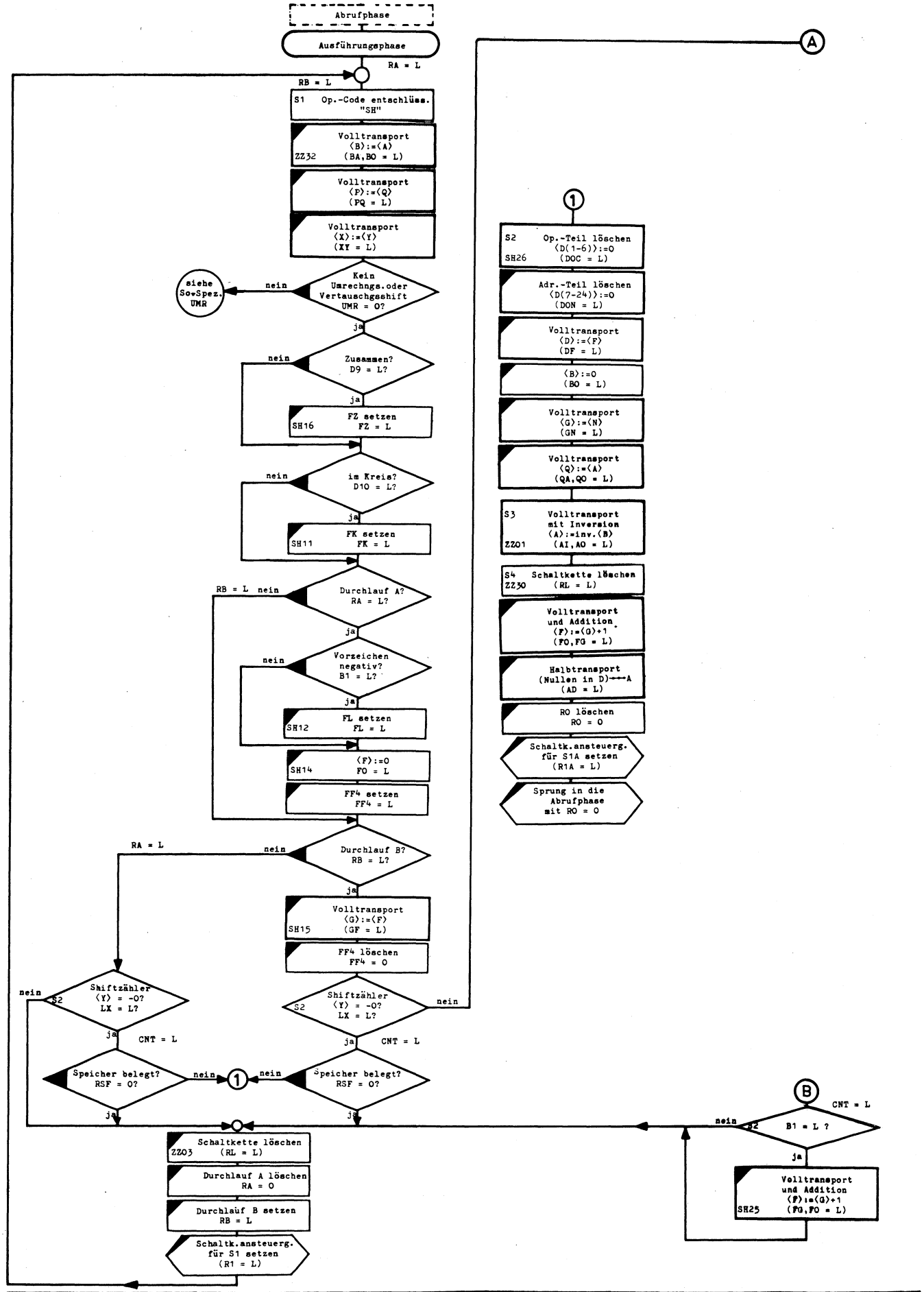
S2 (mit RB=L) Solange der Shiftzähler noch nicht auf -O hochgezählt ist, also noch LX=O ist, wird in diesem Intervall wie unter Kap. 1.4.5.1 bei S2 mit RA=L verfahren; es wird um einen Schritt geshiftet, d.h. die um 1 shiftenden Transporte aus B bzw. B,P nach A bzw. A,Q werden unter Berücksichtigung der geforderten Spezifikationen ausgeführt (siehe Flußdiagramm "Shift, allg.Teil" Abb.1-17)
Der Shiftzählerstand wird um 1 erhöht:

```
AL,A0,YZ         = SH21 = S2.SH.LX-
                          .D13.FF4-

AR,A0,YZ         = SH22 = S2.SH.LX-
                          .D13-.FF4-

QL,Q0            = SH23 = S2.SH.LX-
                          .D13.FF4-.FZ
                        +S2.SH.LX-
                          .UMR.RB1

QR,Q0            = SH24 = S2.SH.LX-
                          .D13-.FF4-.FZ
```



	C_1	C_2	C_3	C_4	C_5	C_6	C_7	C_8	C_9	C_{10}	C_{11}	C_{12}							Y_1	Y_2	Y_3	Y_4	Y_5	Y_6
Shift mit Grundspezifikationen und Zusatzspezifikation "Zählend"	0	0	L	0	0	0	0	0	X	X	L	L	X	0	0	0	0	0	X	X	X	X	X	X
SH (ZLK) C									(Z	K	C		L)						Zahl d. Schritte (dual)					

Abb.1-18

R1',RL',RA-',RB' = ZZ03 = S2.SH.LX-
+S2.SH.CNT.RSF-

FG,FO = SH25 = S2.SH.LX-
.CNT.B1.RB1

Befand sich vor Ausführung dieses Shiftschrittes in der Registerstelle A1 (und somit auch in B1) ein "L", so wird in diesem Intervall mit FG,FO der Inhalt von F um 1 erhöht; es wird nach S1 zurückgesprungen.

Solange LX=O, d.h. der Shiftzähler noch nicht auf -O angekommen ist, wiederholt sich der Ablauf wie unter S1 und S2 mit RB=L.

Ist schließlich LX=L und der eigentliche Shift damit beendet, muß noch das Zählerergebnis zur Verfügung gestellt werden; hierzu wird das D-Register benötigt. Da der Speicher den alten Inhalt des D-Registers noch zurückschreiben mußte, ist es an dieser Stelle erforderlich, RSF abzufragen, d.h. festzustellen, ob der Speicher fertig ist und das D-Register zur Verfügung steht. Ist dies nicht der Fall, wird eine Warteschleife durchlaufen (durch wiederholten Rücksprung nach S1), bis RSF=L ist.

R1',RL',RA-',RB' = ZZ03 = S2.SH.LX-
+S2.SH.CNT.RSF-

(Anm.: Beim TR 86 benötigt der Speicher das D-Register nicht zum Zurückschreiben der Information, weil er ein eigenes Speicher-Register hat - die Warteschleife wird also nicht durchlaufen, da stets zu diesem Zeitpunkt schon RSF=L ist).

Im Intervall S1 werden die gleichen Verknüpfungen angesteuert wie unter S1 mit RB=L schon erläutert.

Wenn nun LX=L und RSF=L erfüllt ist, geschieht im Intervall S2 folgendes:

S2 (mit RB=L) Der Inhalt des Akkumulators wird ins Q-Register gebracht, das B-Register gelöscht, das Zählergebnis aus dem F-Register ins D-Register übernommen und der alte Befehlszählerstand aus dem N-Register ins G-Register überschrieben:

DOC,DON,DF,BO,
GN,QA,QO = SH26 = S2.SH.LX
.CNT.RSF

S3 (mit RB=L) Da zuvor das B-Register gelöscht worden war, wird nun durch einen invertierenden Transport vom B- zum A-Register in den Akkumulator -O, also L...LL eingeschrieben:

AI,AO = ZZ01 = S3.SH.CNT

S4 (mit RB=L) Durch AD werden die "O" vom D-Register in den Akkumulator gebracht. Damit steht das Zählergebnis im Akkumulator. Der Befehlszählerstand wird mit FG,FO vom G-Register ins F-Register geschrieben und dabei um 1 erhöht, sodaß in F nun die Adresse des nächstfolgenden Befehles steht:

R1A',RL',RO-',
AD,FG,FO = ZZ30 = S4.SH.CNT

Mit RO=O wird schließlich in die Abrufphase gesprungen; der Befehlsablauf ist beendet.

1.4.5.3 Shift mit Zusatzspezifikation "mit Rundung" (SH (ZLK) R)

Wirkung:

Zunächst gilt uneingeschränkt das über den Shift mit Grundspezifikationen unter Kap. 1.4.5.1 gesagte. Nach Ausführung dieses eigentlichen Shiftvorganges steht in den Registern A und Q eine doppeltlange Zahl: A1 ist die Vorzeichenstelle (die infolge des Shiftens von dem ursprünglichen Vorzeichen verschieden sein kann, z.B. nach Kreisshift); Q1 folgt dem Stellenwert nach unmittelbar auf A24, eine Vorzeichenstelle in Q gibt es hier nicht. Diese doppeltlange Zahl in A,Q wird nun durch Rundung auf eine einfachlange Zahl in A verkürzt, Q bleibt unverändert.

Für die Rundung gibt es 4 Fälle:

1. A1=O, Q1=O A bleibt unverändert
2. A1=O, Q1=L zu A wird 1 addiert
3. A1=L, Q1=O von A wird 1 subtrahiert
4. A1=L, Q1=L A bleibt unverändert

Die Addition bzw. Subtraktion erfolgen über alle 24 Stellen mit Einerrücklauf; für negative Zahlen gilt die Darstellung in (B-1)-Komplement.

Tritt infolge der Rundung Bereichsüberschreitung auf, d.h. ändert A1 seinen Wert, wird das Überlaufflipflop U gesetzt. (U kann allerdings auch schon kurz zuvor beim Shiften gesetzt worden sein).

Ausführung:

(siehe hierzu Flußdiagramme "SH (ZLK) R", Abb.1-19, und "Shift, allg. Teil", Abb.1-17)

Der Shift mit Rundung unterscheidet sich für LX=O im logischen Ablauf nicht vom gewöhnlichen Shift mit Grundspezifikationen (siehe Kap. 1.4.5.1)

Erst für LX=L wird bei dieser Zusatzspezifikation ein anderer Ablauf gültig. Für die weiter oben aufgeführten Fälle 1 und 4, geschieht bei der Rundung im Intervall S2 weiter nichts als die Abfrage, ob A1 und Q1 (und somit auch B1 und P1) beide gleich "O" oder beide gleich "L" sind. S3 ist dann ohne Bedeutung. In S4 wird schließlich mit RO=O in die Abrufphase zum Lesen des nächsten Befehls gesprungen:

R1A',RL',RO-' = ZZ06 = S4.SH.FF4-

Der Befehlsablauf ist dann beendet.

Für die Fälle 2 und 3 gilt für LX=L ab S2 folgendes:

S2 (mit RB=L und RND=L) Für Fall 2 (B1=O, P1=L), also positiven Akkuinhalt, werden lediglich FF4 und FC gesetzt.

FC',FF4' = SH28 = S2.SH.LX .RND.B1-.P1

Für Fall 3 (B1=L, P1=O), also negativen Akkuinhalt, wird zudem der Akkuinhalt, der ja auch im B-Register steht, invertiert.

FC',FF4',AI,AO = SH27 = S2.SH.LX .RND.B1.P1-

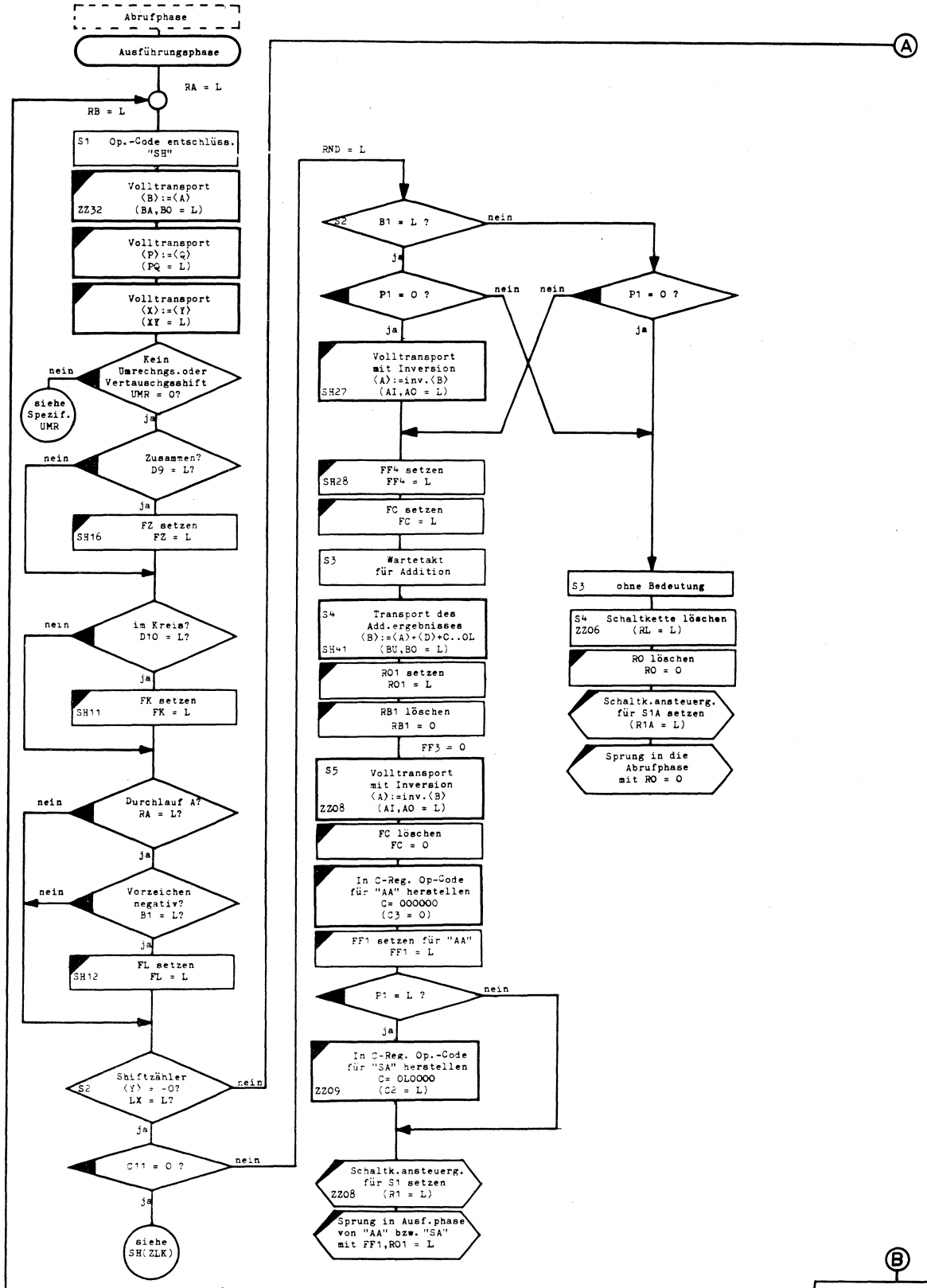
Durch FC=L wird die Addition von O...OL zum Akkumulator vorbereitet; dabei wird dann allerdings auch der Inhalt des D-Registers mit hinzu addiert. Die Addition erfolgt für den Fall 2 direkt zwischen D und A, für den Fall 3 werden D und der zuvor invertierte Akkuinhalt addiert, was einer Subtraktion entspricht. Die weitere Befehlsausführung erfolgt mit FF4=L.

S3 (mit RB=L) ist ein Leerintervall (das Addierwerk benötigt eine gewisse Zeit, um die Addition durchzuführen- daher dieses "Warteintervall").

S4 (mit RB=L) Mit BU,BO wird das Additionsergebnis A + D + O...OL nach B gebracht, RO1 wird gesetzt, RB1 gelöscht:

RB1-',RO1',BU,BO = SH41 = S4.SH.FF4

S5 (mit RB=L) Da die Addition von D im Intervall S4 unerwünscht war, muß diese wieder rückgängig gemacht werden. Dazu wird in diesem Intervall im C-Register



Shift mit Grundspezifikationen und Zusatzspezifikation "mit Rundung"	C_1 C_2 C_3 C_4 C_5 C_6 C_7 C_8 C_9 C_{10} C_{11} C_{12} — Y_1 Y_2 Y_3 Y_4 Y_5 Y_6
SH (ZLK) R	0 0 L 0 0 0 0 0 X X L 0 X 0 0 0 0 0 — X X X X X X (Z K R L) Zahl d. Schritte (dual)

Abb. 1-19

der Operationscode des Befehls "Addiere Adressteil" (für Fall 3) bzw."Subtrahiere Adressteil" (für Fall 2) gebildet und damit nach S1, also in die Ausführungsphase des betreffenden Befehles gesprungen.

Für Fall 2 und Fall 3 gilt:
Das Additionsergebnis in B wird invertiert in den Akku transportiert, FF1 wird gesetzt, FC wird gelöscht, und C3 (beim Shift das einzige gesetzte Flipflop im Op.-Teil des C-Registers) wird gelöscht. Damit ist im C-Register der Op.-Code umgewandelt worden in den des Befehls "AA".

Für Fall 2 gilt außerdem:
Hier ist P1=L, der Inhalt von D wurde also zuvor addiert; deshalb wird in C zusätzlich nach C2 gesetzt und damit der Op.-Code des "SA"-Befehls hergestellt.

Der Befehl SH (ZLK) R ist damit noch nicht beendet, weiteres ist jedoch den Beschreibungen und Flußdiagramm zu den Befehlen "Addiere Adressteil" Kap.1.4.2.1, bzw. "Subtrahiere Adressteil" Kap.1.4.2.2, zu entnehmen. Die Bedingungen, mit denen in die Ausführungsphase von "SA" bzw. "AA" übergegangen wird, sind im wesentlichen:
RO1=L, FF1=L, FF4=L,
FC =O, FF3=O, RB1=O

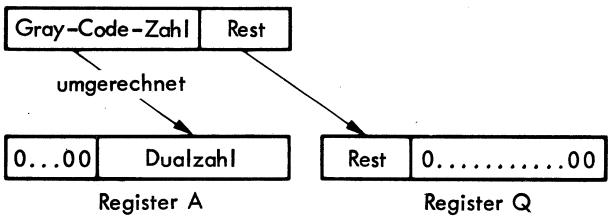
1.4.5.4 Shift mit Sonderspezifikationen "Umrechnung (SH U) und "Vertauschung" (SH V)

Wirkung:

1. Shift mit Umrechnung

Normalfall: $p \leq 24$

Die ersten p Stellen von <A> (von links gerechnet) werden als Gray-Code-Zahl aufgefasst und in eine ebenfalls p-stellige Dualzahl umgerechnet. Das Ergebnis steht nach Ausführung des Befehls rechtbündig in A, links ist A mit O...OO aufgefüllt; die restlichen, d.h. nicht verarbeiteten 24-p Stellen stehen linksbündig in Q, rechts ist Q mit O...OO aufgefüllt.
(siehe Abb.1-20)



Verfahren beim SHIFT mit Umrechnung **Abb.1-20**

Das Überlaufflipflop U bleibt unverändert. Wenn p=0 ist, so ist die Ausführung des Befehls gleichbedeutend mit
<Q>:=<A> ,<A> := +0

Sonderfall: $p > 24$ **(i.a. nicht sinnvoll)**

<A> wird mit O...OO auf p Stellen nach rechts verlängert gedacht. Die so entstehende p-stellige Zahl wird als Gray-Code-Zahl aufgefasst und in eine Dualzahl umgerechnet. Die letzten 24 Stellen des Ergebnisses stehen nach Ausführung des Befehls in A. Q ist auf +O gelöscht. Das Überlaufflipflop bleibt unverändert.
(Gray-Code: $d_1 \ldots d_n$ sei eine Dualzahl, dann erhält man die zugehörige Zahl im Gray-Code durch die Boole'schen Gleichungen

$g_1 = d_1$

$g_i = \overline{d_i} \cdot d_{i-1} + d_i \cdot \overline{d_{i-1}}$ mit $i=2,\ldots,n$

Umgekehrt erhält man aus einer Gray-Code-Zahl die zugehörige Dualzahl aus

$d_1 = g_1$

$d_i = \overline{g_i}.d_{i-1} + g_i.\overline{d_{i-1}}$ mit i=2,...,n

Hierbei ist es gleichgültig, ob man die erste Stelle $d_1 = g_1$ als Vorzeichen- oder Ziffernstelle auffasst.)

Verfahren:

Zunächst geschieht <Q>:=<A>, <A>:=+0; anschließend werden <A> und <Q> schrittweise (nicht zusammen!) um p Stellen nach links geshiftet. Dabei wird bei jedem Schritt in die in A frei werdende Stelle der jeweilige Wert der Verknüpfung

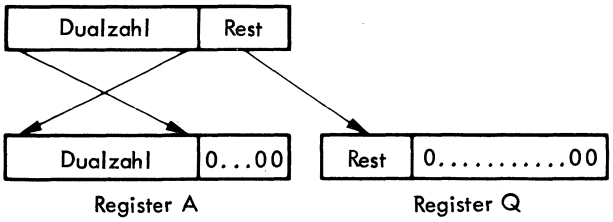
$\overline{A24}.Q1 + A24.\overline{Q1}$

eingespeist (A24 und Q1 sind hierin die Werte vor Ausführung des betreffenden Shift-Schrittes). In die frei werdenden Stellen von Q werden "0" nachgezogen.

2. Shift mit Vertauschung

Normalfall: $p \leq 24$

Die ersten p Stellen von <A> (von links gerechnet) werden in umgekehrter Reihenfolge linksbündig nach A geschrieben, d.h. "vertauscht"; rechts wird mit 0...00 aufgefüllt. (siehe Abb.1-21)
Die restlichen, nicht vertauschten 24-p Stellen stehen linksbündig in Q, rechts ist Q mit 0...00 aufgefüllt.



Verfahren beim SHIFT mit Vertauschung Abb. 1-21

Wenn p=0 ist, wird die Ausführung des Befehls gleichbedeutend mit <Q>:=<A>, <A>:=+0 .

Sonderfall: $p > 24$

<A> wird mit 0...00 auf p Stellen nach rechts verlängert gedacht; die so entstehende p-stellige Zahl denkt man sich in umgekehrter Reihenfolge geschrieben. Die ersten 24 Stellen dieser Zahl (also mit 0...0 beginnend) stehen nach Ausführung des Befehls in A. Q ist auf +0 gelöscht. Das Überlaufflipflop U bleibt unverändert.

Verfahren:

Zunächst geschieht <Q>:=<A>, <A>:=+0; anschließend wird Q nach links und A nach rechts geshiftet, wobei Q1 mit A1 verbunden zu denken ist. In die frei werden Stellen von Q werden "0" nachgezogen.

Ausführung:

(siehe hierzu Flußdiagramm "SH U/V", Abb. 1-22)

S1 (mit RA=L) Die Entschlüsselung beider Sonderspezifikationen "Umrechnung" sowie "Vertauschung" geschieht durch UMR. In diesem Intervall werden FU und FF4 gesetzt und der Akkuinhalt nach Q transportiert.

FU',FF4',QA,Q0 = SH13 = S1.SH.UMR.RA

XY,PQ,BA,B0 = ZZ32 = S1.SH

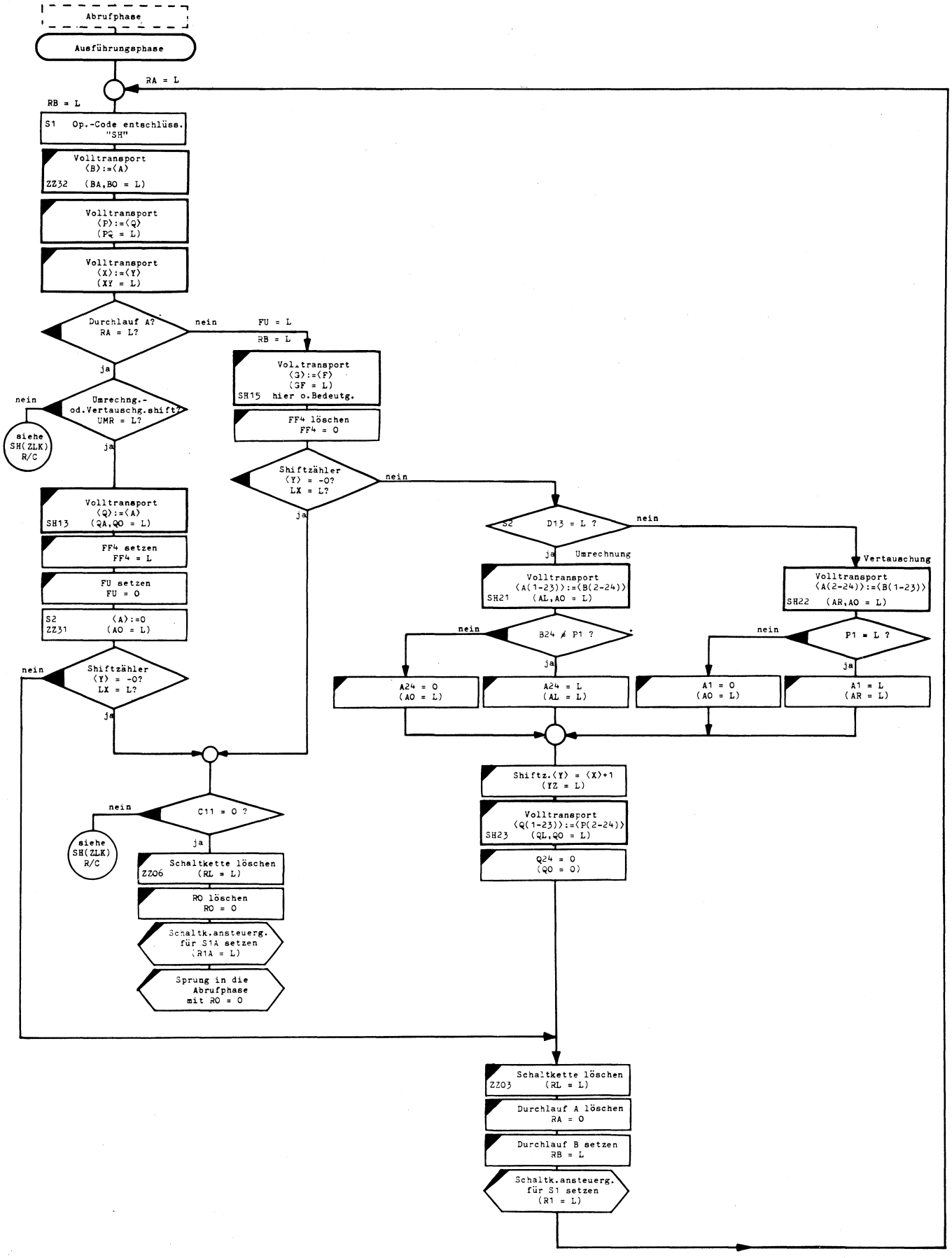
Außerdem werden noch die Schaltwellen XY,PQ,BA,BO durch ZZ32 erzeugt, die damit ausgeführten Operationen sind aber in diesem Intervall noch ohne Bedeutung (siehe S1 mit RB=L)

S2 (mit RA=L) Der Akkumulator wird gelöscht. Ist LX=0, d.h. der Shiftzähler noch nicht auf -0, so wird mit RA=0, RB=L auf S1 zurückgesprungen.

A0 = ZZ31 = S2.SH.UMR.RA1

R1A',RL',R0-' = ZZ06 = S2.SH.LX.C11-

S1 (RB=L) Die Inhalte von A, Q und Y werden in die entsprechenden Hilfsregister B,P und X gebracht:



Shift	Sonderspezifikationen Umrechnung/Vertauschung																			
	C_1	C_2	C_3	C_4	C_5	C_6	C_7	C_8	C_9	C_{10}	C_{11}	C_{12}						Y_1	Y_2	Y_3 Y_4 Y_5 Y_6
SH (U/V)	0	0	L	0	0	0	0	0	0	0	0	L	L/0 (U/V)	0	0	0	0	X	X	X X X X (Zahl d. Schritte (dual))

Abb.1-22

XY•PQ•BA•B0 = ZZ32 = S1•SH

FF4-'•GF = SH15 = S1•SH•RB

FF4 wird gelöscht; der Transport von <F> nach G ist ohne Bedeutung.

S2 (RB=L) In diesem Intervall unterscheiden sich die Abläufe für die beiden Sonderspezifikationen:

Umrechnung (D13=L) für LX=0:
Der Inhalt des Akkumulators wird um 1 Stelle nach links geshiftet; in A24 wird der Wert des "Exclusiven Oders" aus A24 und Q1 eingespeist (verknüpft werden die ursprünglichen Werte von A24 und Q1, welche sich in B24 und P1 befinden):

AL•A0•YZ = SH21 = S2•SH•LX-
•D13•FF4-

QL•Q0 = SH23 = S2•SH•LX-
•D13•FF4-•FZ
+S2•SH•LX-
•UMR•RB1

Gleichzeitig wird mit YZ der Shiftzählerstand um 1 erhöht; das Q-Register wird um 1 Stelle nach links geshiftet, in Q24 wird eine "0" nachgezogen.

Vertauschung (D13=0) für LX=0:
Der Inhalt des Akkumulators wird um 1 Stelle nach rechts geshiftet; in A1 wird der Wert von Q1 vor Ausführung dieses Schrittes eingespeist (der ursprüngliche Wert von Q1 befindet sich in P1):

AR•A0•YZ = SH22 = S2•SH•LX-
•D13-•FF4-

QL•Q0 = SH23 = S2•SH•LX-
•D13•FF4-•FZ
+S2•SH•LX-
•UMR•RB1

Gleichzeitig wird mit YZ der Shiftzählerstand um 1 erhöht; das Q-Register wird um 1 Stelle nach links geshiftet, in Q24 wird eine "0" nachgezogen.

Dieser Ablauf von S1 und S2 mit RB=L wiederholt sich in der beschriebenen Weise so lange, bis der Shiftzähler auf -0 hochgezählt, also LX=L ist.

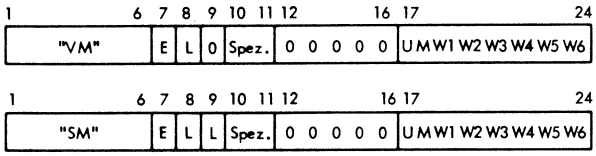
Für diesen Fall gilt:

S2 (RB=L, LX=L) Der Befehlsablauf ist beendet, es wird mit RO=O in die Abrufphase zum Lesen des nächsten Befehls gesprungen:

R1A'•RL'•R0-' = ZZ06 = S2•SH•LX•C11-

1.4.6 Merklichter-Befehle

Allgemeines:
Die Struktur der Merklichter-Befehle und die Verteilung der Information über Unterscheidungen der Befehle voneinander sowie von anderen Befehlen und über Spezifikationen auf die 24 Stellen des Befehlswortes ist aus Abb. 1-23 zu ersehen.



Struktur der MERKLICHTER - Befehle Abb. 1-23

Der Op.-Code ist der gleiche wie beim SHIFT-Befehl, jedoch ist hier zur Unterscheidung stets C8=L.

Näheres über die Codierung ist dem Schriftfeld auf dem Flußdiagramm "VM/SM", Abb. 1-24 zu entnehmen.

Ein Merkflipflop ist adressiert, wenn das ihm zugeordnete Bit in den Registerstellen D17 bis D24 gesetzt ist.

Die Merkflipflops sind:
U Überlaufflipflop
M Eingriffssperre
W1-W6 Wahlschalter 1 bis 6

Die in den Registerstellen C1o und C11 ablesbaren Spezifikationen sind:
B = Bringe (nicht bei SM)
L = Lösche
S = Setze
I = Invertiere
Die Anweisungen B, L, S, I beziehen sich jeweils auf die im Befehl adressierten Merkflipflops.

1.4.6.1 Verändere Merkflipflops (VM)

Wirkung:

a) Spezifikation "Bringe": In den Akkumulator wird folgende Bitkombination geschrieben:

1 6 7 8 9 10 11 12 16 17 24
0 0 0 0 0 0 0 L 0 L 0 0 0 0 0 0 U M 1 2 3 4 5 6

Der Op.-Teil ist gelöscht; der Adressteil enthält die VM-Spezifikation "Setze" und zeigt in den Stellen 17 bis 24 den Zustand sämtlicher Merkflipflops vor Ausführung dieses Befehles. Die adressierten Merkflipflops im W-Register werden gelöscht.

b) Spezifikation "Lösche"
Die adressierten Merkflipflops werden gelöscht.

c) Spezifikation "Setze"
Die adressierten Merkflipflops werden gesetzt.

d) Spezifikation "Invertiere"
Die adressierten Merkflipflops werden invertiert.

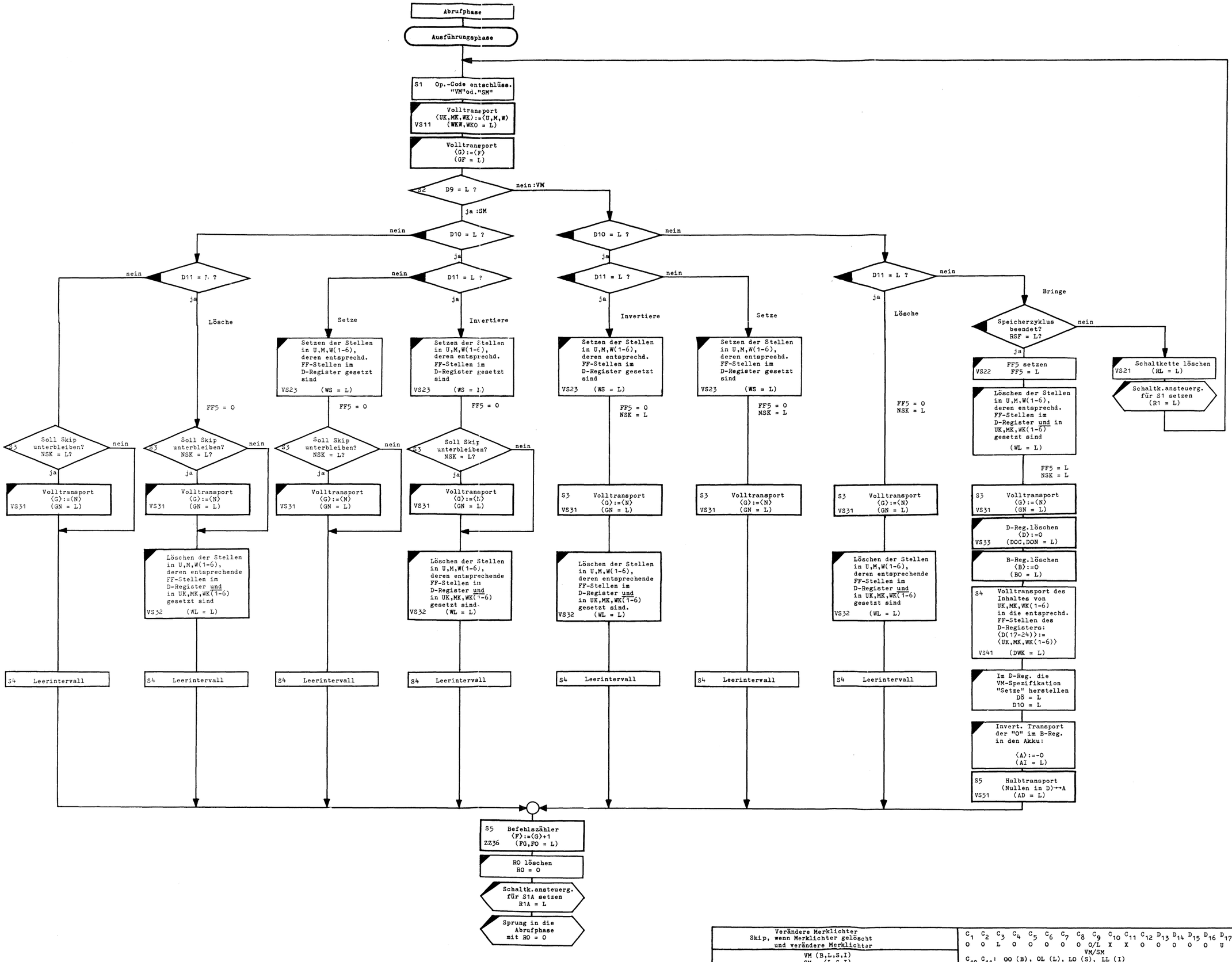
Die entsprechenden Bitkombinationen in den Stellen C1o und C11 des Entschlüsselungsregisters sind in dem Schriftfeld auf dem zugehörigen Flußdiagramm Abb. 1-24 zu ersehen.

Ausführung:
(siehe hierzu Flußdiagramm "VM/SM", Abb. 1-24)

S1 Nach Entschlüsselung des Operationscodes "VM/SM" wird der Zustand des Merkflipflopregisters W in das zugehörige Hilfsregister übernommen (siehe Abb. 1-25 a); der Inhalt des Befehlszählers F geht in das zugehörige Hilfsregister G:

WKW•WK0•GF = VS11 = S1.VSM

Der Transport von F nach G ist von Bedeutung für den SM-Befehl: die für den "Skip" (d.h. Überspringen des nächsten Befehls) notwendige weitere Erhöhung des Befehlszählerstandes um 1 wird durch einen Transport vorbereitet.



Verändere Merklichter Skip, wenn Merklichter gelöscht und verändere Merklichter	C_1	C_2	C_3	C_4	C_5	C_6	C_7	C_8	C_9	C_{10}	C_{11}	C_{12}	D_{13}	D_{14}	D_{15}	D_{16}	D_{17}	D_{18}	D_{19}	D_{20}	D_{21}	D_{22}	D_{23}	D_{24}
	0	0	L	0	0	0	0	0	O/L	X	X	0	0	0	0	0	U	M	W1	W2	W3	W4	W5	W6
VM (B,L,S,I) SM (L,S,I)	VM/SM																							
	C_{10} C_{11}: 00 (B), 0L (L), L0 (S), LL (I)																							

Abb.1-24

S2 Durch Abfrage von D9 wird entschlüsselt, ob es sich um einen VM oder SM-Befehl handelt (hier ist D9=0:VM); nach weiterer Entschlüsselung, um welche der vier Spezifikationen B, L, S, I es sich handelt, werden die entsprechenden Verknüpfungen hergestellt:

Bringe: (D10=0, D11=0)
Bei Verwendung eines Speichers, der die ausgelesene Information nicht aus einem eigenen Speicherregister zurückschreibt, sondern hierzu das D-Register des Rechnerkerns benutzt, darf der Inhalt dieses Registers erst nach erfolgtem Rückschreiben verändert werden. Hierzu muß die Meldung des Speichers "Speicherzyklus beendet" (RSB- bzw. synchronisiert RSF=S1.RSB-) abgewartet werden und der Rechner so lange eine Warteschleife durchlaufen. Da der TR86-Speicher jedoch ein eigenes Speicherregister hat und das D-Register nicht benötigt, liegt die Meldung RSF=S1.RSB- mit Beginn der Ausführungsphase immer bereits an; ein Sprung in die Warteschleife ist also nicht erforderlich.
Die Gleichung

R1'•RL' = VS21 = S2.VSM.D9-.D10-.D11-.RSF-

wird somit nicht wahr und ist irrelevant.
Wegen RSF=L werden für diese Spezifikation FF5 gesetzt und WL angesteuert:

FF5'•WL = VS22 = S2.VSM.D9-.D10-.D11-.RSF

Durch einen invertierenden Transport der "L" von D nach W werden mit WL die im D-Register (D17 bis D24) adressierten Merkflipflops gelöscht, sofern die entsprechenden Registerstellen im D-Register und im Merkflipflop- Hilfsregister WK gesetzt sind. (siehe Abb. 1-25 c)

Lösche: (D1o=0, D11=L)
Bei dieser Spezifikation ist das Intervall S2 bedeutungslos.

Setze: (D10=L, D11=0)
Im Merkflipflop-Register W werden die Flipflops gesetzt, die durch die entsprechenden Registerstellen im D-Register (D17 bis D24) adressiert sind (siehe Abb. 1-25 b):

WS = VS23 = S2.VSM.D10

Invertiere: (D1o=L, D11=L)
Im Merkflipflop-Register W werden die Flipflops gesetzt, die durch die entsprechenden Registerstellen im D-Register (D17 bis D24) adressiert sind:

WS = VS23 = S2.VSM.D10

Zur Veranschaulichung siehe hierzu Abb.1-25 b

S3 Da beim Ablauf des VM-Befehles kein "Skip" stattfinden soll, muß die in S1 durch den Transport GF eingeleitete Erhöhung des Befehlszählerstandes verhindert werden. Der im Intervall S5 erfolgende "+1"- Transport von G nach F ist unumgänglich; eine Erhöhung des aktuellen Befehlszählerstandes läßt sich also nur umgehen, indem der alte Befehlszählerstand (mit dem dieser VM-Befehl adressiert wurde) mit GN aus dem N-Register in das Befehlszähler-Hilfsregister G geholt wird und schließlich in S5 um 1 erhöht in den Befehlszähler F gelangt.

GN = VS31 = S3.VSM.NSK

Der in S1 vorgenommene Transport GF wird durch den Transport GN in S3 in seiner Wirkung annulliert. Auf diese Weise ist der Befehlszählerstand am Ende der Ausführung des VM-Befehles der gleiche wie zu Beginn.

Dieser Vorgang ist in allen vier VM-Spezifikationen gemeinsam, da wegen D9=0 stets NSK=L ist und somit jeweils GN angesteuert wird.

Die weiteren in S3 vorgenommenen Verknüpfungen sind für die einzelnen Spezifikationen:

Bringe: (FF5=L, D1o=0, D11=0)
Nur bei dieser Spezifikation wurde zuvor FF5 gesetzt; damit werden in S3 das D- und das B-Register gelöscht:

D0C•D0N•B0 = VS33 = S3.VSM.FF5

Lösche: (FF5=0, D1o=0, D11=L)
Durch einen invertierenden Transport der

"L" von D nach W werden mit WL die im D-Register (D17 bis D24) adressierten Merkflipflops gelöscht, sofern die entsprechenden Registerstellen im D-Register und im Merkflipflop-Hilfsregister WK gesetzt sind (siehe Abb. 1-25 c).

WL = VS32 = S3.VSM.D11.FF5-

Setze: (FF5=0, D1o=L, D11=0)
Neben dem oben beschriebenen Transport GN werden für diese Spezifikationen keine weiteren Verknüpfungen hergestellt.

Invertiere: (FF5=0, D1o=L, D11=L)
Durch einen invertierenden Transport der "L" von D nach W werden mit WL die im D-Register (D17 bis D24) adressierten Merkflipflops gelöscht, sofern die entsprechenden Registerstellen im D-Register und im Merkflipflop-Hilfsregister WK gesetzt sind (siehe Abb. 1-25c).

WL = VS32 = S3.VSM.D11.FF5-

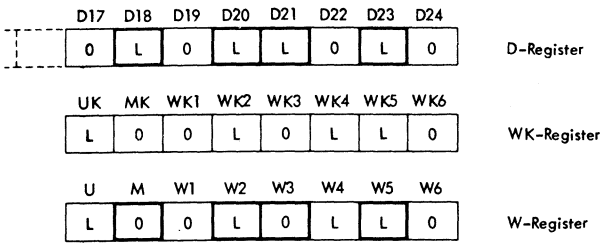
S4 Dieses Intervall ist nur für die Spezifikation "Bringe" von Bedeutung, da nur hier FF5=L ist:

Bringe: (FF5=L, D1o=0, D11=0)
Der Inhalt des Merkflipflop-Hilfsregisters WK wird in die Stellen D17 bis D24 des D-Registers transportiert. Da ein "Bringen" des Zustandes der Merklichter in den Akkumulator nur sinnvoll ist, wenn dies zum Abspeichern und späteren Wiederherstellen dieses gespeicherten Zustandes geschieht, wird im D-Register zusätzlich noch die Spezifikation "Setze" durch D8=L und D1o=L hergestellt. (Es bedarf dann zum Wiederherstellen des Zustandes der Merkflipflops zu einem späteren Zeitpunkt nur noch des VM-Op.-Codes). Außerdem wird die +0 im B-Register invertierend in den Akkumulator transportiert.

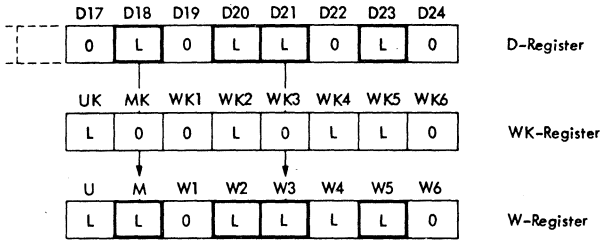
DWK,D8',D10',AI = VS41 = S4.VSM.FF5

Für die übrigen Spezifikationen ist das Intervall S4 bedeutungslos:

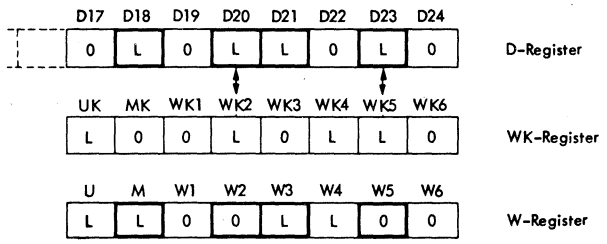
Lösche, Setze, Invertiere } S4 bedeutungslos



a. Ursprünglicher Zustand der Register, adressierende und adressierte Stellen dick umrandet



b. Setzen der adressierten Flipflops durch "WS" (Ausgangszustand vor Transport "WL")



c. Löschen der Stellen in W, die durch ein "L" gleichzeitig in D und WK adressiert sind, durch WL

Beispiel für Transporte "WS" und "WL" Abb. 1-25

S5 Hier gilt für die Spezifikationen:

Bringe: (FF5=L, D1o=0, D11=0)
Wegen FF5=L wird hier folgende Verknüpfung hergestellt:

AD = VS51 = S5.VSM.FF5

In den Akkumulator, in welchen im Intervall S4 die Größe -0 (also L...LL) eingeschrieben worden war, wird nun durch den Halbtransport der Nullen des D-Registers das D-Register abgebildet. Damit ist der Zustand der Merkflipflops in den Akkumulator "gebracht".

Für "Bringe" und die übrigen Spezifikationen
Lösche
Setze
Invertiere

gilt weiterhin:

R1A',RO-',FG,FO = ZZ36 = S5.VSM

Der Befehlsablauf ist beendet; es wird mit RO=O zum Lesen des nächsten Befehles in die Abrufphase gesprungen.

1.4.6.2 Skip-Befehl (SM)

Wirkung:

Der vollständige Name dieses Befehls lautet "Skip, wenn Merklichter nicht gesetzt und verändere Merklichter".

a) "Skip" bedeutet ein Überspringen des unmittelbar folgenden Befehles, d.h. nach Ausführung des Skip-Befehles gelangt der übernächste Befehl zur Ausführung.

   Ein "Skip" wird durchgeführt, wenn sämtliche adressierten Merkflipflops nicht gesetzt sind (der Zustand der nicht adressierten Merkflipflops ist irrelevant); ein "Skip" wird auch durchgeführt, wenn kein Merkflipflop adressiert ist.

   Maßgebend ist jeweils der Zustand der Merkflipflops vor Ausführung des Befehles.

b) Bei der zusätzlichen Anweisung "Verändere Merklichter" müssen folgende Spezifikationen unterschieden werden:
   "Lösche": Die adressierten Merkflipflops werden gelöscht.
   "Setze": Die adressierten Merkflipflops werden gesetzt.
   "Invertiere": Die adressierten Merkflipflops werden invertiert.

   Die entsprechenden Bitkombinationen in den Stellen C1o und C11 des Befehlsentschlüsselungsregisters sind dem Schriftfeld auf dem zugehörigen Flußdiagramm Abb. 1-24 zu entnehmen.

   Eine Spezifikation entsprechend dem "Bringe" beim VM-Befehl gibt es nicht; die zugehörige Bitkombination bedeutet für den SM-Befehl, daß lediglich ein "Skip" durchgeführt wird (sofern die Bedingungen hierfür erfüllt sind) und die Merkflipflops unverändert bleiben.

Ausführung:

(siehe hierzu Flußdiagramm "VM/SM", Abb. 1-24)

S1 siehe Beschreibung "VM" Kap.1.4.6.1

S2 Durch Abfrage von D9 wird entschlüsselt, ob es sich um einen VM- oder SM-Befehl handelt (hier ist D9=L:SM); nach weiterer Entschlüsselung, um welche der vier Spezifikationen "Unverändert", L, S, I, es sich handelt, werden die entsprechenden Verknüpfungen hergestellt:

Verändere nicht: (D10=0, D11=0)
Bei dieser Spezifikation ist das Intervall S2 bedeutungslos.

Lösche: (D10=0, D11=L)
Bei dieser Spezifikation ist das Intervall S2 bedeutungslos.

Setze: (D10=L, D11=0)
siehe Beschreibung "VM", Kap.1.4.6.1, unter Intervall S2

Invertiere: (D10=L, D11=L)
siehe Beschreibung "VM", Kap.1.4.6.1, unter Intervall S2

S3 In diesem Intervall wird geprüft, ob ein "Skip" stattfinden soll; durch Vergleich der Stellen des Merkflipflop-Hilfsregisters mit den entsprechenden Stellen D17 bis D24 des D-Registers wird festgestellt, ob eins oder mehrere der adressierten Merkflipflops gesetzt sind. Für diesen Fall liefert die disjunktive Verknüpfung der obigen Vergleiche ein Signal NSK=L, welches bedeutet, daß der "Skip" unterbleiben soll (NSK: " Nicht Skippen").

Mit NSK=L ist folgende Gleichung erfüllt:

GN = VS31 = S3.VSM.NSK

Der durch GN ausgelöste Transport von N ins G-Register überschreibt die dort stehende Adresse des nächsten Befehls mit der alten Adresse des aktuellen SM-Befehles.

Nach der Erhöhung des Befehlszählerstandes um 1 im Intervall S5 wird somit in der darauffolgenden Abrufphase der nächste Befehl, und nicht der übernächste, adressiert werden.
Der "Skip" ist also unterblieben.

Bei NSK=0 wird der Transport von N- ins G-Register nicht ausgeführt, im Intervall S5 wird die im G-Register stehende Adresse des nächsten Befehles um 1 erhöht und somit in der folgenden Abrufphase der übernächste Befehl ausgelesen.

Der "Skip" findet also statt.

Weitere im Intervall S3 hergestellte Verknüpfungen sind für die einzelnen Spezifikationen:

Verändere nicht: (D10=0, D11=0)
keine weiteren Verknüpfungen.

Lösche: (D10=0, D11=L)
Mit WL werden die adressierten Merkflipflops gelöscht, deren entsprechende Stellen im Merkflipflop-Hilfsregister WK gesetzt sind. (Siehe Beschreibung "VM", Kap.1.4.6.1, unter Intervall S3)

Setze: (D10=L, D11=0)
keine weiteren Verknüpfungen

Invertiere: (D10=L, D11=L)
Mit WL werden die adressierten Merkflipflops gelöscht, deren entsprechende Flipflopstellen im Hilfsregister WK gesetzt sind. (Siehe Beschreibung "VM", Kap.1.4.6.1, unter Intervall S3)

S4 Dieses Intervall ist für alle Spezifikationen ohne Bedeutung.

S5 Der Inhalt des G-Registers wird um 1 erhöht in den Befehlszähler F transportiert; der Befehlsablauf ist damit beendet, es wird zum Lesen des nächsten bzw. übernächsten Befehles mit RO=0 in die Abrufphase gesprungen.

R1A',RO-',FG,FO = ZZ36 = S5.VSM

1.4.7 Sprungbefehle

1.4.7.1 Springe unbedingt (S)

Wirkung:

Unbedingter Sprung nach N

N ⟶ F

Alle Register außer F bleiben unverändert.

Ausführung:

(siehe hierzu Flußdiagramm "S,SK", Abb. 1-26)

S1 Nach Entschlüsselung des Operationscodes wird der Befehlszähler F mit dem Adressteil N des Befehls (der sich im D-Register befindet) überschrieben:

```
FD,F0          = S11  = S1.SI.LA
                      +S1.SK.LA-.B1
                      +S1.S
```

S2 Der Befehl ist damit ausgeführt; es wird mit RO=0 in die Abrufphase zum Lesen des in der Zelle N befindlichen Befehles gesprungen.

```
R1A',R0-',RL'  = ZZ06 = S5.SI
                      +S2.SK
                      +S2.S
```

1.4.7.2 Springe, wenn kleiner Null (SK)

Wirkung:

Wenn <A> negativ und von Null verschieden ist, erfolgt ein Sprung nach N

N ⟶ F wenn <A><-0

Alle Register außer F bleiben unverändert. Für <A>≥0 ist der Befehlsablauf bedeutungslos.

Ausführung:

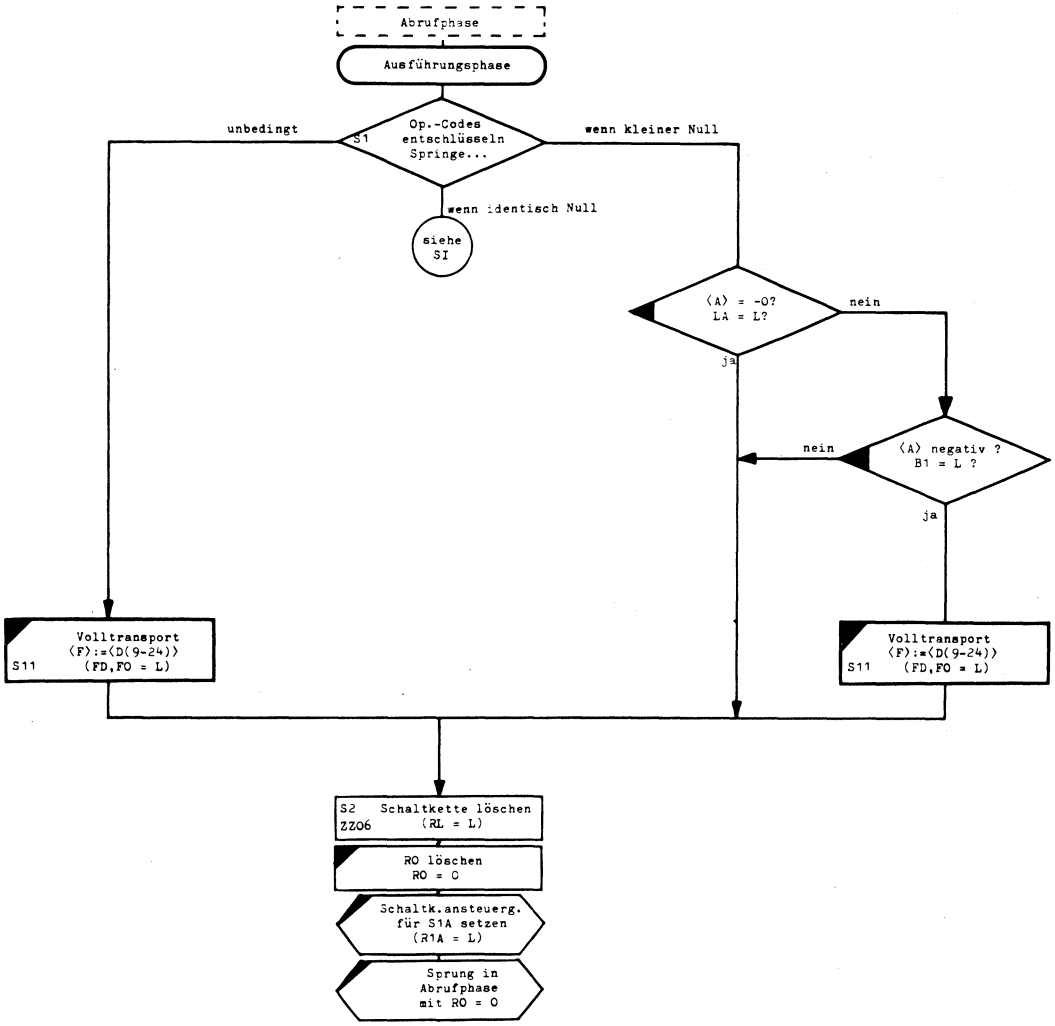
(siehe hierzu Flußdiagramm "S,SK", Abb. 1-26)

S1 Wenn <A> negativ und ungleich -0 ist, d.h. bei B1=L und LA=0, wird mit FD,F0 der Befehlszähler F mit dem Adressteil N des Befehles (der sich im D-Register befindet) überschrieben:

```
FD,F0          = S11  = S1.SI.LA
                      +S1.SK.LA-.B1
                      +S1.S
```

S2 Der Befehl ist damit ausgeführt, es wird mit RO=0 in die Abrufphase gesprungen zum Lesen des nächsten Befehles (für <A>≥-0) bzw. des in Zelle N befindlichen Befehles (für <A><-0)

```
R1A',R0-',RL'  = ZZ06 = S5.SI
                      +S2.SK
                      +S2.S
```



Springe	unbedingt wenn kleiner Null	C_1 C_2 C_3 C_4 C_5 C_6
S,SK		S : L 0 L 0 0 0 SK: L L L 0 0 0

Abb.1-26

1.4.7.3 Springe, wenn identisch Null (SI)

Wirkung:

Wenn <A>= +0 oder <A>=-0 ist, erfolgt ein Sprung nach N :

N ⟶ F wenn <A> = ±0

Alle Register außer F bleiben unverändert.

Ausführung:

(siehe hierzu Flußdiagramm "SI",Abb. 1-27)

S1 Wenn <A>= -0 ist, d.h. wenn LA=L ist, wird nach Entschlüsselung des Operationscodes der Befehlszähler F mit dem Adressteil des Befehles (der sich im D-Register befindet) überschrieben:

FD,F0 = S11 = S1.SI.LA
+S1.SK.LA-.B1
+S1.S

S2 Der Inhalt von B wird invertierend in den Akkumulator gebracht:

AI,A0 = ZZ01 = S2.SI

S3 Transport des Akkumulatorinhaltes in das B-Register. Außerdem wird die Schaltkettenansteuerung R1 gesetzt:

R1',BA,B0 = S31 = S3.SI

Da die Schaltkette in diesem Intervall nicht gelöscht wird, laufen im folgenden wegen R1=L die Intervalle S4 und S1 sowie S5 und S2 der Ausführungsphase parallel zueinander ab.

S4,S1 Es wird nochmals abgefragt, ob <A>= -0. also LA=L ist; da zuvor in S2 der ursprüngliche Akkuinhalt invertiert wurde, wird auf diese Weise auch der Fall berücksichtigt, daß der Akku +0 enthielt. Für LA=L wird dann der Befehlszähler F mit dem Adressteil N des Befehles (der sich im D-Register befindet) überschrieben:

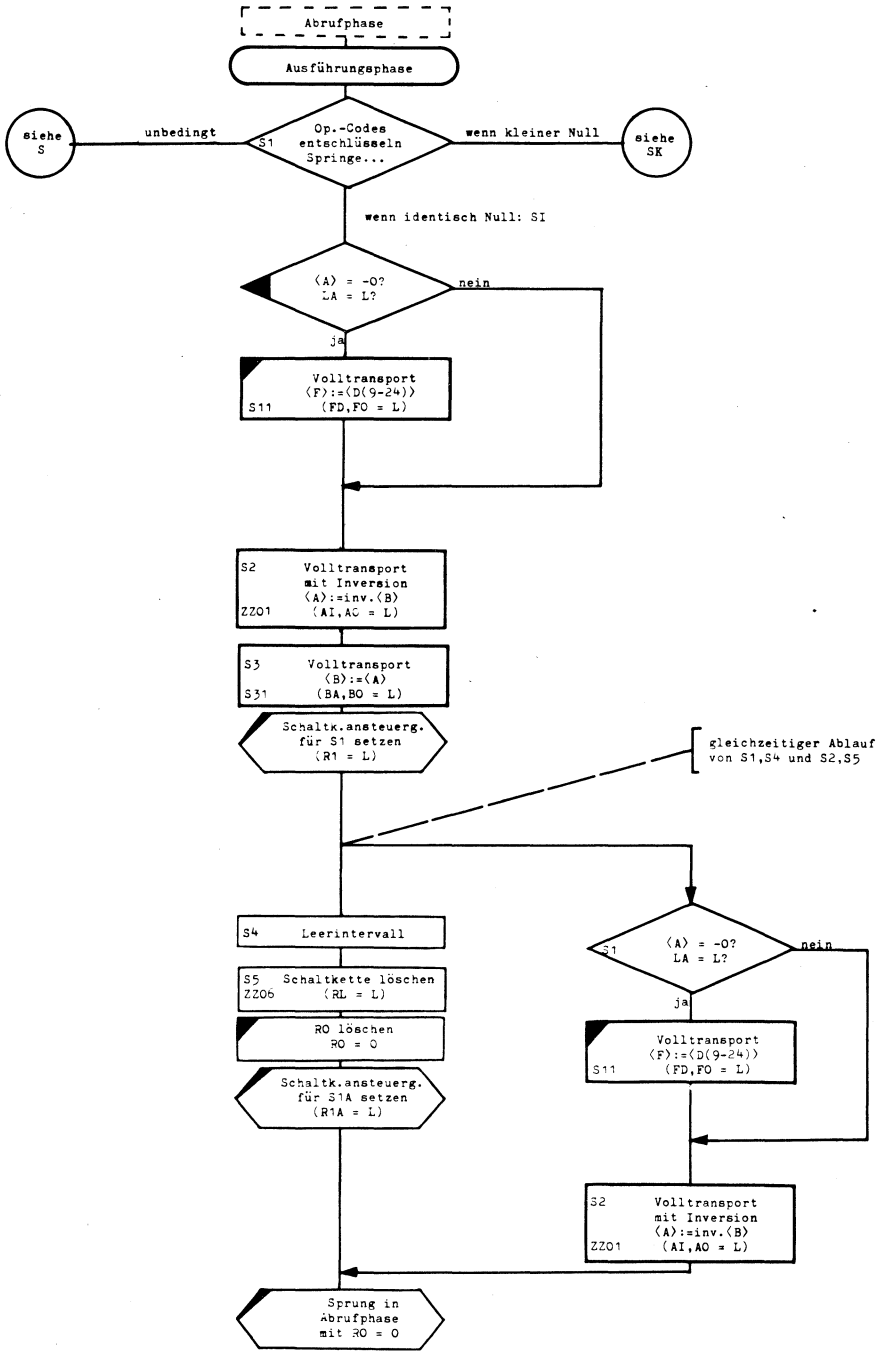
FD,F0 = S11 = S1.SI.LA
+S1.SK.LA-.B1
+S1.S

S2,S5 Der Inhalt von B wird invertierend in den Akkumulator transportiert und damit der ursprüngliche Akkuinhalt (d.h. vor Ausführung des Befehles) wiederhergestellt:

AI,A0 = ZZ01 = S2.SI

Gleichzeitig wird die Schaltkette gelöscht, der Befehl ist ausgeführt, es wird mit RO=0 in die Abrufphase gesprungen zum Lesen des nächsten Befehles (für <A> ≠ ±0) bzw. des in Zelle N befindlichen Befehles (für <A>= ±0):

R1A',R0-',RL' = ZZ06 = S5.SI
+S2.SK
+S2.S



Springe wenn identisch Null	C_1 C_2 C_3 C_4 C_5 C_6
SI	L L 0 0 0 0

Abb.1-27

1.4.7.4 Springe in Unterprogramm (SU)

Wirkung:

1. Unbedingter Sprung nach N+1, d.h.
   N+1 ——► F
2. Abspeichern der Rücksprungadresse:
   Die Rücksprungadresse, d.h. der um 1 erhöhte Befehlszählerstand (oder auch die um 1 erhöhte Adresse der Speicherzelle, die den SU-Befehl enthält), wird in den Adressteil der Speicherzelle N rechtsbündig abgespeichert; der Operationsteil bleibt unverändert.
   <F>+1 ——► N '

Ausführung:

(siehe hierzu Flußdiagramm "Unterprogrammsprung", Abb. 1-28)

Dieser Befehlsablauf entspricht prinzipiell dem des "CA"-Befehles (Kap.1.4.3.3)

```
R1A',RL',R0',FF1-',
BA,B0                  = ZZ02 = S2.C4.R01-

RSP'                           = S2.C01.
                                 .(C1-+C2-)
```

Es bestehen folgende Unterschiede:
Im Speicher (bzw. Vorrangwerk) veranlaßt das aus dem Leitwerk kommende Signal "SU" die Speicherablaufsteuerung, den folgenden Speicherzyklus als Lesen-Halb- und Schreiben-Halbzyklus mit dazwischenliegender Veränderung der ausgelesenen Information auszuführen.

Im Intervall S2A der sich anschließenden Abrufphase (genaue Beschreibung siehe Kap.1.3) wird FSP gesetzt (wegen RSP=L).

Mit FSP=L ist dann die folgende Gleichung erfüllt.

```
GN,DF,D0N      = ZZ13 = FSP.SU0
```

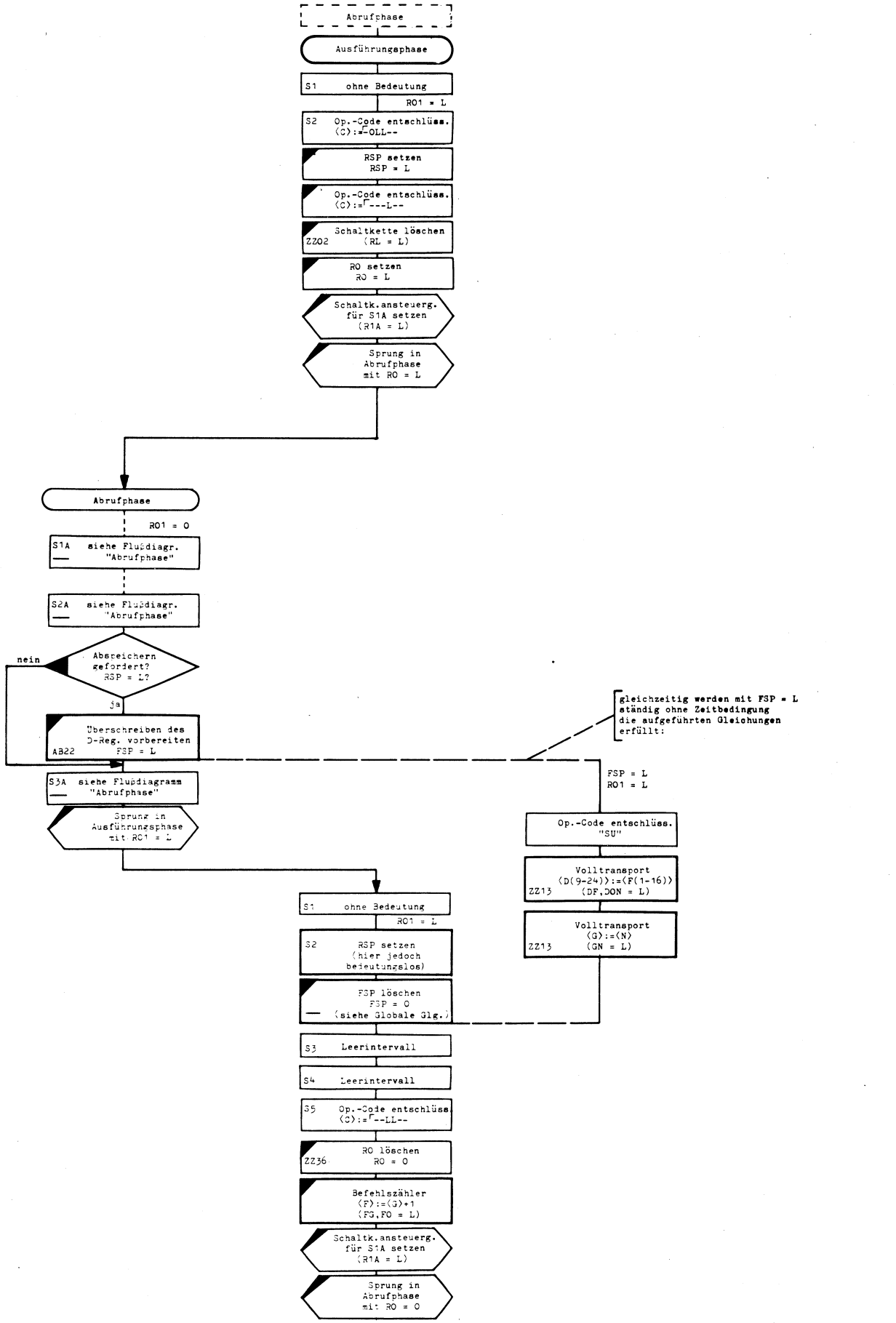
Durch den Lesen-Halbzyklus erscheint der Inhalt der adressierten Speicherzelle im D-Register. Mit ZZ13 wird sofort der Adressteil des D-Registers mit dem aktuellen Befehlszählerstand überschrieben (wenn U die Adresse des "SU"-Befehles ist, steht zu diesem Zeitpunkt U+1 im Befehlszähler; dies ist die Rücksprungadresse für den Fortgang des Hauptprogrammes nach Durchlaufen des Unterprogrammes); der Code-Teil des D-Registers bleibt erhalten.

Beim nachfolgenden Schreiben-Halbzyklus wird der neue Inhalt des D-Registers abgespeichert.

Im Unterschied zu dem unter "CA"-Befehl (Kap. 1.4.3.3) beschriebenen weiteren Ablauf ist hier der nach den Intervallen S1 bis S4 des zweiten Durchlaufes in S5 vorgenommene Transport FG,FO nicht bedeutungslos. Hier wird nämlich die zuvor vom N- ins G-Register überschriebene Adresse der ersten Zelle des Unterprogramms um 1 erhöht und in den Befehlszähler F geschrieben.

```
R1A',R0-',FG,FO      = ZZ36 = S5.C01
```

Mit der um 1 erhöhten Adresse wird dann in der sich anschließenden Abrufphase (R0=0, Lesen des nächsten Befehls) der erste Arbeitsbefehl des Unterprogrammes adressiert. Der Befehlsablauf "Unterprogrammsprung" ist damit beendet.



Unterprogrammsprung	C_1 C_2 C_3 C_4 C_5 C_6
SU	L O L L O O

Abb.1-28

MIKROPROGRAMM RECHNERKERN
(BEFEHLSABLAEUFE)

UND

ALPHABETISCHES VERZEICHNIS
DER IM MIKROPROGRAMM AUFTRETENDEN
FLIP-FLOPS,SCHALTWELLEN UND SIGNALE

TR86 GLOBALE GLEICHUNGEN

(SIND NICHT IM MIKROPROGRAMM AUFGEFUEHRT)

R1-'.RL-' = S1

RSF' = S1.RSB-

FSP-' = S2

RL-'R1A-' = S1A

RA1' = S1.RA

RA1-' = S1.RA-

RB1' = S1.RB

RB1-' = S1.RB-

RC1' = S1.RC

RC1-' = S1.RC-

RD1' = S1.RD

RD1-' = S1.RD-

RE1' = S1.RE

RE1-' = S1.RE-

RSP1' = S1.RSP

RSP1-' = S1.RSP-

N3/MR/E1
SCHNAPRE
11.02.69

TR86 ZEITSCHALTKETTE

RSB',RSB1'	=	S2A
RSB-'		ZURUECKSETZEN ASYNCHRON VOM SPEICHER
RSB1-'	=	RSB-•T-
R1A'		SETZEN VOM MIKROPROGRAMM NUR WAEHREND AUSFUEHRGS.PHASE
R1A-'	=	S1A
H1A'	=	T•R1A•RSB1-•FSV-•(R0+FSS-)
H1A-'	=	S2A
H2A'	=	T•H1A•R1A-
H2A-'	=	S3A
RLB'	=	S1A
RLB-'		ZURUECKSETZEN ASYNCHRON VOM SPEICHER
R3A'	=	T-•H2A•RLB-
R3A-'	=	S3A
H3A'	=	T•R3A
H3A-'	=	S1
R1'		SETZEN VOM MIKROPROGRAMM NICHT WAEHREND S1
R1-'	=	S1

N3/MR/E1
SCHNARRE
11.02.69

H1'	= T•H3A•H2A- + T•R1
H1-'	= S2 + R1•RLT
H2'	= T•H1•H3A-•R1-
H2-'	= S3 + RLT
H3'	= T•H2•H1-
H3-'	= S4 + RLT
H4'	= T•H3•H2-
H4-'	= S5 + RLT
H5'	= T•H4•H3-
H5-'	= T•H4-
RL'	= SETZEN VOM MIKROPROGRAMM NICHT WAEHREND S1
RL-'	= S1
S1A	= T-•H1A•H2A-
S2A	= T-•H2A•H3A-
S3A	= T-•H3A•H1-
S1	= T-•H1•H2-
S2	= T-•H2•H3-
S3	= T-•H3•H4-
S4	= T-•H4•H5-
S5	= T-•H5

N3/MR/E1
SCHNARRE
11.02.69

TR86 ABRUFPHASE

```
FC-',FI-',FK-',
FL-',FU-',FZ-',
FZ1',FKF-',FPE-',
FPE1-',FSP-',FF1-',
FF2-',FF3-',FF4-',
FF5-',RA',RAR-',RB-',
RC-',RD-',RE-',R01-',
RSP-',RZM-',GF,NF     = AB11 = S1A.RO-

RLB'                        = S1A

R01',ND               = AB12 = S1A.R0

RSB',RSB1',           = AB21 = S2A.RLB

FSP'                  = AB22 = S2A.RSP

CD,BA,B0,FG,F0,YD     = AB31 = S3A.R01-

RSF-'                       = S3A
```

N3/MR/E1
SCHNARRE
11.02.69

TR86 A,SB,AA,SA,ET,AT,B

AI,A0 = ZZ01 = S1.A04

R1A',RL',R0',FF1-'
BA,B0 = ZZ02 = S2.C4.R01-

R1',RL',RA-',RB = ZZ03 = S2.SA.FF3-

R01',FF1-',BA,B0,D0C= A21 = S2.SA.RSF.FF3-

FF3' = A11 = S1.AA
+S1.A01

FF1' = A12 = S1.B1D1-.RC-

A0 = ZZ31 = S1.B

BU,B0 = ZZ04 = S2.FF3

R1',RL',RC',FC' = A22 = S2.FF3
.RC1-.UBB1

AI,A0 = ZZ01 = S3.A03

R1A',RL',R0-',AD,
FG,F0 = ZZ30 = S3.ET

U' = ZZ05 = S3.FF3.FF1-.
.B1D1-
+S3.FF3.FF4.B1-

BA,B0,XY,PQ = ZZ32 = S4.A03

BT,B0,FF3' = A41 = S4.A02

R1A',R0-',AI,A0 = A51 = S5.FF3

N3/MR/E1
SCHNARRE
11.02.69

TR86 ML

AI,A0,FI' = ML11 = S1.MLV.B1

QA,Q0,YS,FZ' = ML21 = S2.MLV

A0,B0,R1A',RL',R0' = ML31 = S3.MLV

AI,FL',FC' = ML12 = S1.ML0.RA.D1

R1',RL',RA-',RB' = ZZ03 = S2.ML0.RA1

BA,B0,PQ,XY = ZZ32 = S1.ML0.RB

BU,B0 = ZZ04 = S2.ML0.P24

AR,A0,QR,Q0,
RL',R1',YZ = ZZ07 = S2.ML0.RB1
.LX-.P24-

AI,A0 = ZZ01 = S2.ML0.RB1
.LX.FI

R1A',RL',R0-' = ZZ06 = S2.ML0.RB1.LX

AR,A0,QR,Q0,
RL',R1',YZ = ZZ07 = S3.ML0

N3/MR/E1
SCHNARRE
11.02.69

TR86 SH

```
FU',FF4',QA,Q0          = SH13 = S1.SH.UMR.RA

FF4',F0                 = SH14 = S1.SH.CNT.RA

FL'                     = SH12 = S1.SH.UMR-
                                 .RA.B1

FZ'                     = SH16 = S1.SH.UMR-.D9

FK'                     = SH11 = S1.SH.UMR-.D10

XY,PQ,BA,B0             = ZZ32 = S1.SH

FF4-',GF                = SH15 = S1.SH.RB

AL,A0,YZ                = SH21 = S2.SH.LX-
                                 .D13.FF4-

AR,A0,YZ                = SH22 = S2.SH.LX-
                                 .D13-.FF4-

QL,Q0                   = SH23 = S2.SH.LX-
                                 .D13.FF4-.FZ
                               +S2.SH.LX-
                                 .UMR.RB1

QR,Q0                   = SH24 = S2.SH.LX-
                                 .D13-.FF4-.FZ

R1',RL',RA-',RB'        = ZZ03 = S2.SH.LX-
                               +S2.SH.CNT.RSF-

FG,F0                   = SH25 = S2.SH.LX-
                                 .CNT.B1.RB1

A0                      = ZZ31 = S2.SH.UMR.RA1

U'                      = ZZ05 = S2.SH.FK-
                                 .C12-.B1FL-

R1A',RL',R0-'           = ZZ06 = S2.SH.LX.C11-

D0C,D0N,DF,B0,
GN,QA,Q0                = SH26 = S2.SH.LX
                                 .CNT.RSF
```

N3/MR/E1
SCHNARRE
11.02.69

```
FC',FF4',AI,A0          = SH27 = S2.SH.LX
                                 .RND.B1.P1-

FC',FF4'                = SH28 = S2.SH.LX
                                 .RND.B1-.P1


AI,A0                   = ZZ01 = S3.SH.CNT


R1A',RL',R0-',
AD,FG,F0                = ZZ30 = S4.SH.CNT

RB1-',R01',BU,B0        = SH41 = S4.SH.FF4

R1A',RL',R0-'           = ZZ06 = S4.SH.FF4-


R1',FF1',FC-',
C3-',AI,A0              = ZZ08 = S5.FF4.FF3-

C2'                     = ZZ09 = S5.FF4.P1
```

N3/MR/E1
SCHNARRE
11.02.69

TR86 VM.SM

WKW.WKO.GF	= VS11 =	S1.VSM
R1'.RL'	= VS21 =	S2.VSM.D9-.D10-.D11-.RSF-
FF5'.WL	= VS22 =	S2.VSM.D9-.D10-.D11-.RSF
WS	= VS23 =	S2.VSM.D10
GN	= VS31 =	S3.VSM.NSK
WL	= VS32 =	S3.VSM.D11.FF5-
DOC.DON.BO	= VS33 =	S3.VSM.FF5
DWK.D8'.D10'.AI	= VS41 =	S4.VSM.FF5
R1A'.RO-'.FG.FC	= ZZ36 =	S5.VSM
AD	= VS51 =	S5.VSM.FF5

N3/MR/E1
SCHNARRE
11.02.69

TR86 S,SI,SK

FD,F0 = S11 = S1•SI•LA
+S1•SK•LA-•B1
+S1•S

AI,A0 = ZZ01 = S2•SI

R1',BA,B0 = S31 = S3•SI

R1A',R0-',RL' = ZZ06 = S5•SI
+S2•SK
+S2•S

N3/MR/E1
SCHNARRE
11.02.69

TR86 C,CA,SU

R1A',RL',R0',FF1-',
BA,B0 = ZZ02 = S2.C4.R01-

RSP' = S2.C01.
.(C1-+C2-)

GLEICHUNGEN OHNE ZEITBEDINGUNG

DAC,D0C,DAN,D0N, = ZZ10 = FSP.C0P

DAN,D0N = ZZ11 = FSP.CA0.LA-

D0N = ZZ12 = FSP.CA0.LA

GN,DF,D0N = ZZ13 = FSP.SU0

R1A',R0-',FG,F0 = ZZ36 = S5.C01

N3/MR/E1
SCHNARRE
11.02.69

NAME	FUNKTION	
A01	= C1-•C3-•R01	= (A+SB+AA+SA)•R01
A02	= C1•C2•C4	= (AT+B)
A03	= C1-•C2-•C3-	= (A+AA)
A04	= C1-•C2•C3-•R01-	= (SR+SA)•R01-

A AKKUMULATOR-REGISTER

A0	A(1-24)-'	= A0
AD	A(1-24)-'	= AD•D(1-24)-
AI	A(1-24)'	= AI•B(1-24)-
AL	A(1-23)'	= AL•B(2-24)
	A24'	= AL•FZ•P1
	A24'	= AL•FZ-•FK•B1
	A24'	= AL•FZ-•FK-•FL
	A24'	= AL•B24P1-•FU
AR	A(2-24)'	= AR•B(1-23)
	A1'	= AR•FZ•FK•P24
	A1'	= AR•FZ-•FK•B24
	A1'	= AR•FK-•FL
	A1'	= AR•FU•P1

B1D1- = B1•D1- + B1-•D1

B1FL- = B1•FL- + B1-•FL

B24P1-= B24•P1- + B24-•P1

N3/MR/E1
SCHNARRE
11.02.69

NAME	FUNKTION	
	B AKKUMULATOR-HILFSREGISTER	
B0	B(1-24)-'	= B0
BA	B(1-24)'	= BA•A(1-24)
BQ	B(1-24)'	= BQ•Q(1-24)
BT	B(1-24)'	= BT•(ZSB)
	INVERTIERENDER TRANSPORT DER '0' DES ANTIVALENZERGEBNISSES (ZSB) AUS DEN INHALTEN VON A UND D INS B-REGISTER	
BU	B(1-24)'	= BU•FC-•(SUB)
	TRANSPORT DER 'L' DES ADDITIONSERGEBNISSES (SUB) AUS DEN INHALTEN VON A UND D INS B-REGISTER OHNE EINERRUECKLAUF	
	B(1-24)'	= BU•FC•(SUB)
	TRANSPORT DER 'L' DES ADDITIONSERGEBNISSES (SUB) AUS DEN INHALTEN VON A UND D INS B-REGISTER MIT EINERRUECKLAUF	
C01	= C3•C4	= (C+CA+SU+B)
C0P	= C•R01	
C4	= (A+SB+ET+AT+B+C+CA+SU)	
CA0	= CA•R01	
	C BEFEHLSENTSCHLUESSELUNGS-REGISTER	
CD	C(1-4,8-12)'	= CD•D(1-4,8-12)
	C(1-4,8-12)-'	= CD•D(1-4,8-12)-
	C(5-7) NICHT AUSGEBAUT	

N3/MR/E1
SCHNARRE
11.02.69

NAME	FUNKTION	
CNT	= C11.C12	SHIFT MIT ZAEHLEN
	D SPEICHER-REGISTER	
DOC	D(1-6)-'	= DOC
DON	D(7-24)-'	= DON
DAC	D(1-6)'	= DAC.A(1-6)
DAN	D(7-24)'	= DAN.A(7-24)
DF	D(9-24)'	= DF.F(1-16)
DWK	D17'	= DWK.UK
	D18'	= DWK.MK
	D(19-24)'	= DWK.WK(1-6)
	F BEFEHLSZAEHLER	
F0	F(1-16)-'	= F0
FD	F(1-16)'	= FD.D(9-24)
FG	F(1-16)'	= FG.FZ1-.G(1-16)
	F(1-16)'	= FG.FZ1.(G+1)
	TRANSPORT DER 'L' DES UM 1 ERHOEHTEN G-REGISTER-INHALTES = (G+1) IN DAS F-REGISTER	
FAT	BLOCKIERT OP.-TEIL BEI INDIREKTER ADRESSIERUNG	
FC	SPEZIFIK.ZU BU (EINERRUECKLAUF)	
FF1	UNGLEICHE VORZEICHEN BEI A.SB.AA.SA	
FF2	ZUSAETZL.DURCHLAUFUNTERSCH.BEI E/A	

N3/MR/E1
SCHNARRE
11.02.69

NAME	FUNKTION
FF3	ABSICHERUNG BEI SA
FF4	ABSICHERUNG BEI SHIFT MIT RUNDUNG
FF5	ABSICHERUNG BEI VM-BRINGE
FF6	ABLAUFUNTERSCHEIDUNG BEI MEHRWORT-EA
FF7	ABLAUFUNTERSCHEIDUNG BEI MEHRWORT-EA
FF8	ABLAUFUNTERSCHEIDUNG BEI MEHRWORT-EA
FI	SPEZIFIK.ZU QR (B24 INV. NACH Q1)
FK	SPEZIFIK.ZU AR,AL,QL (IM KREIS)
FKF	E/A-FEHLER
FL	SPEZIFIK.ZU AR,AL,QL (L EINSPEISEN)
FPE	PRIMITIVEINGABE
FPE1	PRIM.EING.,VORLAUF BIS 1.ZEICHEN
FSP	UEBERSCHREIBEN DES D-REGISTERS BEIM ABSPEICHERN VON INFORMATION
FSS	SPERRFLIPFLOP FUER ZEITSCHALTKETTE (SIEHE PROGRAMMUNTERBRECHUNG)
FSV	ZEITSCHALTKETTEN-VERRIEGELUNG BEI EB UND P-STP
FU	SPEZIFIK.ZU AR,AL(SH.MIT UMRECHNG.)
FZ	SPEZIFIK.ZU AR,QR,AL,QL (ZUSAMMEN)
FZ1	SPEZ.ZU FG (BEFEHLSZAEHLER +1)

G BEFEHLSZAEHLER-HILFSREGISTER

GN	G(1-16)'	= GN.N(1-16)
	G(1-16)-'	= GN.N(1-16)-
GF	G(1-16)'	= GF.F(1-16)
	G(1-16)-'	= GF.F(1-16)-

N3/MR/E1
SCHNARRE
11.02.69

NAME	FUNKTION
	HILFSFLIPFLOPS ZUR ZEITSCHALTKETTE
H1A	HILFSFLIPFLOP ZU S1A
H2A	HILFSFLIPFLOP ZU S2A
H3A	HILFSFLIPFLOP ZU S3A
H1	HILFSFLIPFLOP ZU S1
H2	HILFSFLIPFLOP ZU S2
H3	HILFSFLIPFLOP ZU S3
H4	HILFSFLIPFLOP ZU S4
H5	HILFSFLIPFLOP ZU S5
LA	AKKUMULATORINHALT = -0
LN	N-REGISTER-INHALT = -0
LX	X-REGISTER-INHALT = -0
M	MERKFLIPFLOP FUER UNTERBRECHUNGSSPERRE
MLO	= C1•C2-•C3-•C4-•R01
MLV	= C1•C2-•C3-•C4-•R01-
	N ADRESS-REGISTER
ND	N(1-16)' = ND•D(9-24)
	N(1-16)-' = ND•D(9-24)-
NF	N(1-16)' = NF•F(1-16)
	N(1-16)-' = NF•F(1-16)-
NSK	= D9- + D17•UK + D18•MK +D19•WK1 + D20•WK2 + D21•WK3 +D22•WK4 + D23•WK5 + D24•WK6

N3/MR/E1
SCHNARRE
11.02.69

NAME	FUNKTION	
	P MULTIPLIKATOR-HILFSREGISTER	
PQ	P(1-24)'	= PQ.Q(1-24)
	P(1-24)-'	= PQ.Q(1-24)-
	Q MULTIPLIKATOR-REGISTER	
Q0	Q(1-24)-'	= Q0
QA	Q(1-24)'	= QA.A(1-24)
QL	Q(1-23)'	= QL.P(2-24)
	Q24'	= QL.FK-.FL
	Q24'	= QL.FZ.FK.B1
QR	Q(2-24)'	= QR.P(1-23)
	Q1'	= QR.FZ.FI-.B24
	Q1'	= QR.FZ.FI.B24-

R1	SCHALTKETTENANSTEUERUNG FUER S1	
R1A	SCHALTKETTENANSTEUERUNG FUER S1A	
R3A	SYNCHRONISIERUNG VON RLB-	
RAR	RECHNERAUFRUF	
RAR1	SKLAVE VON RAR	
RL	LOESCHEN DER ZEITSCHALTKETTE	
RLB	SPEICHER MIT LESEN BELEGT	
RND	= C11.C12-	SHIFT MIT RUNDUNG
RO/RO-	OPERANDEN/BEFEHL LESEN	
RO1	SKLAVE VON RO	

N3/MR/E1
SCHNARRE
11.02.69

NAME	FUNKTION
	SCHALTK.Z.DURCHLAUFUNTERSCHEIDUNG
RA	DURCHLAUF A
RA1	SKLAVE VON RA
RB	DURCHLAUF B
RB1	SKLAVE VON RB
RC	DURCHLAUF C
RC1	SKLAVE VON RC
RD	DURCHLAUF D
RD1	SKLAVE VON RD
RE	DURCHLAUF E
RE1	SKLAVE VON RE
RSP	DURCHLAUF MIT SPEICHERANSTEUERUNG ZUM ABSPEICHERN VON INFORMATION
RSP1	SKLAVE VON RSP
RSB	SPEICHER BELEGT
RSB1	SKLAVE VON RSB
RSF	SYNCHRONISIERUNG VON RSB-
RZM	SYNCHRONIS.D.ZEICHENMELDUNG
S1	ZEITINTERVALL DER AUSFUEHRUNGSPHASE
S2	ZEITINTERVALL DER AUSFUEHRUNGSPHASE
S3	ZEITINTERVALL DER AUSFUEHRUNGSPHASE
S4	ZEITINTERVALL DER AUSFUEHRUNGSPHASE
S5	ZEITINTERVALL DER AUSFUEHRUNGSPHASE

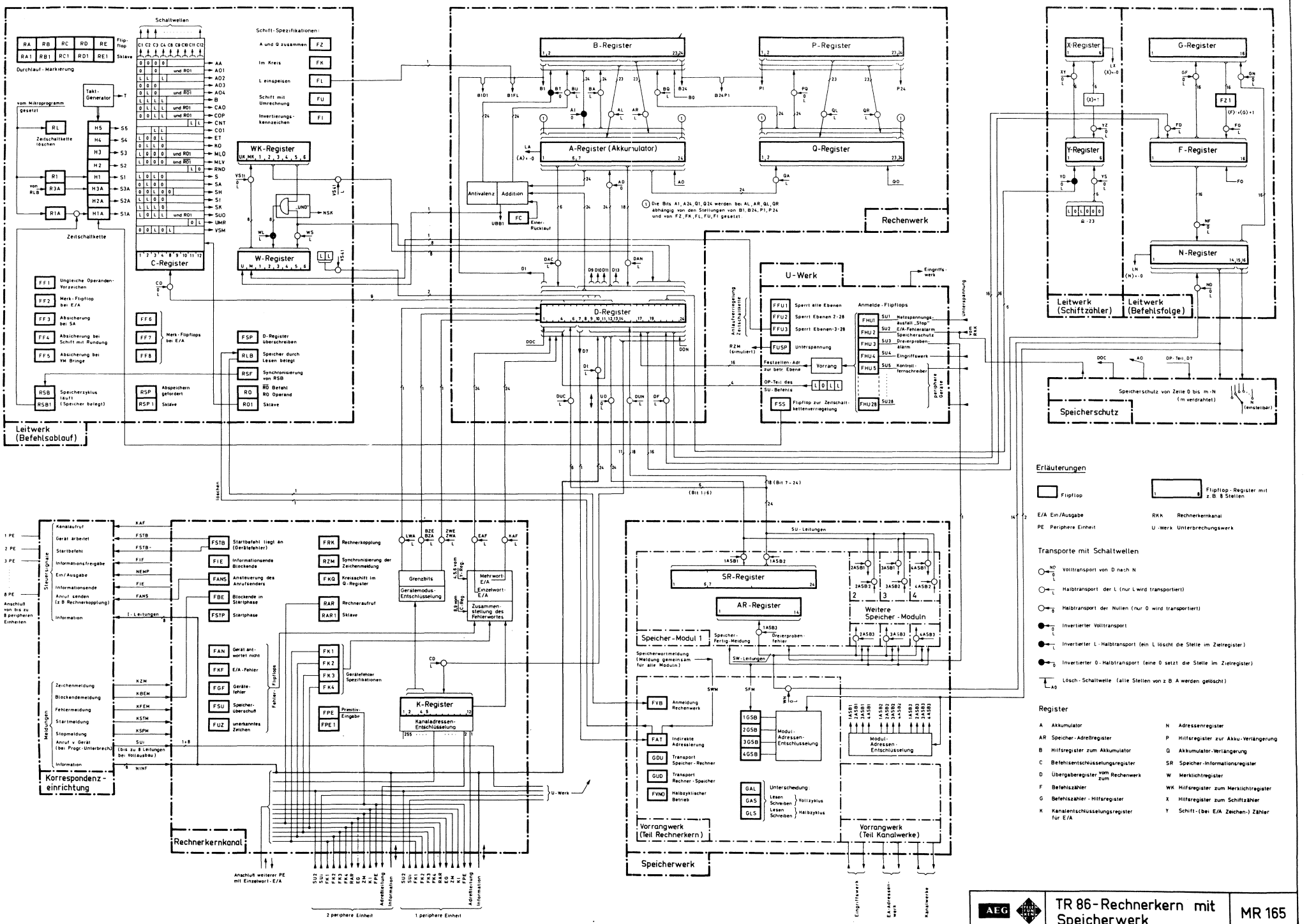
N3/MR/E1
SCHNARRE
11.02.69

NAME	FUNKTION
S1A	ZEITINTERVALL DER ABRUFPHASE
S2A	ZEITINTERVALL DER ABRUFPHASE
S3A	ZEITINTERVALL DER ABRUFPHASE
SU0	= SU.R01
U	MERKFLIPFLOP FUER UEBERLAUF
UBB1	UEBERTRAG AUS 1.STELLE HERAUS
UMR	= C11-.C12 SHIFT MIT UMRECHNG.OD.VERTAUSCHG.
VSM	= VM + SM
W1	WAHLSCHALTER 1
W2	WAHLSCHALTER 2
W3	WAHLSCHALTER 3
W4	WAHLSCHALTER 4
W5	WAHLSCHALTER 5
W6	WAHLSCHALTER 6
W	MERKFLIPFLOP-REGISTER
WL	U-' = WL.D17.UK
	M-' = WL.D18.MK
	W(1-6)-' = WL.D(19-24) .WK(1-6)
WS	U' = WS.D17
	M' = WS.D18
	W(1-6)' = WS.D(19-24)

N3/MR/E1
SCHNARRE
11.02.69

NAME	FUNKTION	
	WK MERKFLIPFLOP-HILFSREGISTER	
WK0	UK-'	= WK0
	MK-'	= WK0
	WK(1-6)-'	= WK0
WKW	UK'	= WKW•U
	MK'	= WKW•M
	WK(1-6)'	= WKW•W(1-6)
	X SHIFTZAEHLER-HILFSREGISTER	
XY	X(1-6)'	= XY•Y(1-6)
	X(1-6)-'	= XY•Y(1-6)-
	Y SHIFTZAEHLER	
YD	Y(1-6)'	= YD•D(19-24)-
	Y(1-6)-'	= YD•D(19-24)
YS	Y(1,3)'	= YS
	Y(2,4-6)-'	= YS
YZ	ADDITION VON 1 ZUM X-REGISTER-INHALT UND VOLLTRANSPORT IN DEN SHIFTZAEHLER Y	

N3/MR/61
SCHNARRE
11.02.69


Leitwerk (Befehlsablauf)
Rechenwerk
B-Register
P-Register
A-Register (Akkumulator)
Q-Register
WK-Register
W-Register
C-Register
D-Register
U-Werk
Leitwerk (Schiftzähler)
Leitwerk (Befehlsfolge)
X-Register
G-Register
Y-Register
F-Register
N-Register
Speicherschutz
Korrespondenz-einrichtung
Rechnerkernkanal
Speicherwerk
SR-Register
AR-Register
Speicher-Modul 1
Weitere Speicher-Moduln
K-Register
Vorrangwerk (Teil Rechnerkern)
Vorrangwerk (Teil Kanalwerke)
Erläuterungen
Register
TR 86-Rechnerkern mit Speicherwerk
MR 165

1. 6.
Aufbau des
Rechnerkerns

Zum Rechnerkern des TR 86 gehören Rechenwerk, Leitwerk und Unterbrechungswerk. Das Leitwerk umfaßt die Funktionseinheiten Befehlsfolgesteuerung, Shiftzähler und Befehlsablaufsteuerung (siehe Abb. 1-50)

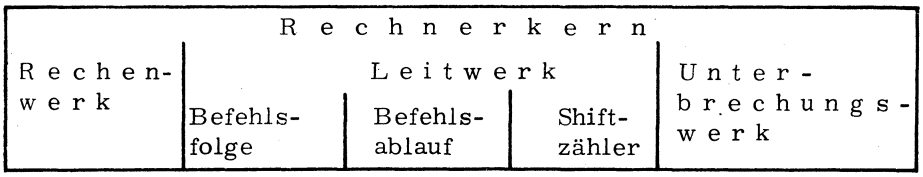


Abb. 1-50

Das Rechenwerk führt die Operationen aus, die vom Befehl gefordert und vom Leitwerk gesteuert werden - eine Sonderstellung nimmt die Ein-/Ausgabeorganisation ein.

Die Befehlsfolgesteuerung des Leitwerks stellt dem Kernspeicher die jeweilige Adresse zur Verfügung, die eine folgerichtige Abarbeitung von Befehlen gewährleistet. Die Befehlsablaufsteuerung gibt auf Grund der Entschlüsselung des Operationscodes der Befehle die Signale und Schaltwellen an die Teile der Zentraleinheit, die den Abruf und die Ausführung der Befehle abwickeln. Eine Zähleinrichtung für die Ausführung des Shift-Befehls und des Ein-/Ausgabebefehls steht im Shiftzähler zur Verfügung.

Grundlagen und Ergänzungen zu diesem Kapitel 1. 6. sind in den Kapiteln 0. 1. 1. Struktur der Zentraleinheit und 0. 5. Interne Arbeitsweise des Rechners zu finden.

Die mikroprogrammierten Befehlsabläufe im Rechnerkern wurden in den Kapiteln 1. 3. und 1. 4. beschrieben, die Abläufe im Unterbrechungswerk sind in Kap. 1. 7. zu finden. - Hier soll auf die technische Realisierung des TR 86 - Rechnerkerns eingegangen werden, auf die Bedeutung der Register, die Beziehungen der Register untereinander, die Beziehungen zwischen den Funktionseinheiten und auf die Realisierung von Spezialsteuerungen im Rechnerkern wie Addition, Antivalenz, Zählvorgänge.

Die Funktionseinheiten des Rechners sind auf Leiterkarten oder Steckeinheiten aufgebaut, die mit ECL-Bauelementen (siehe Kap. 0. 4.) beidseitig bestückt sind. Eine Leiterkarte hat die Abmessungen 186 x 210 mm^2, die Steckerleiste verfügt über 72 Anschlüsse. Die ECL-Elemente sitzen auf einem Masserahmen, wie die Fotografie einer Leiterkarte zeigt (siehe Abb. 1-51).

Jede Leiterkarte hat eine Bezeichnung. Sie beginnt beim TR 86 im allgemeinen mit dem Buchstaben N - dies besagt, daß es sich um eine Leiterkarte des TR 86 handelt. Beispiel: Leiterkarte N - BW1, auf ihr befindet sich ein Teil der Leitwerk-Befehlsfolgesteuerung.

Grundlage für dieses Kapitel der technischen Beschreibung sind die TR 86 - Entwicklungsunterlagen. Für jede Leiterkarte wird von der Entwicklung u. a.

1 Bausteinliste (BL)
1 Signalführungsliste (SFL)
und 1 Steckerbelegung

erstellt. Darin ist die gesamte auf einer Leiterkarte realisierte Logik samt Hilfsschaltungen und Spannungszuführung enthalten.

Da das Rechenwerk, die Befehlsfolgesteuerung, der Shiftzähler und die Merklichter jeweils aus unter sich gleichen Funktionsstellen aufgebaut sind, werden die Schaltbilder jeweils einer Stelle gebracht und deren Funktion im einzelnen beschrieben. Der Aufbau der Befehlsablaufsteuerung im Leitwerk läßt eine solche Darstellung nicht zu. Es wird daher ein Blockschaltbild gebracht, das die Struktur der Befehlsablaufsteuerung veranschaulicht.

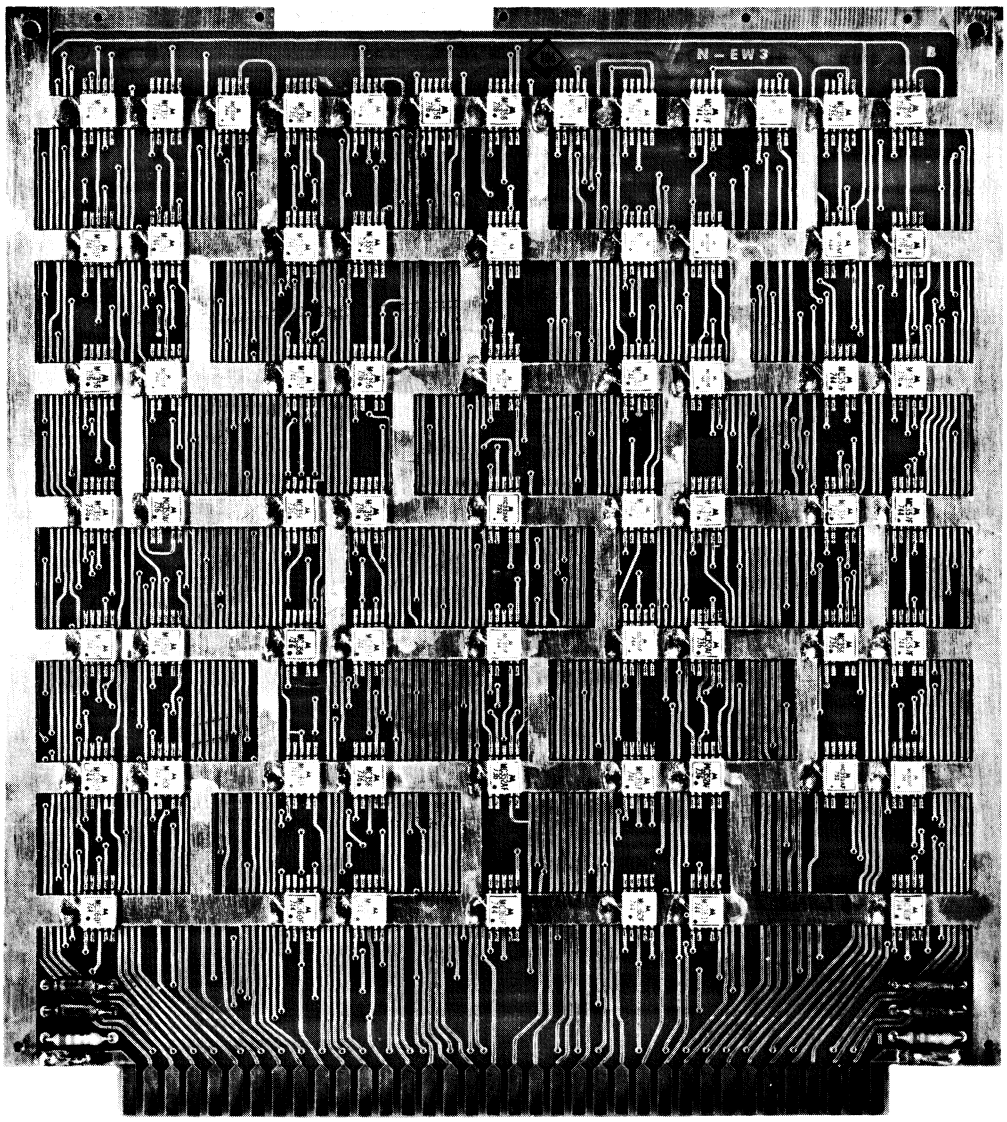


Abb. 1-51 Leiterkarte

1. 6. 1.
Aufbau des Rechenwerks

1. 6. 1. 1.
Allgemeines

Das Rechenwerk des TR 86 verarbeitet die Information wortweise parallel. Entsprechend den 24 Binärstellen eines Rechnerwortes besteht das Rechenwerk aus 24 unter sich gleichen Rechenwerksstellen, die die Bits eines Rechnerwortes gleichzeitig verarbeiten.

Das Rechenwerk hat 5 Flipflopregister; die Information wird zwischen den Registern mit Hilfe von Transporten ausgetauscht. Die Addierschaltung liefert die Summe und Antivalenz zweier 24-stelliger Operanden. Das Rechenwerk ist durch Informations- und Steuerleitungen mit dem Leitwerk, dem Zentralspeicher (einschließlich Vorrangwerk), dem Rechnerkernkanal sowie dem Unterbrechungswerk und dem Bedienfeld verbunden.

Die Beziehungen des Rechenwerks zum Rechnerkernkanal werden in Abschnitt 1. 4. 8. erläutert, die Beziehungen zum Speicher in Abschnitt 1. 6. 1. 3., zum Leitwerk in Abschnitt 1. 6. 2., zum Unterbrechungswerk in Abschnitt 1. 7. und zum Bedienfeld in Abschnitt 1. 5.

Das Rechenwerk ist auf 4 gleichen Leiterkarten aufgebaut, so daß jede Karte 6 Rechenwerksstellen enthält.

Die 4 Rechenwerkskarten sind in Aufbau und Bestückung identisch. Daher gibt es für die 4 Leiterkarten nur eine Bausteinliste und eine Signalführungsliste, in denen die Rechenwerksstellen 1-6 erfaßt sind. Jede Rechenwerkskarte hat den Namen: N-RW1.

In der Magazinverdrahtung müssen die 4 Rechenwerkskarten bzw. deren Steckerbelegungen jedoch unterschieden werden, da Signalnamen mit den Indices 1÷24 auftreten:

N-RW11	enthält	die	Rechenwerksstellen			1- 6
N-RW12	"	"	"	"	"	7-12
N-RW13	"	"	"	"	"	13-18
N-RW14	"	"	"	"	"	19-24

Die Verbindungen zwischen 6. und 7., 12. und 13., 18. und 19. Rechenwerksstelle müssen über die Steckerleisten geführt werden.

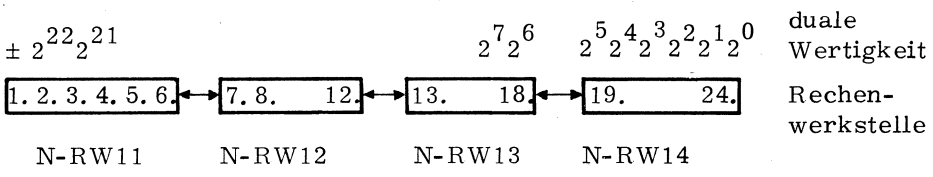


Abb. 1-52 Rechenwerk-Aufbau

Für die folgenden Ausführungen steht zur Übersicht das Strukturbild des TR 86 - Rechenwerks zur Verfügung (siehe Abb. 1-53), für die detaillierte Betrachtung der beschriebenen Teiloperationen ist das Schaltbild einer Rechenwerksstelle geeignet (siehe Abb. 1-54).

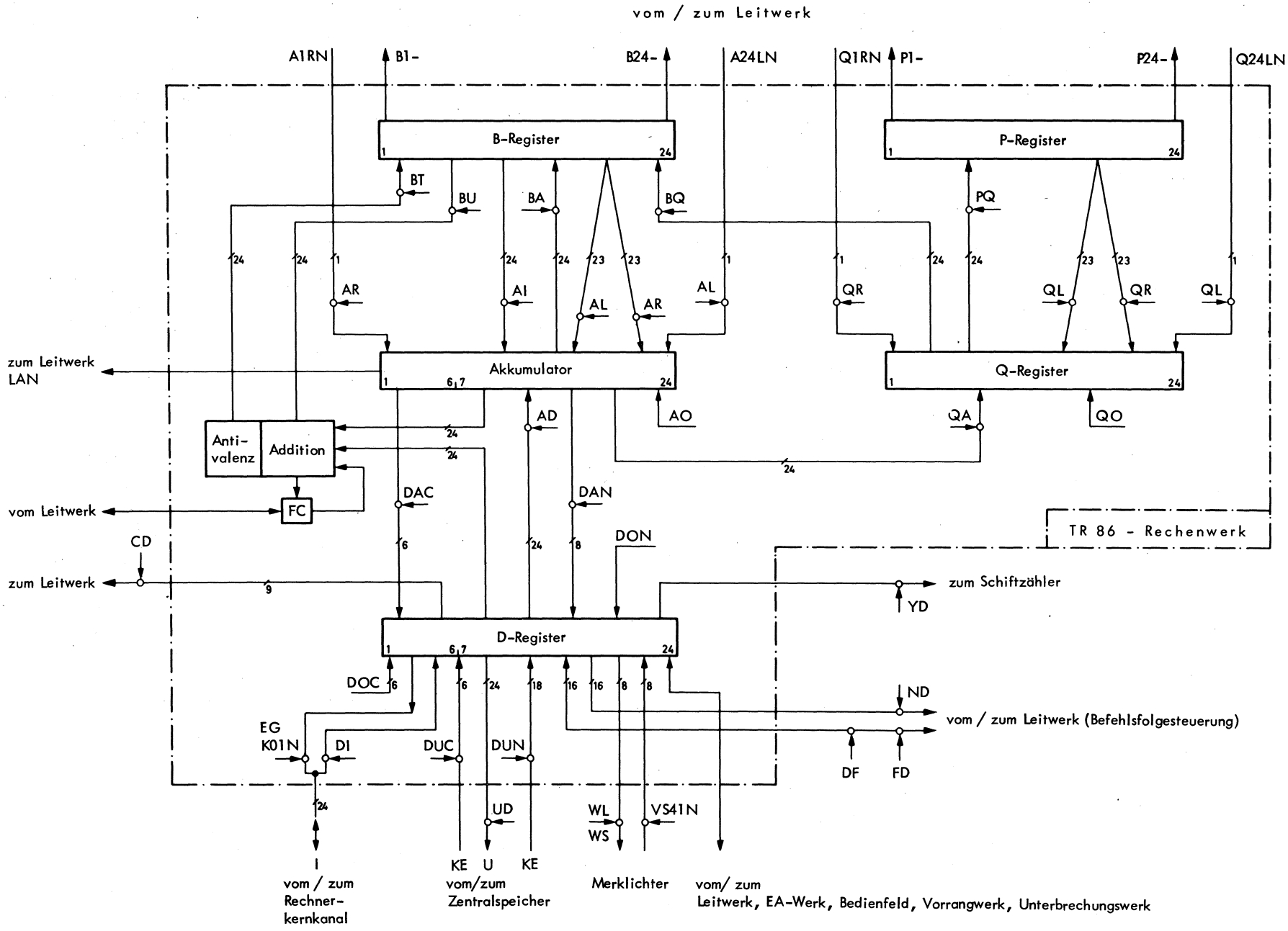


Abb. 1 - 53 TR 86-Rechenwerk Struktur

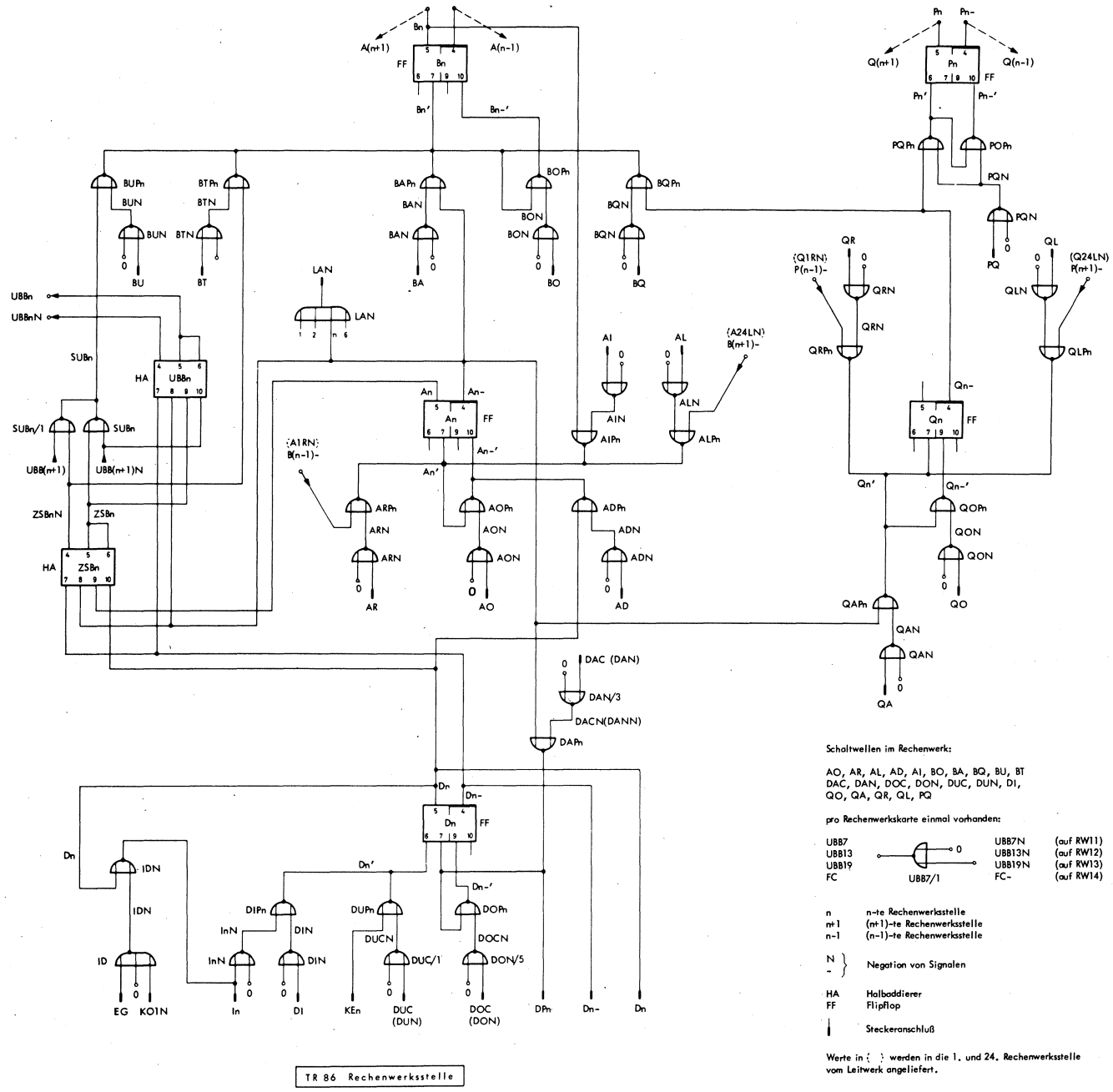


Abb. 1 - 54 TR 86-Rechenwerkstelle

1. 6. 1. 2.
Register im Rechenwerk

Das Rechenwerk hat 5 Register:

Akkumulator A	A1 - A24
Akkumulator-Hilfsregister B	B1 - B24
Multiplikator-Register Q	Q1 - Q24
Multiplikator-Hilfsregister P	P1 - P24
Speicherregister D	D1 - D24

a) Der Akkumulator A ist das programmierbare Register des Rechenwerks. Es dient zur Aufnahme von Operanden und Ergebnissen. Bei booleschen und arithmetischen Operationen wird der Akkumulatorinhalt mit dem Inhalt der im Befehl adressierten Speicherzelle verknüpft und das Ergebnis im Akkumulator bereitgestellt. Mit den Shiftbefehlen wird der Inhalt des Akkumulators (und eventuell des Q-Registers) verschoben.

Die Akkumulator-Abfrageschaltung liefert ein Signal (LA=L), wenn der Inhalt des Akkumulators identisch -0 ist; es wird vom Leitwerk ausgewertet. Die Akkumulatorstellen A1 und A24 können bei der Ausführung der Shiftbefehle vom Leitwerk her gesetzt bzw. gelöscht werden, wie in Abschnitt 1. 6. 1. 4. beschrieben wird.

b) Die Verlängerung des Akkumulators nach rechts um 24 Stellen ist das Multiplikatorregister Q (kurz: Q-Register). Es ist mit Hilfe bestimmter Shiftspezifikationen programmierbar. Das Q-Register ist für die Ausführung der Multiplikation und der Shiftbefehle notwendig und wird bei der Ein-/Ausgabe über den Rechnerkernkanal verwendet.

Die Registerstellen Q1 und Q24 können vom Leitwerk her angesteuert werden, wie in Abschnitt 1. 6. 1. 4. erläutert wird.

c) Das Akkumulator-Hilfsregister B (kurz: B-Register) dient zur kurzzeitigen Speicherung des Akkumulatorinhalts. Es nimmt auch die Ergebnisse der Addition und Antivalenz auf, bevor sie in den Akkumulator gebracht werden. Der Volltransport vom Akkumulator ins B-Register (Schaltwellen BA, BO) und der invertierende Transport vom B-Register in den Akkumulator (Schaltwellen AI, AO) ermöglichen es, Registerinhalte zu invertieren. Der Shiftbefehl wird im TR 86 mit Hilfe bestimmter Transporte zwischen Akkumulator und B-Register (siehe Abschn. 1. 6. 1. 4.) ausgeführt.

Die Registerstellen B1 und B24 können vom Leitwerk her abgefragt werden.

d) Das Multiplikator-Hilfsregister P (kurz: P-Register) dient zur kurzzeitigen Speicherung des Q-Registerinhalts, vor allem bei Multiplikation und Shiftoperationen. Das Shiften des Q-Registerinhalts wird mit Hilfe bestimmter Transporte zwischen Q- und P-Register ausgeführt (siehe Abschnitt 1. 6. 1. 4.). Die Inhalte der Registerstellen P1 und P24 können vom Leitwerk abgefragt werden.

e) Das Speicherregister D (kurz: D-Register) im Rechenwerk ist die Schnittstelle des Rechenwerks zu den anderen Funktionseinheiten des Rechners. Über das D-Register läuft der Informationsaustausch zwischen dem Rechenwerk und den anderen Teilen der Zentraleinheit (Leitwerk, Unterbrechungswerk, Rechnerkernkanal, Bedienfeld, Kernspeicher).

Im D-Register muß der aus dem Speicher ausgelesene Operand stehen, der mit dem Akkumulatorinhalt additiv oder antivalent verknüpft werden soll (siehe 1. 6. 1. 5.).

Alle 24 Stellen des D-Registers sind an den Stecker geführt - Dn, Dn - (mit n = 1.... 24) - und können von anderen Funktionseinheiten einzeln abgefragt werden. Ebenso können die Flipflops des D-Registers von außen über die Leitungen DPn (n = 1.... 24) einzeln auf L gesetzt werden.

Über die 24 Informationsleitungen (sog. I-Leitungen) erfolgt der parallele Austausch der Information zwischen Rechenwerk und Rechnerkernkanal. Auf den Rechenwerkskarten (siehe Abb. 1-54) ist folgendes realisiert:

Sind die vom EA-Werk angelegten Signale EG = 0 (Ausgabe aus dem Rechner) und KO1N = 0, dann wird die im D-Register stehende Information invertiert auf die 24 I-Leitungen geschaltet, die zu den peripheren Einheiten führen (Rechnerkernkanal - Ausgabe).

$$I\,(1\text{-}24) = EG\text{-} \cdot KO1N\text{-} \cdot D\,(1\text{-}24)\text{-};$$

dabei handelt es sich um eine Gleichstromübertragung.

Sind die vom Leitwerk bzw. EA-Werk abgegebenen Schaltwellen DOC, DON, DI auf L gesetzt und EG = L (d.h. Eingabe in den Rechner), dann wird die auf den J-Leitungen anstehende Information direkt in das D-Register übernommen. Vom D-Register aus kann diese Information verarbeitet und/oder in den Zentralspeicher abgespeichert werden (Rechnerkernkanal - Eingabe).

DOC, DON	$D\,(1\text{-}24)\text{-}' = DOC,\ DON \cdot D\,(1\text{-}24)'N;$	*)
DI	$D\,(1\text{-}24)' = DI \cdot I\,(1\text{-}24);$	

*) Erläuterungen zur Schreibweise der Mikroprogrammgleichungen

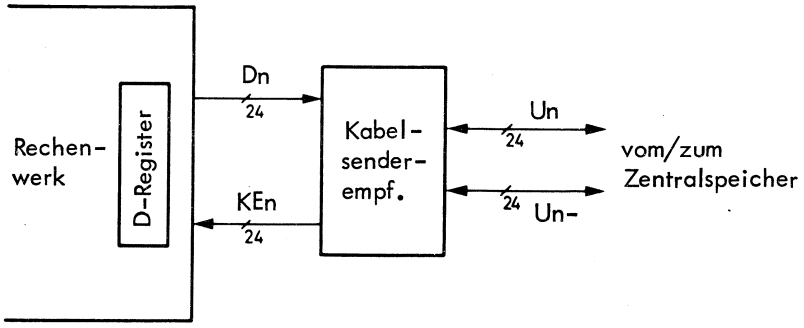
Die Ein- und Ausgänge eines Flipflops Dn und die an ihnen auftretenden Signale werden benannt:

Ausgänge:	Dn, Dn-
Eingänge:	Dn' Dn-'
Dn' N	d.h. eine Setzansteuerung am Setzeingang Dn' des Flipflops Dn liegt nicht an
Dn-' N	d.h. eine Löschansteuerung am Löscheingang Dn-' liegt nicht an

Signale, die nicht direkt an Flipflop-Ein/Ausgängen auftreten, werden durch Anhängen eines N negiert. Z.B. Schaltwelle BA wird negiert: BAN.

1.6.1.3.
Verkehr
Rechenwerk-Speicher

Der Austausch der Information zwischen Rechenwerk und Speicher erfolgt parallel über 2 x 24 U-Leitungen. An beiden Enden der U-Leitungen, also vor dem D-Register einerseits und vor dem Speicher-Informationsregister (SR) andererseits sitzen Kabelsender und -empfänger für die Information. Sie sind auf je zwei Leiterkarten des Typs R-IK2 aufgebaut. Die Realisierung der Kabelsender und -empfänger ist in Abschnitt 2. Speicherwerk beschrieben. Die Information wird auf den 2 x 24 U-Leitungen in positiver und negierter Form übertragen.



N-RW11, RW12
RW13, RW14

2xR-IK2

Abb. 1-55 a Verkehr Rechenwerk-Speicher

Ausgelesene Information schaltet der Zentralspeicher auf die U-Leitungen. Hinter den Kabelempfängern liegt die Information auf den Leitungen KEn (n = 1. . . . 24) am Rechenwerk an. Mit Hilfe der vom Vorrangwerk erzeugten Schaltwellen DOC, DUC und DON, DUN wird die Information ins D-Register übernommen. Diese Transportschaltung befindet sich auf den Rechenwerkskarten:

DOC D (1-6) - ' = DOC · D (1-6)' N
DUC D (1-6) ' = DUC · KE (1-6) - ;

DON D (7-24)-' = DON · D (7-24)' N
DUN D (7-24) ' = DUN · KE (7-24) - ;

Wenn das Flipflop FAT im Vorrangwerk gesetzt ist (d. h. Abtrennung des Operationsteils bei indirekter Adressierung), wird nur der Adreßteil mit Hilfe der Schaltwellen DON, DUN in das D-Register übernommen.

Das Abspeichern des D-Registerinhalts (Flipflop RSP gesetzt) erfolgt ebenfalls über dieselben Kabelsender/-empfänger und die U-Leitungen. Die positiven Ausgänge des D-Registers werden auf die IK-Leiterkarten geführt und dort mittels der vom Vorrangwerk angelegten Schaltwelle UD auf die U-Leitungen geschaltet:

UD U (1-24) = UD · D (1-24)
U (1-24) - = UD · D (1-24) -

Der weitere Weg der Information zwischen den U-Leitungen und dem jeweiligen Speichermodul ist in Abschnitt 2. Speicherwerk beschrieben.

Auf den 2 x 24 U-Leitungen findet eine Impulsübertragung statt.

Es werden Impulse von 90 ns Dauer gleichzeitig in positiver und negierter Form auf jeweils zwei verdrillten U-Leitungen übertragen.

An die U-Leitungen sind über Kabelsender/-empfänger (IK-Karten) angeschlossen:

Rechnerkern, Speicher, Kanalwerke

Die U-Leitungen sind mit 56 Ω - Widerständen abgeschlossen

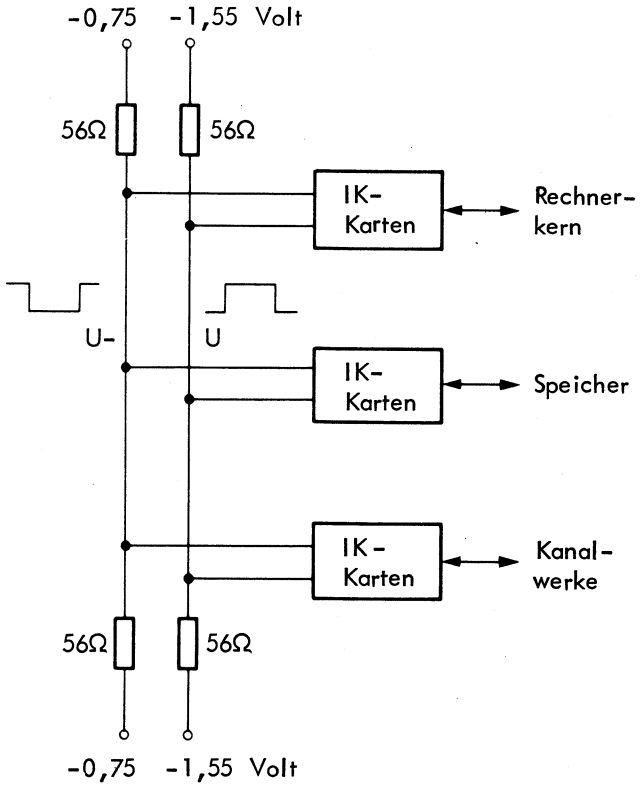


Abb. 1-55 b U - Leitungen

1. 6. 1. 4.
Beziehungen der Rechenwerk-Register untereinander

Neben der Addition- und Antivalenzschaltung (siehe Abschnitt 1. 6. 1. 5.) sind im Rechenwerk verschiedene Arten von Transporten zwischen den Registern vorgesehen (siehe Abb. 1-54). Im folgenden werden die Schaltwellen und ihre Wirkungen im Rechenwerk mit kurzen Erläuterungen aufgeführt:

a) AO A (1-24) - ' = AO · A (1-24) ' N ;

Löschen des Akkumulators mit AO = L, wenn keine Setzansteuerung anliegt.

b) AD A (1-24) - ' = AD · D (1-24) - ;

Halbtransport der Nullen des D-Registerinhalts in den Akkumulator. Um einen Volltransport zu realisieren, muß der Akkumulator vor dem Bringen der Schaltwelle AD in allen Stellen auf L gesetzt werden.

c) DOC D (1-6) - ' = DOC · D (1-6) ' N ;

DAC D (1-6) ' = DAC · A (1-6) ;

Volltransport des Operationsteils (Bits 1-6) aus dem Akkumulator in das D-Register.

DON D (7-24) - ' = DON · D (7-24)' N ;

DAN D (7-24) ' = DAN · A (7-24) ;

Volltransport der Registerstellen 7-24 aus dem Akkumulator in das D-Register.

Diese Transporte treten beim Abspeichern des Akkumulatorinhalts und bei EA-Vorgängen auf (EA, d.h. Ein-/Ausgabe).

d) AO A (1-24) - ' = AO · A (1-24) ' N ;

AI A (1-24) ' = AI · B (1-24) - ;

Invertierender Volltransport.

Die Stellen des B-Registers mit dem Inhalt Null werden als L'en in die entsprechenden Stellen des Akkumulators gebracht. Die übrigen Akkumulatorstellen werden gelöscht.

e) BO B (1-24) - ' = BO · B (1-24) ' N ;

Löschen des B-Registers, wenn keine Setzansteuerung anliegt.

f) BO B (1-24) - ' = BO · B (1-24) ' N ;

BA B (1-24) ' = BA · A (1-24) ;

Volltransport des Akkumulatorinhalts in das B-Register.

g) QO Q (1-24) - ' = QO · Q (1-24) ' N ;

Löschen des Q-Registers, wenn zusätzlich keine Setzansteuerung anliegt.

h) PQ P (1-24) ' = PQ · Q (1-24);

P (1-24) - ' = PQ · Q (1-24) -

Volltransport des Q-Registerinhalts in das P-Register.

i) QO Q (1-24) - ' = QO · Q (1-24) ' N ;

QA Q (1-24) ' = QA · A (1-24) ;

Volltransport des Akkumulatorinhalts in das Q-Register.

j) BO B (1-24) - ' = BO · B (1-24) ' N;

BQ B (1-24) ' = BQ · Q (1-24);

Volltransport des Q-Registerinhalts in das B-Register.

k) Schaltwellen AL, AR, AO und QL, QR, QO.

Shiftoperationen werden im TR 86 ausgeführt, indem man den Inhalt des Akkumulators in das B-Register bringt (Zwischenspeicherung) und ihn um eine Stelle nach rechts versetzt (Rechtsshift) oder um eine Stelle nach links versetzt (Linksshift) wieder in den Akkumulator zurückschreibt. Der Anzahl der Shiftschritte entsprechend oft muß diese Operation wiederholt werden.

Bei Shiftoperationen im Akkumulator und Q-Register zusammen (Spezifikation FZ = L) werden B- und P-Register als Zwischenspeicher benutzt.

Die Realisierung der um eine Stelle nach links bzw. rechts versetzenden Transporte wird in Abb. 1-54 durch die Verbindungspfeile zwischen den Rechenwerksstellen (n + 1), n, (n - 1) angedeutet.

Dem Entschlüsselungsergebnis der verschiedenen Shiftbefehle entsprechend können die folgenden Shift-Spezifikationsflipflops im Leitwert gesetzt werden:

FZ	Spezifikation zu	AR, QR, AL, QL	(A und Q zusammen)
FK	" " "	AR, AL, QL	(im Kreise)
FL	" " "	AR, AL, QL	(L einspeisen)
FU	" " "	AR, AL	(Shift mit Umrechnung)
FI	" " "	QR	(B24 → Q1)

Dem Stand der Shiftspezifikationen entsprechend werden die Signale A1RN, A24LN und Q1RN, Q24LN im Leitwerk gebildet und an das Rechenwerk geliefert. Im Rechenwerk werden sie mit den Schaltwellen AR, AL und QR, QL verknüpft und setzen die Registerstellen A1, A24 und Q1, Q24.

Die Gleichungen im einzelnen sind:

AO A (1-24) - ' = AO · A (1-24)' N ;

AL A (1-23) ' = AL · B (2-24) ;

Transport des B-Registerinhalts, um eine Stelle nach links versetzt in den Akkumulator. Stelle A24 = 0, wenn nicht eine der folgenden UND-Bedingungen erfüllt ist:

A24' = AL · A24LN =

= AL · (FZ · P1 + FZ -· FK · B1 + FZ -· FK -· FL + B24P1 -· FU);

Die Äquivalenz B24P1 wird im Leitwerk gebildet.

AO A (1-24) - ' = AO · A (1-24) ' N ;

AR A (2-24) ' = AR · B (1-23) ;

Transport des B-Registerinhalts um eine Stelle nach rechts versetzt in den Akkumulator. Stelle A1 = 0, wenn nicht eine der folgenden Bedingungen erfüllt ist:

A1' = AR · A1RN =

= AR · (FZ · FK · P24 + FZ -· FK · B24 + FK -· FL + FU · P1);

QO Q (1-24) - ' = QO · Q (1-24) ' N;

QL Q (1-23) ' = QL · P (2-24) ;

Transport des P-Registerinhalts um eine Stelle nach links versetzt in das Q-Register. Stelle Q24 = 0, falls nicht eine der folgenden Bedingungen erfüllt ist:

Q24' = QL · Q24LN = QL · (FK -· FL + FZ · FK · B1) ;

QO Q (1-24) - ' = QO · Q (1-24) ' N ;

QR Q (2-24) ' = QR · P (1-23) ;

Transport des P-Registerinhalts um eine Stelle nach rechts versetzt in das Q-Register. Stelle Q1 = 0, falls nicht eine der folgenden Bedingungen erfüllt ist:

Q1' = QR · Q1RN =

= QR · (FZ · FI -· B24 + FZ · FI · B24).

Die Wirkung der Schaltwellen BU und BT wird im folgenden Abschnitt 1. 6. 1. 5. erläutert.

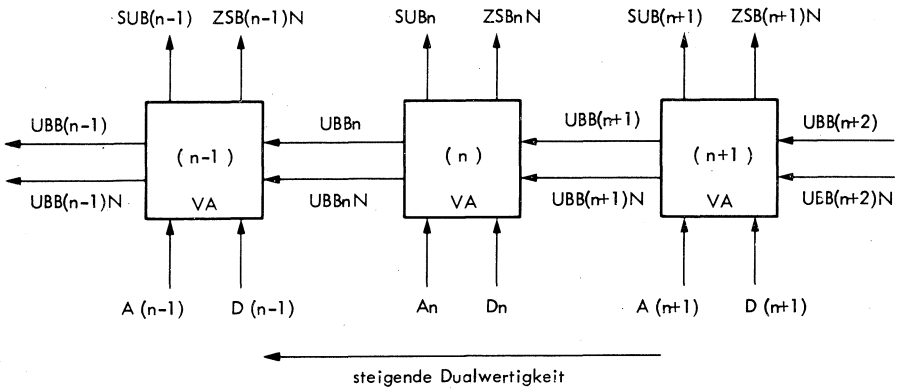
1. 6. 1. 5.
Addition und Antivalenz

Der TR 86 hat ein 24-stelliges parallel arbeitendes Addierwerk mit Serienübertrag. Es bildet ohne zeitliche Zuordnung zu bestimmten Zeitintervallen ständig die Summe und die Antivalenz aus den jeweiligen Inhalten des Akkumulators und des D-Registers. Die Ergebnisse stehen an den Ausgängen des Addierwerks und werden nur bei Bedarf mit Hilfe von Transporten in das B-Register gebracht.

Zur Bildung der Summe und Antivalenz zweier Operanden müssen diese im Akkumulator und D-Register bereitgestellt werden. Das Addierwerk beginnt sofort selbsttätig mit der Verarbeitung dieser neuen Registerinhalte. Die Ergebnisse dürfen erst nach einer gewissen Zeit abgeholt werden, die das Addierwerk als Verarbeitungszeit benötigt. Dies wird im weiteren näher erläutert.

Das Addierwerk ist aus 24 Volladdierern aufgebaut; zu jeder Rechenwerksstelle(n) gehört eine Addierstelle(n), d. h. ein Volladdierer(n).

Ein Volladdierer n verknüpft die n-te Stelle des D-Registers Dn mit der n-ten Stelle des Akkumulators An und berücksichtigt den in der nächstniedrigen Addierstelle entstehenden Übertrag UBB (n+1). Der Volladdierer n liefert seinersetis die einstellige duale. Summe SUBn und Antivalenz ZSBnN, die in der Stelle Bn des B-Registers bereitgestellt werden können, sowie einen Übertrag UBBn, der an die nächsthöhere Addierstelle (n-1) geht.



VA	=	Volladdierer	ZSBnN	=	Antivalenz An ≠ Dn
n	=	Nr. der Addierstelle	SUBn	=	negierte Summe im (B-1)-Komplement
N	=	Negationssymbol	UBBn	=	Übertrag
An	=	Operand (1 Dualstelle)	UBBnN	=	negierter Übertrag im (B-1)-Komplement
Dn	=	Operand (1 Dualstelle)			

Abb. 1-56 Prinzipschaltung: 3 Addierstellen

Aufbau eines Volladdierers

Ein Volladdierer ist im TR 86 - Rechnerkern aus zwei Halbaddierern (2 x ECL 353) und einem Zweifach-NOR-Glied (1 x ECL 360) aufgebaut (vgl. Abschnitt 0. 4.).

Für den Halbaddierer kann folgendes Ersatzschaltbild angegeben werden:

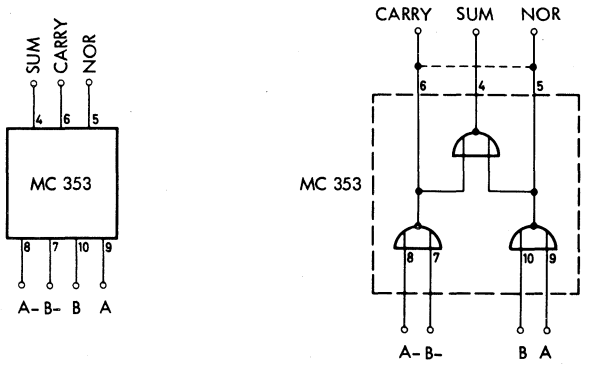


Abb. 1-57 Ersatzschaltbild des Halbaddierers

Die Eingangssignale A und B müssen dem Halbaddierer in beiden Polaritäten zugeführt werden (siehe Abb. 1-57).

Der SUM-Ausgang 4 liefert die Summe (=Antivalenz) der zwei Operanden:

$$\underline{SUM = A \cdot (B-) + (A-) \cdot B}.$$

Der NOR-Ausgang 5 liefert: $\underline{NOR = (A-) \cdot (B-)}.$

Der CARRY-Ausgang 6 liefert den Übertrag: $\underline{CARRY = A \cdot B}.$

Verbindet man die Ausgänge 5 und 6 eines Halbaddierer miteinander, so entsteht die Äquivalenz der zwei Operanden:

$$\underline{A \cdot B + (A-) \cdot (B-)}$$

Der Volladdierer im TR 86 ist wie folgt aufgebaut:

An den Halbaddierern ZSB (1-24) liegen ungefähr gleichzeitig die zwei Operanden mit je 24 Dualstellen in positiver und negierter Form an.

Ein Halbaddierer ZSBn liefert am Ausgang 4 die

Zwischensumme $ZSBnN = An \cdot Dn- + An- \cdot Dn$ (Antivalenz)

und an den miteinander verbundenen Ausgängen 5 und 6 die

negierte Zwischensumme $ZSBn = An \cdot Dn + An- \cdot Dn-$ (Äquivalenz).

Erläuterung: Antivalenz (=Summe) und Äquivalenz (=negierte Summe) gehen durch Invertierung d.h. Bildung des (B-1)-Komplements auseinander hervor.

Die Antivalenz ZSBnN der zwei Operanden An und Dn kann mit Hilfe der Schaltwellen BT, BO in das B-Register übernommen werden und steht dort in negierter Form, d.h. als Äquivalenz bereit:

BO $B(1-24)-' = BO \cdot B(1-24)'N$

BT $B(1-24)' = BT \cdot ZSBnN-$

Die Antivalenz selbst kann im Akkumulator bereitgestellt werden, indem man die Äquivalenz aus dem B-Register mit Hilfe eines in-

vertierenden Transports (Schaltwellen AI, AO) in den Akkumulator bringt.

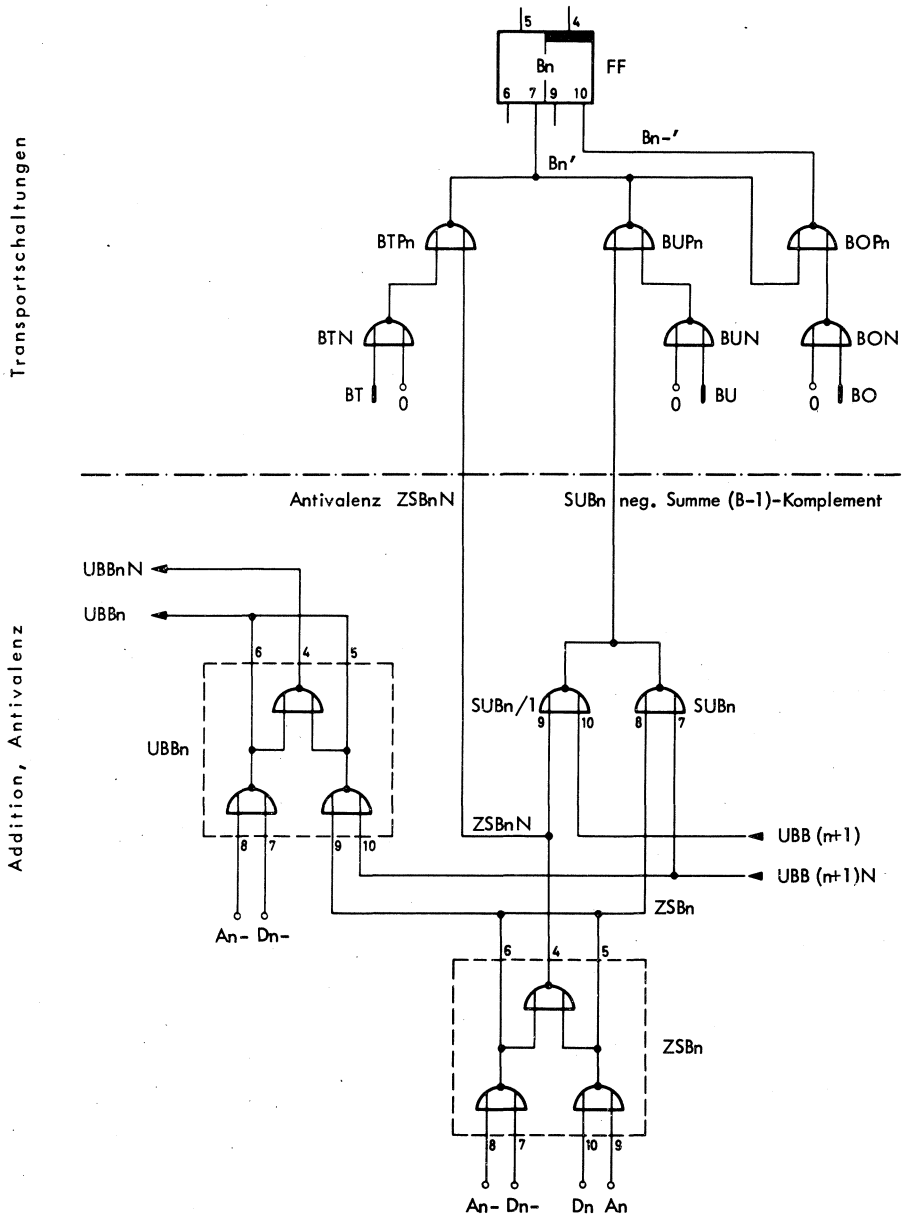


Abb. 1-58 Addierstelle (n) des Rechenwerks

Aus der Zwischensumme und dem von der nächstniedrigen Addierstelle angelieferten Übertrag - beide in positiver und negierter Form vorhanden - wird die Endsumme in negierter Form SUBn gebildet. Die Verknüpfung findet in den NOR-Gliedern SUBn und SUBn/1 statt:

$$SUBn = \overline{ZSBnN + UBB\ (n+1)} + \overline{ZSBn + UBB\ (n+1)\ N} =$$

$$= ZSBn \cdot UBB\ (n+1)N + ZSBnN \cdot UBB\ (n+1)\ ;$$

dies ist die negierte Endsumme (= Äquivalenz) einer Addierstelle n, denn:

ZSBn = negierte Zwischensumme (Äquivalenz)

UBB (n+1) N = negierter Übertrag aus der nächstniedrigen Addierstelle (n+1)

und:

ZSBnN = positive Zwischensumme (Antivalenz)

UBB (n+1) = positiver Übertrag aus der nächstniedrigen Addierstelle (n+1).

Nach Ersetzen von ZSBn bzw. ZSBnN ergibt sich

$$SUBn = An\text{-}\cdot Dn \cdot UBB\ (n+1) + An \cdot DN\text{-}\cdot UBB\ (n+1) +$$

$$+ An \cdot Dn \cdot UBB(n+1)N + An\text{-}\cdot Dn\text{-}\cdot UBB\ (n+1)\ N\ .$$

Durch Inversion dieses Ausdrucks ergibt sich die positive Form der Endsumme einer Addierstelle n :

$$SUBnN = An \cdot Dn\text{-}\cdot UBB\ (n+1)N + An\text{-}\cdot Dn \cdot UBB\ (n+1)\ N +$$

$$+ An\text{-}\cdot Dn\text{-}\cdot UBB(n+1) + An \cdot DN \cdot UBB\ (n+1)\ ;$$

deren Richtigkeit leicht überprüft werden kann.

Mit Hilfe der Schaltwellen BU, BO wird die negierte Endsumme SUBn (mit N = 1...24) in das B-Register übernommen und steht dort in positiver Form bereit:

BO $B\ (1\text{-}24)\text{-}' = BO \cdot B\ (1\text{-}24)'N\ ;$

BU $B\ (1\text{-}24)' = BU \cdot SUB\ (1\text{-}24)\text{-}.$

Die Realisierung dieses Transports kann in Abb. 1-54 und Abb. 1-58 verfolgt werden.

Neben der Summenbildung erfolgt die Bildung des Übertrags in positiver und negativer Form im Halbaddierer UBBn (siehe Abb. 1-58).

Ein Übertrag in einer Addierstelle n kann entstehen, wenn die beiden Summanden An = 1 und Dn = 1 oder wenn die Zwischensumme ZSBnN = 1 und der Übertrag UBB (n+1) = 1. Der positive Übertrag UBBn entsteht an den miteinander verbundenen Ausgängen 5 und 6 des Halbaddierers UBBn :

$$UBBn = \overline{An\text{-} + Dn\text{-}} + \overline{ZSBn + UBB\ (n+1)\ N} =$$

$$= An \cdot Dn + ZSBnN \cdot UBB\ (n+1)\ ;$$

nach Ersetzen von ZSBnN ergibt sich weiter:

$$UBBn = An \cdot Dn + An \cdot Dn\text{-}\cdot UBB\ (n+1) + An\text{-}\cdot Dn \cdot UBB\ (n+1)$$

Die Richtigkeit dieser Gleichung kann leicht überprüft werden:

UBBn = L, wenn zwei der drei Eingangssignale auf L stehen, das dritte kann dann O oder L sein. Die kürzeste Form der Übertragungsfunktion ist daher:

$$UBBn = An \cdot Dn + An \cdot UBB\ (n+1) + Dn \cdot UBB\ (n+1)$$

Am Ausgang 4 des Halbaddierers UBBn entsteht der negierte Übertrag:

$$UBBnN = \overline{An \cdot Dn + ZSBnN \cdot UBB\,(n+1)} =$$

$$= An\text{-}\cdot Dn\text{-} + An\text{-}\cdot UBB\,(n+1)\,N + Dn\text{-}\cdot UBB\,(n+1)\,N +$$

$$+ An\text{-}\cdot Dn \cdot UBB\,(n+1)N + An \cdot Dn\text{-}\cdot UBB\,(n+1)N + An\text{-}\cdot Dn\text{-}\cdot UBB(n+1)N$$

Die kürzeste Form der Funktion des negierten Übertrags ist:

$$UBBnN = An\text{-}\cdot Dn\text{-} + An\text{-}\cdot UBB(n+1)\text{-} + Dn\text{-}\cdot UBB(n+1)\text{-}.$$

Der Übertrag UBBn bzw. UBBnN wird an die nächsthöhere Addierstelle (n-1) geliefert.

Verarbeitungszeit

Nach dem Anlegen der zwei Operanden A (1-24) und D (1-24) wird in einer Halbaddiererdurchlaufzeit in allen 24 Addierstellen gleichzeitig die Zwischensumme ZSB (1-24) N bzw. ZSB (1-24) gebildet. Die gesamte Verarbeitungszeit des Addierwerks wird jedoch wesentlich von den Durchlaufzeiten der Überträge bestimmt. Da es sich beim TR 86 um ein Addierwerk mit durchlaufenden Überträgen handelt, ist die Addition im ungünstigsten Falle erst abgeschlossen, wenn die Überträge durch alle 24 Stellen hintereinander hindurchgelaufen sind.

Der Volladdierer ist so aufgebaut, daß ein an einer Addierstelle n einlaufender Übertrag UBB (n+1) nach einer Halbaddiererdurchlaufzeit eine entsprechende Einstellung des abzugebenden Übertrags UBBn bewirkt. Pro Addierstelle erhält man also eine Halbaddiererdurchlaufzeit, die zu dem durch eine höhere ohm'sche Belastung der Halbaddiererausgänge (Parallelschalten von 2 x 2 KΩ-Widerständen je Halbaddierer) verkürzt wird. Bei Labormessungen wurde eine Zeit von ca. 170 ns ermittelt, nach der eine Addition mit Überträgen durch alle 24 Stellen hindurch abgeschlossen ist.

Wie aus den Befehlsabläufen (siehe Abschn. 1.3. und 1.4.) hervorgeht, ist das Auslesen des zweiten Operanden in das D-Register spätestens in der zweiten Hälfte des letzten Zeitintervalls S2A abgeschlossen, worauf sofort selbsttätig der asynchrone Addiervorgang beginnt. Im Zeitintervall S2 wird das Additionsergebnis mittels der Schaltwellen BU, BO in das B-Register übernommen. Der Addiervorgang muß also spätestens bis zur 2-ten Hälfte des Intervalls S2 abgeschlossen sein.

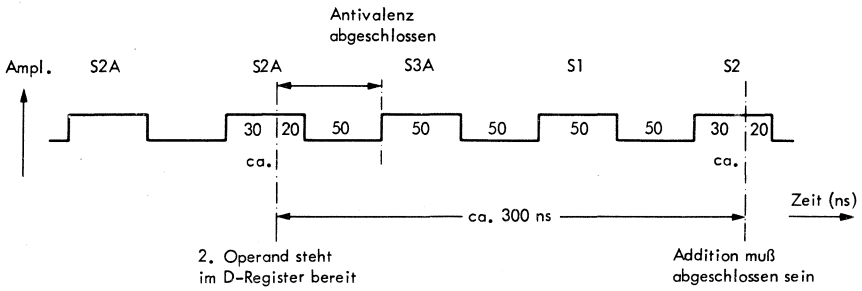


Abb. 1-59 Zeitschaltkette

Für diese Addition steht also eine Verarbeitungszeit von ca. 300 ns zur Verfügung. Dabei kann der in die niedrigste Stelle (24) zugeführte

künstliche Übertrag FC Null oder L sein (siehe Abb. 1-61).

Entsteht bei einer Addition ein Überlauf aus der 1. Stelle heraus, d. h. UBB1 = L, dann muß die Addition mit Einerrücklauf wiederholt werden (vgl. Abschnitt 1. 4.).

Das Flipflop im Leitwerk FC ("Einerrücklauf") wird gesetzt und liefert in diesem Fall am Anfang des Zeitintervalls S2 einen künstlichen Übertrag in die 24-te Stelle des Addierwerks.

Mit dem Schalten von FC- = L auf FC- = 0 beginnt von neuem ein Addiervorgang. In diesem Fall hat das Addierwerk nur eine Gesamtzeit von ca. 210 ns zur Verfügung (siehe Abb. 1-60), wie aus dem Mikroprogramm der Befehlsabläufe hervorgeht.

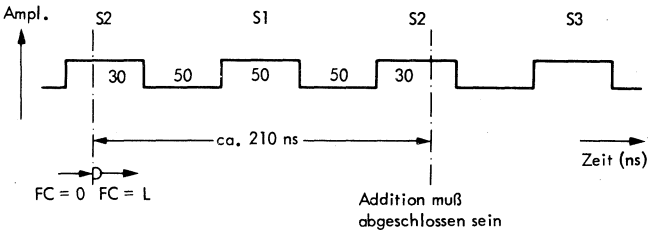


Abb. 1-60 Zeitschaltkette

Die Antivalenz wird nach Anlegen der Operanden nach einer Halbaddiererdurchlaufzeit in allen 24 Stellen gleichzeitig gebildet. Sie steht daher bereits im Zeitintervall S3A (siehe Abb. 1-59) zur Verfügung.

Überträge

Die Überträge zwischen den einzelnen Addierstellen auf einer Rechenwerkskarte werden in positiver und negierter Form übertragen: UBBn und UBBnN. Von einer Rechenwerkskarte zur anderen werden sie nur in negierter Form übertragen: UBBnN. Ebenso wird der künstliche Übertrag FC in die niedrigstwertige Addierstelle vom Leitwerk nur in negierter Form angeliefert/ FC-.

Auf jeder Rechenwerkskarte ist ein NOR-Glied UBB7/1 vorhanden, das aus den negierten Übertragssignalen UBB7N, UBB13N, UBB19 N und FC- die positiven Signale bildet, so daß die Addierstellen selbst auch diese Überträge in positiver und negierter Form erhalten (siehe Abb. 1-54).

Bei einem Überlauf aus der ersten Stelle heraus gibt das Addierwerk nur das negierte Signal UBB1N an das Leitwerk ab. Im Leitwerk wird daraus eine Setzbedingung für das Flipflop FC abgeleitet, das wiederum den künstlichen Übertrag FC- = 0 an das Addierwerk liefert.

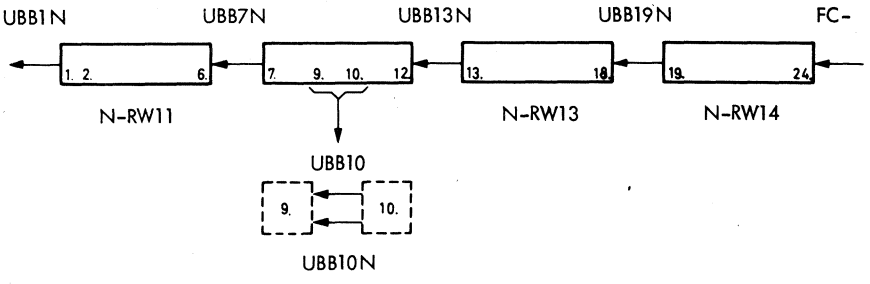


Abb. 1 - 61 Überträge

1. 6. 2.
Aufbau des Leitwerks

Entsprechend der funktionellen Aufteilung des Leitwerks in die drei Teile

Befehlsfolgesteuerung
Shiftzähler
Befehlsablaufsteuerung

wird dieses Kapitel gegliedert.

1. 6. 2. 1.
Befehlsfolgesteuerung

1. 6. 2. 1. 1.
Allgemeines

Die Befehlsfolgesteuerung im Leitwerk bestimmt die Reihenfolge, in der die Befehle eines Programms ausgeführt werden. Sie stellt dem Speicher die jeweils aktuelle Befehls- bzw. Operandenadresse im Adressenregister N zur Verfügung. Außerdem werden die negative Abschnittslänge bei Mehrwort-Ein-/Ausgabe über den Rechnerkernkanal heraufgezählt (siehe Abschn. 1. 4. 8. 3.) und die L'en bei der Ausführung des Befehls "SH C ..." (Shifte zählend) (siehe Abschnitt 1. 4. 5. 2.) gezählt.

Den 16 Adreßbits im TR 86 - Befehlswort entsprechend ist die Befehlsfolgesteuerung aus 16 unter sich gleichen Stellen aufgebaut. Sie besteht aus drei 16-stelligen Flipflopregistern, die durch Transportschaltungen untereinander in Verbindung stehen, insbesondere durch einen Transport mit 1-Addition vom G-Register in das F-Register, der die Zähleigenschaft der Befehlsfolgesteuerung bewirkt.

Die Befehlsfolgesteuerung steht mit dem Rechenwerk (siehe Abschnitt 1. 6. 2. 1. 2.) und dem Speicher bzw. Vorrangwerk (siehe Abschnitt 1. 6. 2. 1. 3.) in Beziehung. Die Schaltwellen werden zumeist von der Leitwerk-Ablaufsteuerung (siehe Abschn. 1. 6. 2. 3.) angeliefert.

Die 16 Stellen der Befehlsfolgesteuerung sind auf den Leiterkarten N-BW1 und N-BW2 aufgebaut:

N-BW1 enthält die Stellen 1-10
N-BW2 " " " 11-16.

Auf der N-BW2 ist auch der 6-stellige Shiftzähler (siehe Abschnitt 1. 6. 2. 2.) aufgebaut.

Für die folgenden Ausführungen steht ein Strukturbild der Befehlsfolgesteuerung (siehe Abb. 1-62) und das Schaltbild einer Steuerungsstelle (siehe Abb. 1-63) zur Verfügung.

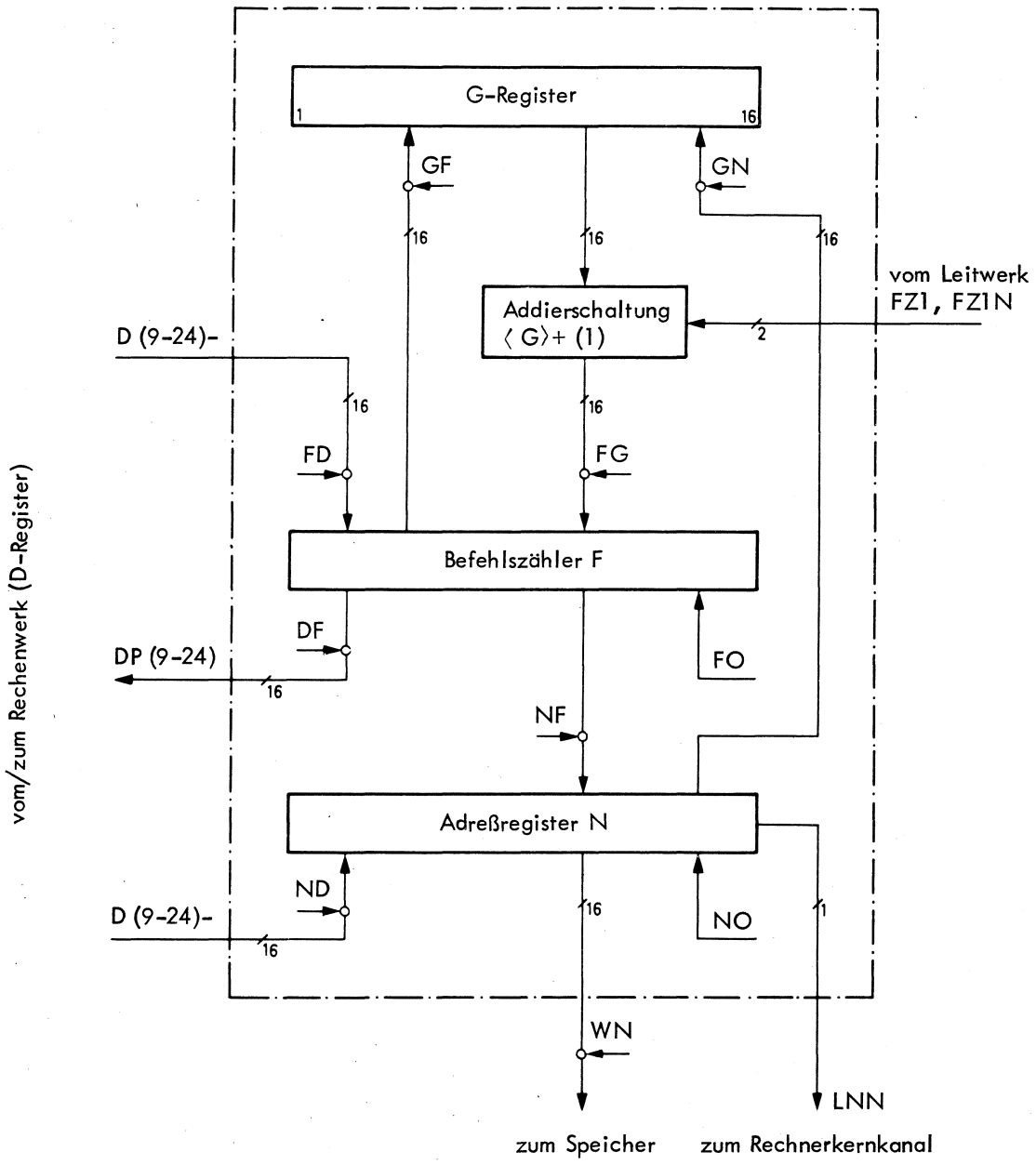


Abb. 1-62 LEITWERK - Befehlsfolgesteuerung

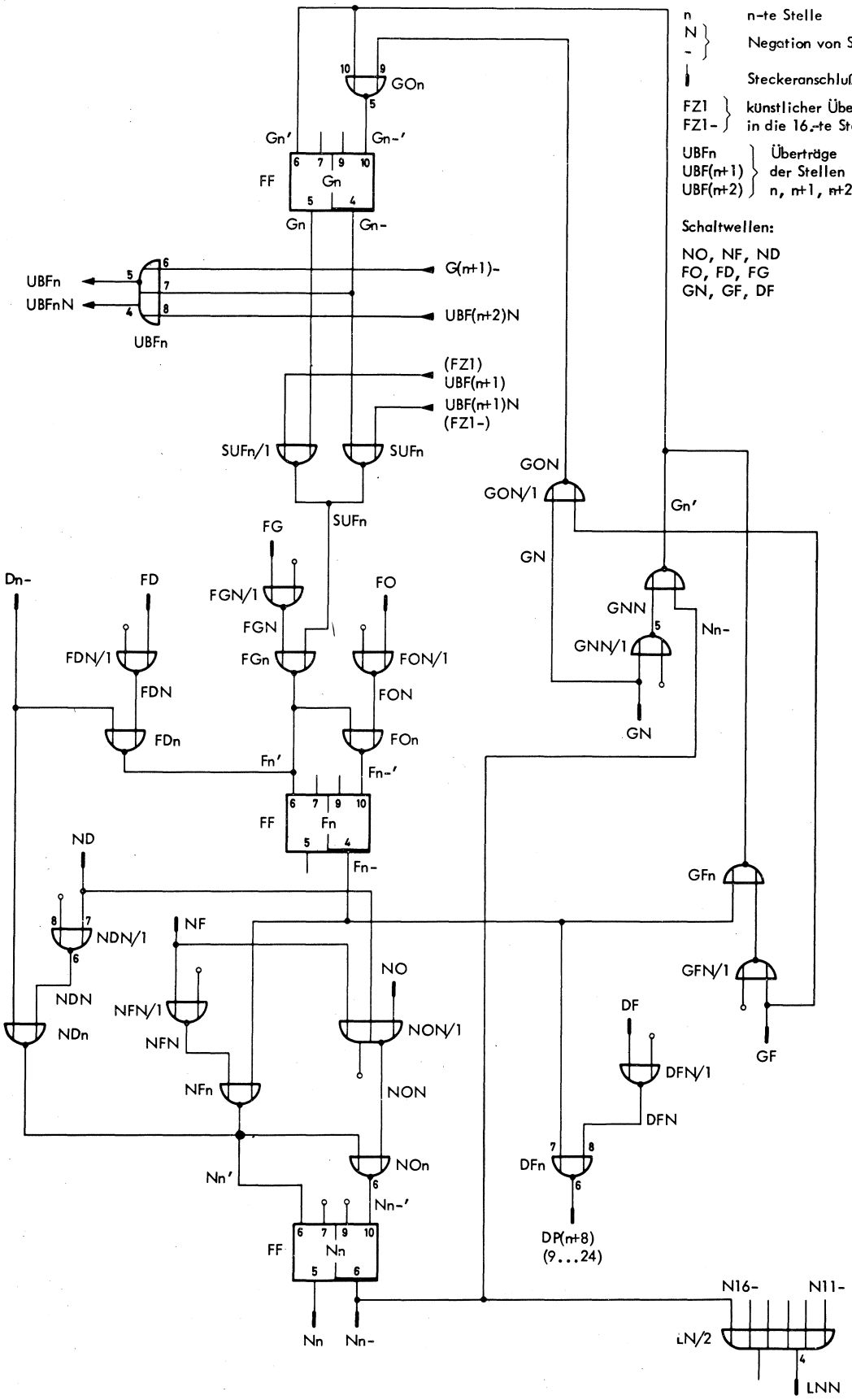


Abb. 1-63 TR 86 Leitwerk
Befehlsfolgesteuerung n-te Stelle

1. 6. 2. 1. 2.
Register der
Befehlsfolgesteuerung

Die Befehlsfolgesteuerung enthält drei 16-stellige Flipflopregister:

Adreßregister N	N1 - N16
Befehlszähler-Register	F1 - F16
Befehlszähler-Hilfsregister G	G1 - G16.

a) Das Adreßregister N (kurz: N-Register) enthält die Adresse der Kernspeicherzelle, mit der der Rechnerkern momentan Information austauscht. Nach der Befehlsausführung steht im N-Register die Adresse des ausgeführten Befehls oder des zuletzt benutzten Operanden.

Beziehung zum Rechenwerk

Die Adresse im D-Register D(9-24) wird zum Auslesen des Operanden in das N-Register übernommen. Die negierten Ausgänge des D-Registers D(9-24)- sind auf die Leiterkarten N-BW1 und N-BW2 geführt. Hier findet der Volltransport in das N-Register (Schaltwelle ND) statt:

ND N (1-16)' = ND · D (9-24)

N (1-16) - ' = ND · D (9-24) - .

Zur Realisierung des Transports siehe Abb. 1-63.

Beziehung zum Rechnerkernkanal

Bei Mehrwort-Ein-/Ausgabe über den Rechnerkernkanal wird die Befehlsfolgesteuerung neben der Adreßrechnung auch zum Heraufzählen der negativen Abschnittslänge (AL) verwendet. Wenn die Abfrage < N > : = -0 ergibt, wird die Ein-/Ausgabe beendet.

Die Abfrageschaltung realisiert folgende Bedingung:

LN = N1 · N2 · N3 · N4 ..... N16.

Das negierte Signal LNN wird an den Rechnerkernkanal abgegeben.

b) Der Befehlszähler-Register F (kurz: F-Register) wird in der Befehlsabrufphase um 1 erhöht, bzw. bei den Befehlen S, SI, SK, SU während der Befehlsausführung überschrieben. Am Ende eines Befehls enthält der Befehlszähler immer die Adresse des nächsten auszuführenden Befehls.

Beziehungen zum Rechenwerk

Bei den Befehlen S, SI, SK, SU wird deren Adreßteil aus dem D-Register D (9-24) in das F-Register gebracht. Der Transport ist auf den BW1/2-Karten realisiert:

FO F (1-16) - ' = FO · F (1-16)' N;

FD F (1-16) ' = FD · D (9-24).

Zum Abspeichern der Rücksprungadresse beim SU-Befehl wird der Stand des Befehlszählers in das D-Register gebracht. Er wird mit Hilfe der Schaltwelle DF auf die DP-Leitungen (DP9-24) geschaltet, die die entsprechenden Stellen des D-Registers (im Rechenwerk) direkt setzen können. Zur Realisierung eines Volltransports in das D-Register D (9-24) muß gleichzeitig die Löschschaltwelle DON angelegt werden

auf den BW1/2-Karten: DP (9-24) = DF · F (1-16)

im Rechenwerk:
- D (6-24) - ' = DON · D (6-24) ' N
- D (9-24) ' = DP (9-24).

c) Das Befehlszähler-Hilfsregister G (kurz: G-Register) dient zum kurzzeitigen Zwischenspeichern der Inhalte des F- bzw. des N-Registers. Der Transport mit 1-Addition findet zwischen G- und F-Register statt.

1. 6. 2. 1. 3.
Verkehr Befehlsfolge-steuerung - Speicher

Auf den Leiterkarten R-IK2 sitzen die rechnerseitigen Kabelsender, die die Speicheradresse auf die 2 x 16 SW-Leitungen schalten, wenn vom Vorrangwerk die Schaltwelle WN angelegt wird.

WN SW (1-16) = WN · N (1-16)

SW (1-16) - = WN · N (1-16) -.

Die Adresse wird (wie die Information) in positiver und negierter Form übertragen: SW (1-16), SW (1-16) -. Im Speicher wird die Adresse auf den AK2- - Leiterkarten empfangen und auf das Adreßregister (AR) desjenigen Speichermoduls geschaltet, der durch die Moduladressenentschlüsselung ausgewählt wird.

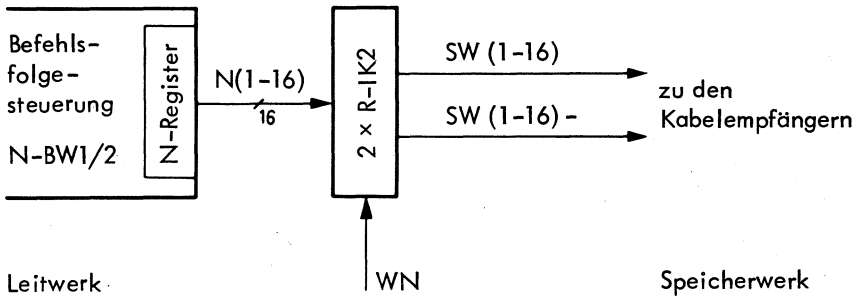


Abb. 1-64 Adressenübertragung zum Speicherwerk

Im Gegensatz zur Informationsübertragung (vgl. Abschnitt 1. 6. 1. 3.) wird die Adresse nur vom Leitwerk an den Speichermodul gesendet. In entgegengesetzter Richtung findet keine Übertragung statt.

1. 6. 2. 1. 4.
Beziehungen der drei Register untereinander

In der Befehlsfolgesteuerung finden die im folgenden beschriebenen Teiloperationen statt, die auch an Hand der Abbildungen 1-62 und 1-63 verfolgt werden können:

a) NO N (1-16) - ' = NO

Löschen des N-Registers < N > : = 0.

b) NF N (1-16) - ' = NF · F (1-16) -

N (1-16) ' = NF · F (1-16).

Der Volltransport des Befehlszählerinhalts in das Adreßregister stellt die aktuelle Adresse bereit.

Zum Hochzählen der Adresse wird der Inhalt des F-Registers oder des N-Registers in das G-Register gebracht:

c) GF G (1-16) - ’ = GF · F (1-16) -

G (1-16) ’ = GF · F (1-16)

d) GN G (1-16) - ’ = GN · N (1-16) -

G (1-16) ’ = GN · N (1-16)

e) Transport mit 1-Addition

Der Inhalt des G-Registers kann mit Hilfe der Schaltwellen FG, FO in das F-Register gebracht werden, wenn die Spezifikation FZ1 = 0.

FO F (1-16) - ’ = FO · F (1-16) ’N ;

FG F (1-16) ’ = FG · FZ1 - · G (1-16).

Ist FZ1 vorher gesetzt worden: FZ1 = L, so findet eine 1-Addition statt: ⟨ G ⟩ + 1.

Mit Hilfe der Schaltwellen FO, FG wird der Inhalt des G-Registers um 1 erhöht in das F-Register geschrieben:

$$\langle G \rangle + 1 \xrightarrow[FZ1 = L]{FG,\ FO} \langle F \rangle$$

Das Prinzip des Transports mit 1-Addition wurde bereits in Abschnitt 0. 5. 4. 6. erläutert.

Hier hat man eine besondere Art der Übertragsbildung angewendet, um die gesamte Durchlaufzeit zu verkürzen. Den 16 Stellen des F- und des G-Registers entsprechend hat die Addierschaltung ebenfalls 16 "Addierstellen", wobei es sich hier um Addierstellen mit Halbaddiereigenschaften handelt.

Ähnlich wie beim Addierwerk des Rechenwerks (vgl. Abschnitt 1. 6. 1. 5.) müssen die Überträge im ungünstigsten Falle 15 Stellen durchlaufen. Die Addierschaltung ist so aufgebaut, daß beim vollständigen Übertrag von der niedrigstwertigen Stelle 16 in die höchstwertige Stelle 1 statt 15 nur 8 NOR-Glied-Durchlaufzeiten anfallen.

Der Aufbau der Addierschaltung ist aus Abb. 1-65 an Hand der vier Addierstellen 13 ÷ 16 ersichtlich:

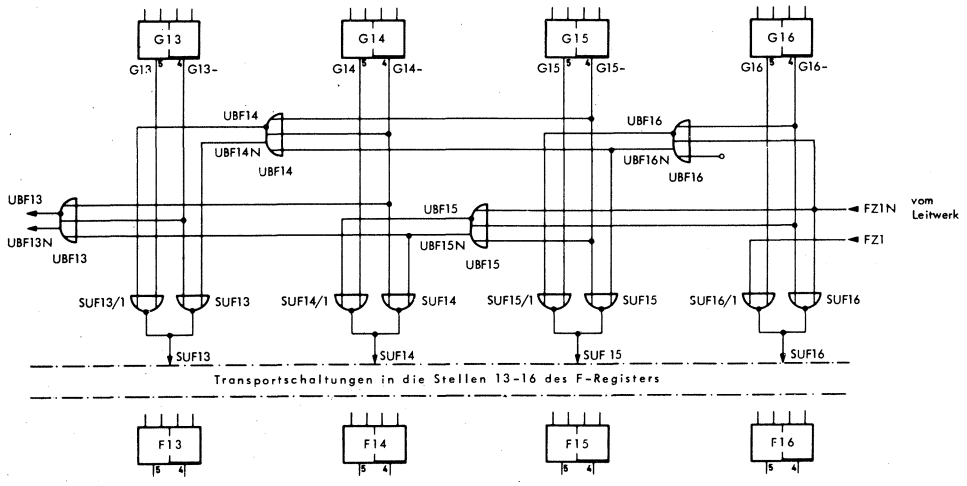


Abb. 1-65 Leitwerk-Befehlsfolgesteuerung
Transport mit 1-Addition (4 Stellen)

Jede Addierstelle (n) bekommt einen Übertrag in positiver und negierter Form angeliefert: UBF (n+1), UBF (n+1) N. In den NOR-Gliedern SUFn und SUFn/1 wird die Äquivalenz, d.h. die negierte Summe im (B-1)-Komplement aus dem Inhalt der Registerstelle Gn und dem Übertrag der Addierstelle (n+1) gebildet:

$$SUFn = Gn \cdot UBF(n+1) + Gn\text{-}\cdot UBF(n+1)N; \text{ (Äquivalenz).}$$

Mit dem Anlegen des künstlichen Übertrags vom Leitwerk in positiver und negierter Form FZ1 und FZ1N wird nach einer NOR-Glied-Durchlaufzeit die Äquivalenz SUF16 gebildet. Gleichzeitig wird das negierte Signal FZ1N in der 16. und 15. Addierstelle dazu benutzt, in den NOR-Gliedern UBF16 und UBF15 nach einer Durchlaufzeit gleichzeitig die zwei Überträge UBF16 bzw. UBF16N und UBF15 bzw. UBF15N zu bilden:

16. Stelle $UBF16 = G16 \cdot FZ1$
15. Stelle $UBF15 = G15 \cdot G16 \cdot FZ1$
} gleichzeitig

Diese Überträge bilden zusammen mit dem Inhalt der G-Registerstellen G15 und G14 in den NOR-Gliedern SUF15, SUF15/1 und SUF14, SUF14/1 die Äquivalenzen SUF15 und SUF14.

15. Stelle $SUF15 = G15 \cdot UBF16 + G15\text{-}\cdot UBF16N$
14. Stelle $SUF14 = G14 \cdot UBF15 + G14\text{-}\cdot UBF15N$
} gleichzeitig

Die nach einer Durchlaufzeit entstandenen negierten Überträge UBF16N und UBF15N gehen gleichzeitig in die Addierstellen 14 und 13 ein, in denen nach einer weiteren Durchlaufzeit die Überträge UBF14 bzw. UBF14N und UBF13 bzw. UBF13N gebildet werden:

14. Stelle $UBF14 = G14 \cdot G15 \cdot UBF16$
13. Stelle $UBF13 = G13 \cdot G14 \cdot UBF15$
} gleichzeitig

Die allgemeine Formel für diese Art der gleichzeitigen Übertragsbildung in zwei Addierstellen lautet:

Stelle(n+1): $UBF(n+1) = G(n+1) \cdot G(n+2) \cdot UBF(n+3)$

Stelle n: $UBFn = G(n) \cdot G(n+1) \cdot UBF(n+2)$

Folgende Überlegung liegt zugrunde:

Ein Übertrag UBFn entsteht, wenn die Registerstelle Gn = L und der Übertrag UBF(n+1) = L

$$UBFn = Gn \cdot UBF(n+1) =$$
$$= Gn \cdot G(n+1) \cdot UBF(n+2);$$

Statt den Übertrag UBF (n+1) dem NOR-Glied UBF (n+1) zu entnehmen, wird er im NOR-Glied UBFn unter Zurückführung auf den Übertrag UBF (n+2) und die Registerstelle G (n+1) nochmals gebildet. Da dies in zwei Addierstellen gleichzeitig geschieht, erhält man für zwei Addierstellen nur eine NOR-Glied-Durchlaufzeit.

Die Überträge werden in folgendem Zeitraster gebildet:

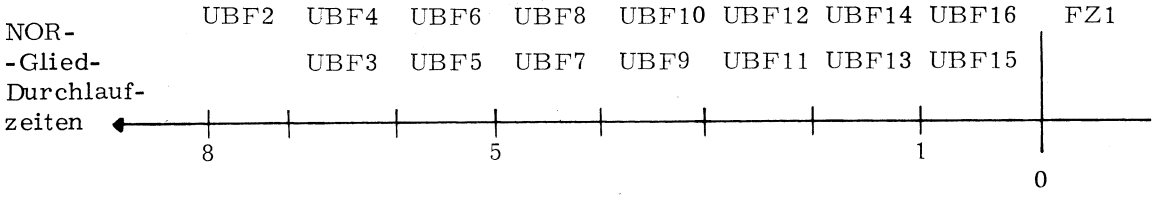


Abb. 1-66 Übertragsbildung

Die in Abb. 1-66 untereinander stehenden Überträge werden gleichzeitig gebildet.

Nachdem alle Überträge durchgelaufen sind, steht die negierte Summe im (B-1)-Komplement an den Ausgängen SUF (1-16) der Addierschaltung an. Mit Hilfe der Schaltwellen FG, FO wird die Summe positiv in den Befehlszähler F eingeschrieben:

FO F (1-16) - ' = FO · F (1-16)' N

FG F (1-16) ' = FG · SUF (1-16) -

Damit ist der Transport mit 1-Addition abgeschlossen.

1. 6. 2. 2.
Shiftzähler

1. 6. 2. 2. 1.
Allgemeines

Der Shiftzähler ist ein Teil des Leitwerks. Er zählt die Shiftschritte bei der Ausführung der Shiftbefehle, zählt die Zeichen pro Wort bei Einzelwort- und Mehrwort-Ein-/Ausgabe über den Rechnerkern-Kanal und wird bei der Multiplikation benutzt. Er steht mit der Befehlsablaufsteuerung des Leitwerks (siehe Abschn. 1. 6. 2. 2. 2.) und dem D-Register des Rechenwerks (siehe Abschn. 1. 6. 2. 2. 2.) in Verbindung.

Der Shiftzähler besteht im wesentlichen aus zwei Registern, Transportschaltungen und einer speziellen Addierschaltung für 1-Addition, die einen künstlichen Übertrag zum jeweiligen Shiftzählerstand hinzuzählt. Die 6 Dualstellen des Shiftzählers lassen Zahlen bis $2^6-1 = 63$ zu.

Wie in Abschnitt 1. 6. 2. 1. 1. erwähnt wurde, ist der Shiftzähler auf der Leiterkarte N-BW2 aufgebaut.

Für die folgenden Ausführungen steht ein Strukturbild des Shiftzählers (siehe Abb. 1-67) und das Schaltbild einer Zählerstelle (siehe Abb. 1-68) zur Verfügung.

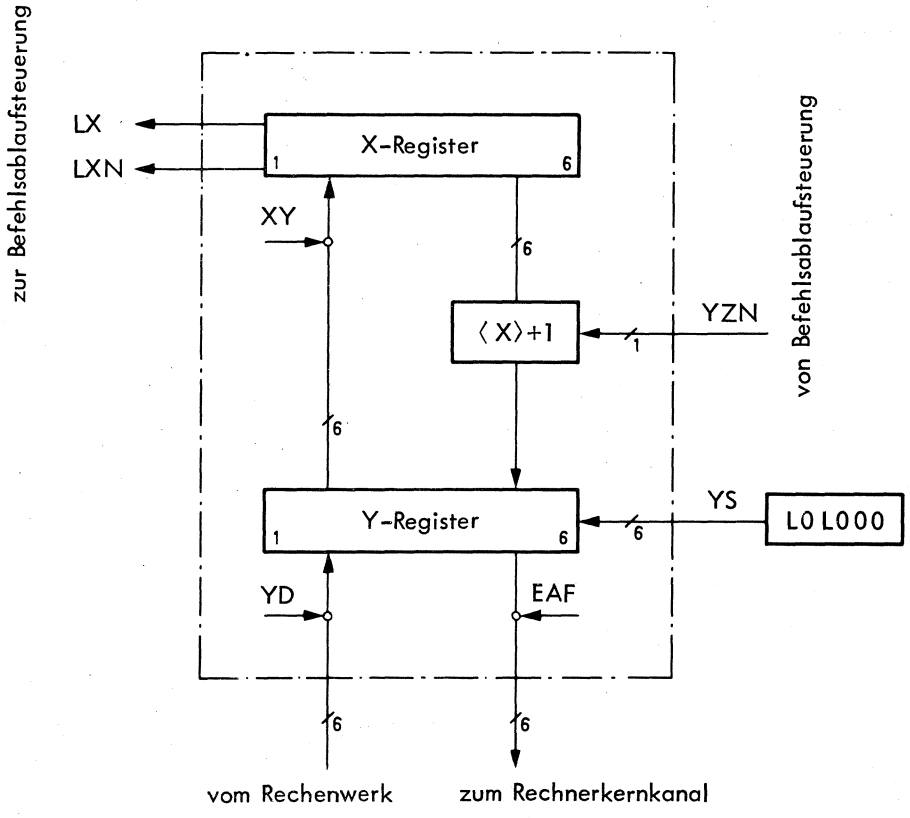


Abb. 1-67 Leitwerk - Shiftzähler

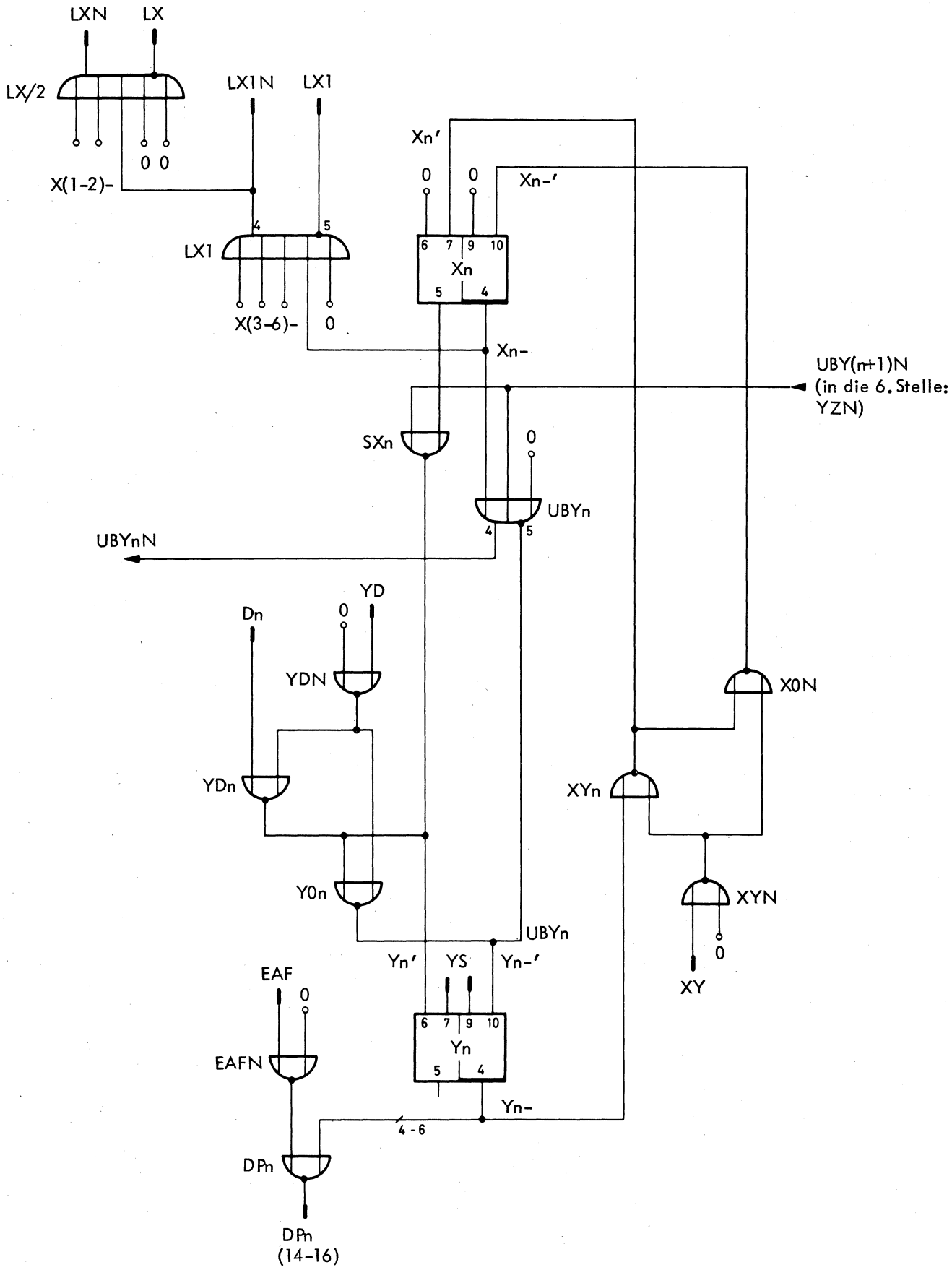


Abb. 1-68 LEITWERK
Shiftzähler n-te Stelle

1. 6. 2. 2. 2.
Register,
Beziehungen zu
anderen
Rechnereinheiten

Der Shiftzähler enthält zwei 6-stellige Flipflopregister:

Shiftzähler-Register Y Y (1-6)

Shiftzähler-Hilfsregister X X (1-6)

Zu Beginn der Ausführung der Shiftbefehle wird die Anzahl der Shiftschritte aus den Stellen D (19-24) des D-Registers (Rechenwerk) negativ im (B-1)-Komplement in das Shiftzähler-Register Y (kurz: Y-Register) geschrieben:

YD Y (1-6) - ' = YD · D (19-24) } Invertierender
    Y (1-6) '   = YD · D (19-24)- } Volltransport

Mit Hilfe desselben Transports wird zu Beginn der Ein-/Ausgabe über den Rechnerkernkanal die +0 im Y-Register bereitgestellt.

Beim Multiplikationsbefehl wird durch das Signal YS (keine Schaltwelle!) die Zahl -23 festverdrahtet in das Y-Register eingeschrieben (siehe Abb. 1-67).

Während der Ausführung des Shift- bzw. Multiplikationsbefehls wird der Shiftzählerstand mittels 1-Addition so oft erhöht, bis der Inhalt des Y- bzw. X-Registers -0 geworden ist:

$$\langle Y \rangle := \langle X \rangle := -0$$

Die Abfrage des Shiftzähler-Hilfsregisters liefert dann LX = L bzw. LXN = 0:

$$LX = X1 \cdot X2 \cdot X3 \cdot X4 \cdot X5 \cdot X6$$

Das Abfragesignal LX bzw. LXN geht an die Befehlsablaufsteuerung des Leitwerks.

Bei Ein-/Ausgabe über den Rechnerkernkanal wird im Fehlerfall der Inhalt des Y-Registers mit Hilfe der Schaltwelle EAF (vom Rechnerkernkanal) auf die DP-Leitungen DP (14-16) geschaltet. Die DP-Leitungen gehen auf die Setzeingänge des D-Registers (siehe Abschn. 1. 6. 1. 2.). Der Shiftzähler gibt in diesem Fall die Anzahl der fehlerfrei übertragenen Zeichen des ersten fehlerhaften Wortes an. Im Fehlerwort sind dafür nur die Stellen 14-16 vorgesehen, daher sind von sechs DP-Leitungen nur DP (14-16) verdrahtet.

1. 6. 2. 2. 3.
Zählvorgang im
Shiftzähler

Der Zählvorgang findet zwischen dem Shiftzähler-Register Y und dessen Hilfsregister X statt. Die in das Y-Register negativ im (B-1)-Komplement eingeschriebene Größe, bzw. die "+0" kann durch stufenweise 1-Addition heraufgezählt werden.

Mit Hilfe der Schaltwellen XY wird der Inhalt des Y-Registers zunächst in das X-Register übernommen (siehe Abb. 1-68):

XY X (1-6) - ' = XY · Y (1-6) -

    X (1-6) '   = XY · Y (1-6)

Sobald der Wert im X-Register steht, wird der anstehende künstliche Übertrag (YZN) addiert und das Ergebnis unmittelbar asynchron in das Y-Register zurückgeschrieben. Der von der Befehlsablaufsteuerung in negierter Form angelieferte künstliche Übertrag YZN wird in jedem Fall zum momentanen Inhalt des X-Registers addiert und das Ergebnis wird in das Y-Register transportiert. Soll also eine "1" addiert werden, so muß YZ = L bzw.

YZN = 0 sein. In der 6-ten Shiftzählerstelle wird YZN mit dem Inhalt der Registerstelle X6 verknüpft. Im NOR-Glied UBY6 wird der positive und negierte Übertrag UBY6 bzw. UBY6N gebildet:

$$UBY6 = \overline{X6- + YZN} = X6 \cdot YZ$$

$$UBY6N = X6- + YZN = \overline{X6 \cdot YZ};$$

wenn also X6 = L und YZ = L (YZN = 0), so entsteht ein Übertrag UBY6, der in negierter Form an die nächsthöhere 5-te Stelle geht.

In gleicher Weise erfolgt die Übertragungsbildung in den übrigen Shiftzählerstellen (siehe Abb. 1-69) :

$$UBYn = \overline{Xn- + UBY(n+1)N} = Xn \cdot UBY(n+1)$$

$$UBYnN = Xn- + UBY(n+1)N = \overline{Xn \cdot UBY(n+1)}$$

Der Übertrag muß im ungünstigsten Falle durch sechs Stellen hindurchlaufen, wozu sechs NOR-Glied-Durchlaufzeiten benötigt werden.

Ein fälschlicherweise auftretender Übertrag aus der ersten Stelle heraus (UBY1) wird nicht berücksichtigt.

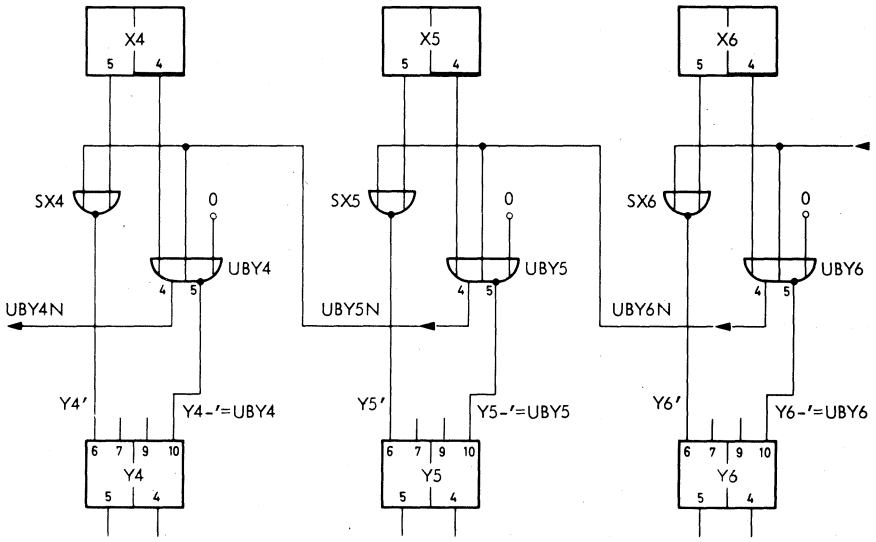


Abb. 1-69 Shiftzähler Addierstellen 4-6

In jeder Shiftzählerstelle n erfolgt eine Summenbildung aus dem Inhalt der Registerstelle Xn und dem eingehenden Übertrag UBY(n+1) in folgender Weise:

Es wird ein Setzsignal Yn' oder ein Löschsignal Yn-' = UBYn für das Registerflipflop Yn gebildet. Wenn das Flipflop Yn jedoch auch nach der Summenbildung in seinem alten Zustand beharren darf, wird k e i n Ansteuersignal gebildet.

Das NOR-Glied SXn liefert ein Setzsignal, wenn die folgende Bedingung erfüllt ist:

$$Yn' = \overline{Xn + UBY(n+1)N} = Xn- \cdot UBY(n+1);$$

der positive Übertrag des NOR-Gliedes UBYn wird als Löschsignal verwendet:

$$Yn-' = UBYn = \overline{Xn- + UBY(n+1)N} = Xn \cdot UBY(n+1).$$

Aus den zwei Funktionen ist ersichtlich:

Wenn der Übertrag UBY(n+1) = L, dann wird ein Setz- oder Löschsignal dem Stand von Xn entsprechend erzeugt.

Ist der angelieferte Übertrag UBY(n+1) = 0, so kann weder ein Setz- noch ein Löschsignal erzeugt werden: Yn' = Yn-' = 0.

In diesem Fall beharrt das Registerflipflop Yn auf seinem alten Wert, d. h. dem Ausgangswert vor der Addition. Dieser entspricht dem Zählergebnis in dieser Shiftzählerstelle, wie an Hand der Abbildungen 1-68 und 1-69 nachgeprüft werden kann.

1. 6. 2. 3.
Befehlsablaufsteuerung

1. 6. 2. 3. 1.
Allgemeines

Aufgabe der Befehlsablaufsteuerung im Leitwerk ist es, die Befehle aus dem Speicher abzurufen und deren Ausführung zu steuern. Die dafür erforderlichen Transporte werden durch Schaltwellen ausgelöst, die die Befehlsablaufsteuerung liefert. Ebenso wirkt der Stand einiger Steuerflipflops direkt auf die Ausführung von Befehlen ein (z. B. FZ1, FC).

Der Aufbau der Befehlsablaufsteuerung unter Anwendung der NOR-Logik entspricht weitgehend den Mikroprogrammgleichungen der Befehlsabläufe in UND-Logik. (Die Befehlsabläufe sind in Kap. 1. 3. und Kap. 1. 4. beschrieben). Aus diesem Grunde kann hier auf ein vollständiges Schaltbild der Befehlsablaufsteuerung verzichtet werden. Es würde seines Umfangs wegen auch keineswegs zur Übersicht beitragen. An einem Beispiel soll veranschaulicht werden, wie Mikroprogrammgleichungen (UND-Logik) und Hardware (NOR-Logik) zusammenhängen. (Vgl. Abb. 1 - 70).

Eine Gleichung im Mikroprogramm der Ausführungsphase des Befehls "SA" lautet:

RO1', FF1-', BA, BO, DOC = A21 = S2 · SA · RSF · FF3- ;

Wenn die in der Gleichung rechts stehende Bedingung erfüllt ist, geht das Signal A21 auf L. Das Signal A21 setzt das Ablaufflipflop RO1, löscht das Flipflop FF1 und erzeugt die Schaltwellen BA, BO, DOC. Die rechts stehende Bedingung ist nur während des Zeitintervalls S2 erfüllt.

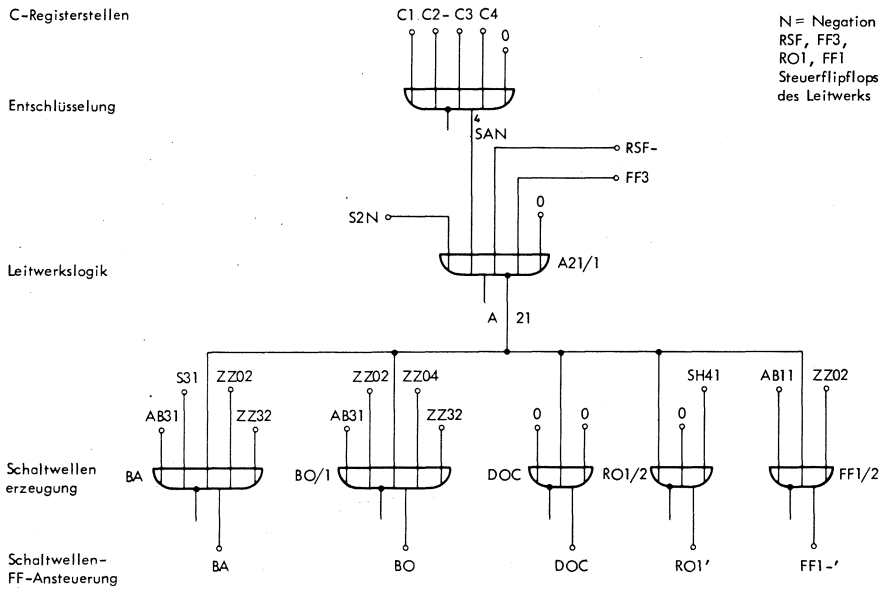


Abb. 1-70 Beispiel zur Befehlsablaufsteuerung

Die Schaltwellen entstehen entweder aus einem Signal oder aus disjunktiven Verknüpfungen mehrerer Signale; z. B. wird die Schaltwelle BA erzeugt, wenn die Signale A21 = L oder AB31 = L oder S31 = L oder ZZ32 = L oder ZZ02 = L. In gleicher Weise werden die Steuerflipflops im Leitwerk von mehreren disjunktiv verknüpften Signalen gesetzt bzw. gelöscht.

Die schaltungstechnische Realisierung der Befehlsablaufsteuerung ist den Entwicklungsunterlagen - Baustein- und Signalführungsliste - für die Leiterkarten zu entnehmen.

In diesem Abschnitt soll nur derjenige Teil der Befehlsablaufsteuerung beschrieben werden, der im Rechnerkern wirksam wird; er ist auf den Leiterkarten N-MW1/ -MW2/ -MW3 und -MW4 aufgebaut. Der Ein-/Ausgabeteil des Leitwerks, der die Ein-/Ausgabe über den Rechnerkernkanal steuert (Einzelwort- und Mehrwort-Ein/Ausgabe), ist auf den Leiterkarten N-EW1/ -EW2 und EW3 aufgebaut.

Wie aus dem Strukturbild in Abb. 1-71 hervorgeht, kann die Leitwerk-Befehlsablaufsteuerung in folgende Funktionseinheiten aufgegliedert werden:

C - Register Entschlüsselung Leitwerkslogik Steuerflipflops Schaltwellenerzeugung	Abschnitt 1. 6. 2. 3. 2.
Zeitschaltkette Merklichter	1. 6. 2. 3. 3.

Der Taktgenerator befindet sich auf der Leiterkarte N-TP1 (Taktgenerator und Primitiveingabe).

Die in Abb. 1-71 schraffierten Elemente befinden sich auf den N-EW1/2/3 - Leiterkarten.

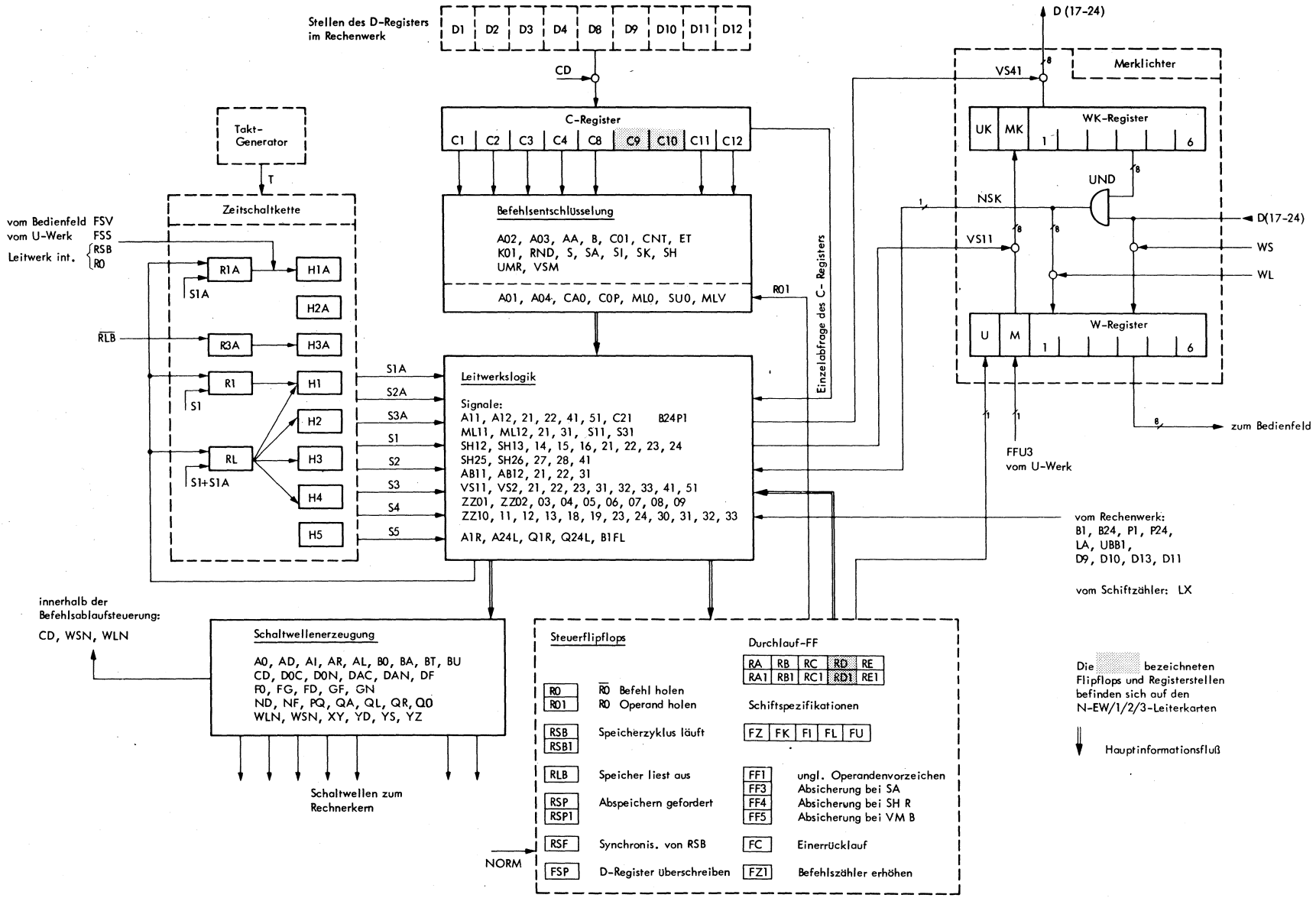


Abb. 1-71 LEITWERK - Befehlsablaufsteuerung

1.6.2.3.2. Struktur der Befehlsablaufsteuerung

Nach dem Auslesen des Befehlswortes aus dem Zentralspeicher im Zeitintervall S2A werden mit Hilfe der Schaltwelle CD die operationsbestimmenden Teile des Befehlswortes (Operationscode und Spezifikationen) in das C-Register übernommen:

$$C(1\text{-}4, 8\text{-}12)' = CD \cdot D(1\text{-}4, 8\text{-}12)$$

$$C(1\text{-}4, 8\text{-}12)\text{-}' = CD \cdot D(1\text{-}4, 8\text{-}12)\text{-}$$

Damit steht die Information zur Entschlüsselung im Leitwerk bereit.

Vom C-Register ausgehend kann man drei aufeinanderfolgende Funktionsebenen der Befehlsablaufsteuerung im Leitwerk erkennen:

Entschlüsselung
Leitwerkslogik
Schaltwellenerzeugung und Steuerflipflops.

In der Entschlüsselung (1. Funktionsebene) wird der Inhalt des C-Registers entschlüsselt. Die entstehenden Signale sind spezifisch für

einige Befehle gemeinsam (z.B. A02, A03)
einen Befehl (z.B. AA, B, SA, SH)
oder eine Befehlsspezifikation (z.B. UMR, CNT).

Bei einem Teil dieser Signale (siehe Abb. 1-71) wird die Stellung des Ablaufflipflops R01 in die Befehlsentschlüsselung einbezogen. Das Flipflop R0 bzw. sein Sklave R01 unterscheidet Befehlhol- und Operandholphase.

Die Entschlüsselungssignale gehen in die rechte Seite der Befehls-Mikroprogrammgleichungen ein.

In der Leitwerkslogik (2. Funktionsebene) werden die Entschlüsselungssignale logisch verknüpft mit:

- den Zeitintervallen der Zeitschaltkette S1A, S2A, S3A, S1 .... S5
- dem Inhalt leitwerksinterner Steuerflipflops (Ablauf-, Durchlauf-, Spezifikationsflipflops)
- dem Stand der Merklichter (U, M, 1 .....6)
- den Ergebnissen der Akkumulatorabfrage LA (⟨A⟩ = / # - 0?) und der Shiftzählerabfrage LX (⟨LX⟩ = / # - 0?). (Der Inhalt des N-Registers wird nur bei Einzelwort- und Mehrwort-Ein-/Ausgabe abgefragt; Signal LN)
- dem Inhalt einzelner Registerstellen des Rechenwerks
- dem Inhalt von C-Registerstellen direkt (in Einzelfällen).

Die aus den logischen Verknüpfungen in der Leitwerkslogik entstehenden Signale (A11....,AB11....,ML11,...,SH12,.....,VS11,.....,ZZ01,..... usw.) dienen zur Schaltwellenerzeugung und zum Setzen bzw. Löschen der Steuerflipflops in der 3-ten Funktionsebene der Befehlsablaufsteuerung. Die Steuerflipflops werden ihrerseits von der Leitwerkslogik abgefragt und beeinflussen somit die Signalerzeugung in der Leitwerkslogik.

Die Schaltwellenerzeugung besteht im wesentlichen aus disjunktiven Verknüpfungen derjenigen Signale der Leitwerkslogik, die wahlweise dieselbe Schaltwelle erzeugen sollen. Dies ist in dem Beispiel der Abb. 1-70 gezeigt.

Zur Entkopplung der eingehenden Signale und zur Erhöhung des verfügbaren Fan-out werden die Schaltwellen an den OR-Ausgängen von NOR-Gliedern erzeugt. Die Schaltwellen werden in positiver Form auf andere Leiterkarten des Rechnerkerns geführt und dort in NOR-Gliedern negiert. Die in einem NOR-Glied negierte Schaltwelle steuert im allgemeinen mehrere parallel ablaufende Transporte.

Die drei Funktionsebenen sind in Abb. 1-71 dargestellt; die doppelt gezogenen Wirkungslinien geben den Hauptinformationsfluß innerhalb der Befehlsablaufsteuerung wieder.

1.6.2.3.3. Zeitschaltkette, Merklichter

Der Ablauf der Zeitschaltkette wurde in Kap. 1.1. beschrieben. Auf ihre technische Realisierung soll hier nicht näher eingegangen werden. Zur Erleichterung der Wartung wird jedoch ein Schaltbild der Zeitschaltkette beigefügt, wie sie auf der N-MW1-Leiterkarte aufgebaut ist (siehe Abb. 1-72).

Die 8 Merklichter des Leitwerks (U, M, 1 .... 6) können durch den VM-Befehl und seine Spezifikationen einzeln oder zusammen gesetzt, gelöscht, invertiert oder abgefragt werden. Zudem wird das Überlaufflipflop U gesetzt, wenn sich im Akkumulator ein Überlauf ergeben hat und die Unterbrechungssperre M vom Unterbrechungswerk gesetzt, wenn ein laufendes Programm unterbrochen wurde. Zur Bedeutung der Merklichter siehe Abschn. 0.1.1.1.1.

Neben dem eigentlichen Merklicht-Register W mit den Stellen U, M, W1 ..... W6 gibt es das Merklicht-Hilfsregister WK mit den Stellen UK, MK, WK1, ... WK6. Bis auf die erwähnten Abweichungen bei "U" und "M" sind die 8 Merklichtstellen unter sich gleich aufgebaut. Die Schaltung einer Merklichtstelle n zeigt Abb. 1-73.

In den Stellen D(17-24) des D-Registers werden die Merklichter beim VM-Befehl bitweise adressiert.

Es finden die folgenden Teiloperationen statt:

a) U', M', W(1-6)' = WS · D(17-24)

Die im D-Register adressierten Merklichter werden mit Hilfe der Schaltwelle WS gesetzt (Befehl VM S n, wobei n für das adressierte Merklicht steht).

b) U-', M-', W(1-6)-' = WL · (UK, MK, WK(1-6)) · D(17-24)

Die im D-Register in den Stellen 19-24 adressierten Merklichter werden mit Hilfe der Schaltwelle WL gelöscht, wenn die entsprechenden Stellen des WK-Registers gesetzt sind (Befehl VM Ln).

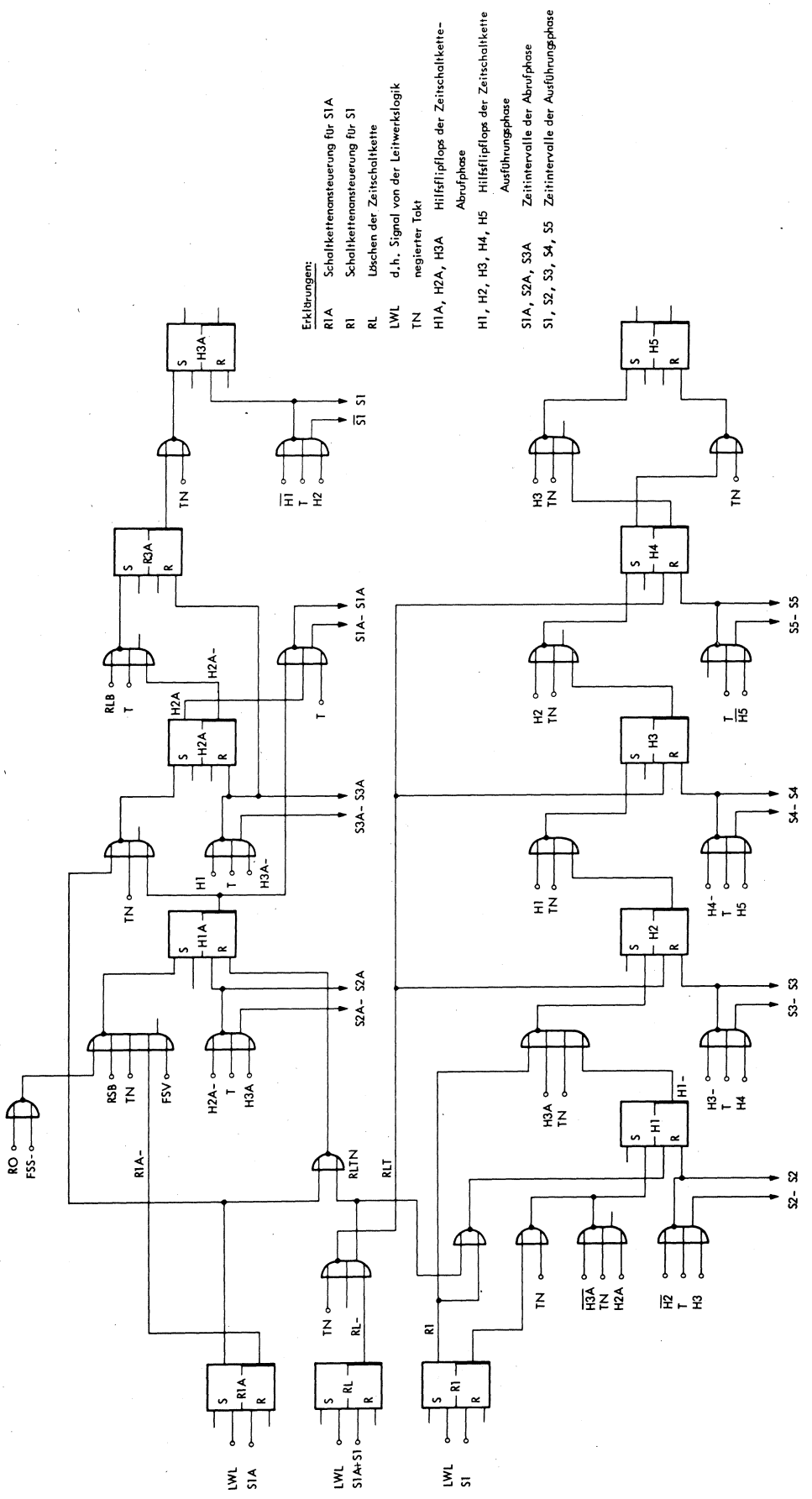


Abb. 1-72 TR 86 Zeitschaltkette

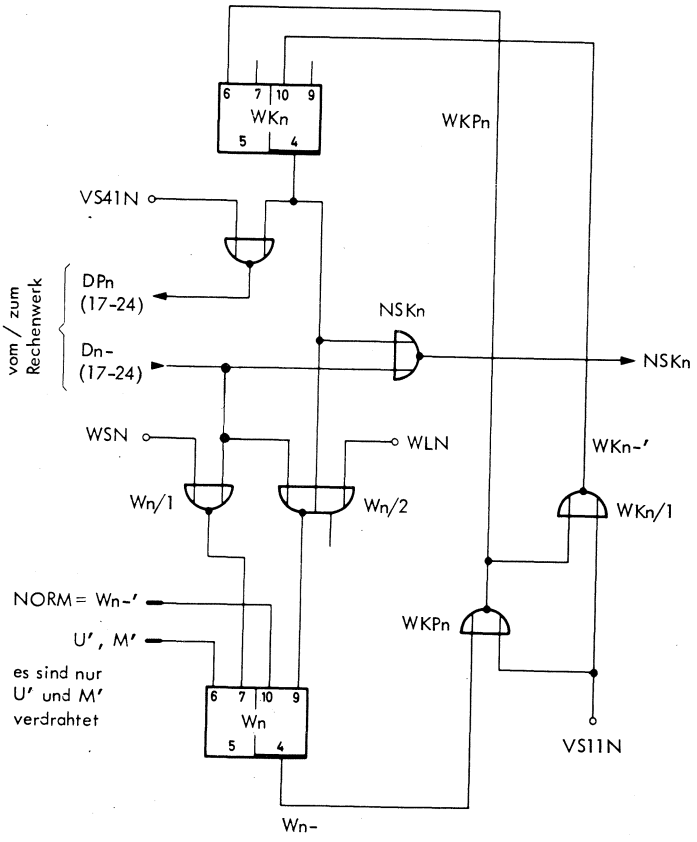


Abb. 1-73 LEITWERK Merklicht-Stelle n

c) UK', MK', WK (1-6)' = VS11 · (U, M, W(1-6))

UK-', MK-', WK(1-6)-' = VS11 · (U-, M-, W(1-6)-)

Mit Hilfe des Signals VS11 bzw. VS11N aus der Leitwerkslogik wird der Inhalt des W-Registers in das WK-Register transportiert. Das Signal VS11 hat hier die Funktion einer Schaltwelle.

d) DP (17-24) = VS41 · (UK, MK, WK(1-6))

Der Inhalt des WK-Registers wird mit Hilfe des Signals VS41 bzw. VS41N (aus der Leitwerkslogik) auf die DP(17-24)-Leitungen geschaltet, die die entsprechenden Stellen des D-Registers setzen (Befehl VM B n).

e) Wenn die im D-Register adressierte WK-Registerstelle den Inhalt L hat, dann entsteht ein Signal NSK = L, das in die Leitwerkslogik eingeht. Beim Skip-Befehl wird dann das Überspringen einer Programmzelle verhindert.

Inversion von adressierten Merklicht-Inhalten erfolgt durch Setzen der adressierten W-Registerstellen (Schaltwelle WS) und durch anschließendes Löschen derjenigen W-Registerstellen, die vorher auf L standen, d. h. im WK-Register gesetzt sind (Schaltwelle WL, siehe b).

1. 6. 2. 3. 4.
Verteilung der Befehlsablaufsteuerung auf den Leiterkarten

Die Flipflops und Funktionen der Leitwerk-Befehlsablaufsteuerung sind auf den Leiterkarten N-MW1...-MW4 wie folgt verteilt:

Leiterkarte ⟶	N-MW1	N-MW2	N-MW3	N-MW4
Gesamtaufteilung	Zeitschaltkette C-Register teilw. Speichersynchron. Entschlüsselung teilw., Leitwerkslogik teilw., Schaltwellenerzeug. teilw.	Entschlüsselung teilw., Leitwerkslogik teilw. Schaltwellenerzeug. teilw.	Merklichter Entschlüsselung teilw., Leitwerkslogik teilw. Schaltwellenerzeug. teilw.	Entschlüsselung teilw. Leitwerkslogik teilw. Schaltwellenerzeug. teilw., Randverbindungen
Entschlüsselungssignale	K01	A01, A02, A03, A04, AA, B, C01, ET, MLO, MLV, S, SA, SH, SI, SK, VSM, RND, UMR	C01, VSM	CAO, COP, MLO, MLV, S, SH, SI, SK, SUO
Signale der Leitwerkslogik	AB11, 12, 21, 22, 31 ZZ14, 17, 22, 28, 29	A11, 12, 21, 22, 41, 51, ML11, 12, 31 S31 SH12, 25, 27, 28, 41, ZZ01, 02, 03, 04, 05, 06, 08, 09, 18, 19, 23, 24, 30, 31, 32, 36	C21 VS11, 21, 22, 23, 31, 32, 33, 41, 51 NSK	ML11, 21, 31 S11 SH11, 13, 14, 15, 16, 21, 22, 23, 24, 26, 27, 28, ZZ02, 07, 10, 11, 12, 13, AR1, 2, 3, 4, AL1, 2, 3, 4 QR1, 2, QL1, 2 A1R, A24L, Q1R, Q24R
Schaltwellenerzeugung	YD, CD, ND, NF	AO, AD, AI, BO, BA, BT, BU, DOC, PQ FO, FG, XY	AD, AI, BO, DOC, DON, GF, GN	AO, AR, AL, BO, DAC, DAN, DOC, DON, DF, QO, QA, QL, QR, GF, GN, FO, FD, YS, YZ(N)
Steuerflipflops	R1A, R1, RL, R3A, RA, RA1, H1A, H2A, H3A, H1-5, RLB, RSB, RSF, FSP, RSP, RSP1, RO, RO1, C1, 2, 3, 4, 8, 11, 12	FC, FI, FL FF1, FF3 RB, RB1 RC, RC1	W1, 2, 3, 4, 5, 6 WK1, 2, 3, 4, 5, 6 U, UK M, MK FF5	FU, FZ, FK FF4

1. 6. 3.
Aufbau des
Unterbrechungswerks

Der Grundausbau des Unterbrechungswerks mit 12 Ebenen befindet sich auf der Leiterkarte N-PU1, die Erweiterung um 16 Ebenen auf der Leiterkarte N-PU2.

Für die logischen Verknüpfungen werden folgende MECL I-Bausteine benutzt:

- NOR-Glied mit 2 Eingängen
- OR-NOR-Glied mit 3 Eingängen
- OR-NOR-Glied mit 5 Eingängen
- OR-NOR-Glied mit 3 Eingängen und einem Expander (insgesamt 8 Eingänge)
- R-S Flipflop
- Halbaddierer

(nähe Erläuterungen zu diesen Bausteinen siehe MECL-Beschreibung, Kap. 0. 4. 3.).

Auf der Leiterkarte N-PU1 sind die logischen Gleichungen des Mikroprogramms z. B. für die Ebene 5 des Unterbrechungswerks (siehe Kap. 1. 7.) so realisiert, wie es die Abb. 1-74 zeigt.

Der Signallauf und die logischen Verknüpfungen sind im wesentlichen bei der Wirkungsweise des Unterbrechungswerks (Kap. 1. 7.) beschrieben und brauchen daher hier nicht weiter erläutert zu werden.

Als Besonderheit sollen hier nur die beiden Halbaddierer HUCi und FSUi der Ebene i hervorgehoben werden. Diese Halbaddierer werden vom Summenausgang 4 (siehe Beschreibung des Halbaddierers, Kap. 0. 4. 3.) auf den Eingang 9 zurückgekoppelt und wirken auf diese Weise als Flipflop.

Bei dem Halbaddierer HUCi werden die Eingänge 7, 8 und 10 gleichzeitig mit dem Eingangssignal angesteuert. Durch die Rückkopplung wird erreicht, daß nur 2 Zustände stabil sind, nämlich dann, wenn alle Eingänge und der Ausgang 4 dasselbe Potential haben ("L" oder "O"). Ändert das Eingangssignal seinen Wert ("O" → "L", "L" → "O"), dann kippt auch der Ausgang 4 entsprechend um.

Der Halbaddierer HUCi dient als Impulsformer, der aus einer beliebigen Anstiegsflanke des Signals SUi ein Signal HUCi mit steiler Flanke und genügend großem Hub erzeugt, um damit das nächste Flipflop zu kippen.

Der Ausgang des Halbaddierers wird nicht gesondert auf "O" gesetzt, wenn das Eingangssignal SUi verschwindet, sondern allein durch die Art der Beschaltung der Eingänge erreicht man, daß das Ausgangssignal stets den logischen Endwert des Eingangssignals annimmt ("L" oder "O", nicht die Zwischenwerte).

Das auf den Halbaddierer HUCi folgende Differenzierglied bewirkt, daß nur dann das Flipflop FHUi gesetzt wird, wenn ein Unterbrechungswunsch SUi eintrifft (Änderung von "O" auf "L"). Damit wird erreicht, daß das Flipflop FHUi nach dem Rücksetzen nicht erneut gesetzt wird, falls der bereits behandelte Unterbrechungswunsch SUi immer noch ansteht.

Der Halbaddierer FSUi ist hier so verschaltet, daß er zunächst die benötigte NOR-Verknüpfung der beiden Signale FHUi- und FUSN herstellt, das Ergebnis speichert und am Ausgang 5 bereitstellt.

Der Halbaddierer FSUi wird im Gegensatz zu HUCi so angesteuert, daß das Ausgangssignal stehen bleibt, wenn die Eingangssignale verschwinden. Nur über den Eingang 10 läßt sich der Halbaddierer wieder zurücksetzen.

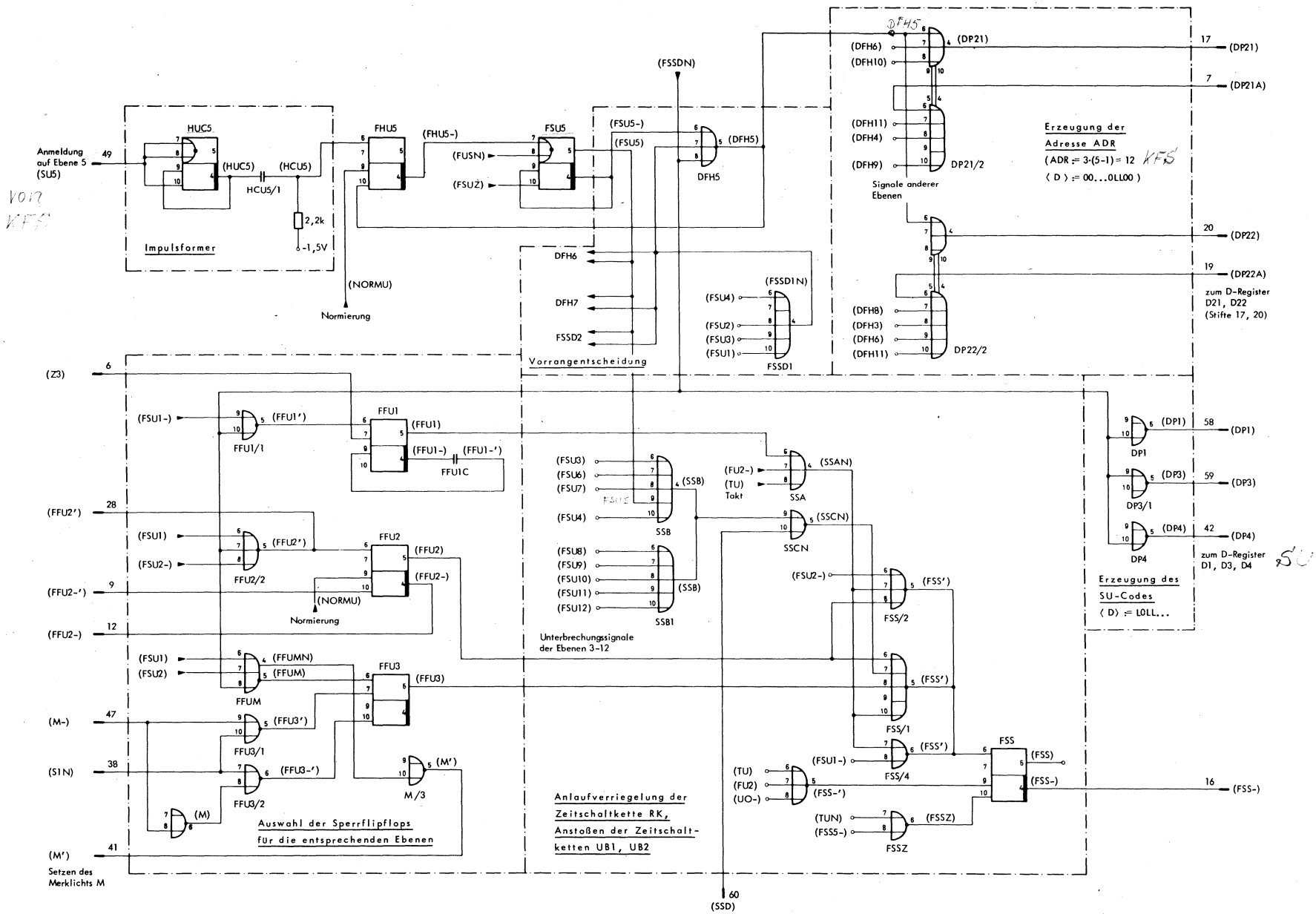


Abb. 1-74 Aufbau des Unterbrechungswerks

Erklärungen der einzelnen Signale, die nicht im Mikroprogramm aufgeführt sind:

(Signale im Schaltbild sind in Klammern gesetzt)

FSSDN := TUN + FSS2-
FSUZ := TUN · FSS3 + Normiersignal
FUSN := FU2 + TU + FSS
NORMU := Normiersignal

S1N := S1 negiert
TU := Takt
TUN := negierter Takt
SSD := Übertrag der Karte N-PU2, entsprechend SSB

DP21A, DP22A := Überträge der Karte N-PU2, entsprechend DP21, DP22

Die Zahlen am Rand bezeichnen die Stiftnummern der Karte N-PU1

1. 7. Unterbrechungswerk (UBW)

1. 7. 1. Wirkung

Über das Unterbrechungswerk kann einem laufenden Programm das Auftreten bestimmter externer oder interner Ereignisse mitgeteilt werden. Durch einen mikroprogrammierten Ablauf wird das laufende Programm unterbrochen und, abhängig von der Art des Ereignisses, einem bestimmten anderen Programmteil die Regie übertragen. Je nach Art des Ereignisses wird eine bestimmte "Unterbrechungsebene" angesprochen, auf welcher der Unterbrechungswunsch eingetroffen ist.

Der Grundausbau des Unterbrechungswerks besteht aus 12 Unterbrechungsebenen, die auf 28 Ebenen erweitert werden können.

Für die Unterbrechungsebenen ist eine Rangfolge festgelegt, nach der gleichzeitig vorliegende Unterbrechungswünsche abgearbeitet werden. Von den Ebenen i (i = 1 ÷ 12 ÷ 28) hat diejenige Ebene Vorrang, bei der i den kleinsten Zahlenwert besitzt. Die Rangfolge fällt also mit zunehmendem Wert von i ab.

Alle Unterbrechungswünsche werden gespeichert und entsprechend ihrer Rangfolge berücksichtigt.

Aus technischen Gründen sind für die 12 (28) Ebenen mehrere Unterbrechungssperren vorhanden, die sich zum Teil gegenseitig aufheben.

Das Sperrflipflop FFU3 sperrt, solange es gesetzt ist, im Unterbrechungswerk die Ebenen 3 ÷ 12 ÷ 28. Während dieser Zeit kann keine Unterbrechung auf einer dieser Ebenen wirksam werden.

Nach dem Löschen durch z. B. einen VM L M - Befehl bleibt die Sperre noch bis zur Ausführung des nächsten Befehls wirksam.

Anschließend ist das Programm durch gespeicherte Unterbrechungswünsche, die noch nicht abgearbeitet sind, wieder unterbrechbar.

Die Wirkung des Sperrflipflops FFU3 kann durch einen Unterbrechungswunsch auf Ebene 2 (E/A - Fehleralarm) aufgehoben werden. Dadurch wird sichergestellt, daß bei einem (unter gesetzter Unterbrechungssperre FFU3 gegebener) E/A-Befehl für den Rechnerkernkanal (RKK) und fehlerhaftem Ablauf des E/A-Befehls eine Unterbrechung noch vor Beginn des nächsten Befehls erfolgt.

Wie zuvor im Falle des Sperrflipflops FFU3 wird hier automatisch die Unterbrechungssperre FFU2 gesetzt, die im Unterbrechungswerk (UBW) die Ebenen 2 ÷ 12 ÷ 28 gegen weitere Unterbrechungen sperrt. Die Unterbrechungssperre FFU2 kann durch einen RKK-E/A-Befehl auf Geräteadresse 0 gelöscht und eventuell auch gesetzt werden. Nach dem Löschen bleibt die Unterbrechungssperre FFU2 noch für 10 µs wirksam.

Durch die noch für 10 µs gesetzte Sperre erreicht man, daß der nächste Befehl des Unterprogramms (i. a. Sprung mit Ersetzung in die der Unterbrechungsebene zugeordnete Festzelle (s. Abb. 1 - 75) und der dort abgelegte Rücksprung in das unterbrochene Programm) noch ausgeführt werden kann, ohne daß sich eine erneute Unterbrechung bereits auswirken kann.

Die Sperren FFU2 und FFU3 werden wiederum durch einen Unterbrechungswunsch auf Ebene 1 (Unterspannungsalarm) in ihrer Wirkung aufgehoben. Dadurch wird bei Netzspannungsausfall, Drücken der "Aus" - oder "Stop"-Taste jedes laufende Programm zugunsten eines Abschaltprogramms unterbrochen. Die intern gesetzte Sperre FFU1 sperrt für 50 µs sämtliche Unterbrechungsebenen. Sie ist vom Programm nicht beeinflußbar. (Innerhalb der Zeit von 50 µs werden vom Abschaltprogramm des Standardbetriebssystems alle wichtigen Registerinhalte (A-, Q-Register, Merklichtregister) abgespeichert. - Der Inhalt des Befehlszählers wurde schon vorher durch das verdrahtete Mikroprogramm in den Speicher eingeschrieben. - Anschließend wird mit einem Ausgabebefehl des RKK auf Geräteadresse 0 der Taktgenerator gesperrt. Ein neuer Befehl kann erst dann wieder ausgeführt werden, wenn der Taktgenerator durch Drücken der "Ein"- oder "Start"-Taste freigegeben wird und ausreichende Netzspannung vorhanden ist.)

"Ein"-, "Start"- und "Laden"-Taste normieren den Rechner und setzen wieder die Unterbrechungssperre FFU1 für die Dauer von 50 µs, um das Einschaltprogramm gegen Unterbrechung abzusichern. Diese beiden Tasten normieren außerdem die Kanalwerke und löschen eventuell gespeicherte Unterbrechungswünsche und Merklichter.

Ist das Unterbrechungswerk angestoßen worden, so wird in eine der jeweiligen Ebene fest zugeordnete Speicherzelle gesprungen, in der die Rücksprungadresse (d. h., die Adresse des Befehls U+1, wenn die Unterbrechung während des Befehls U erfolgte) des unterbrochenen Programms abgelegt wird. Die Adressen der Festzellen sind für alle Ebenen in der folgenden Tabelle aufgeführt:

Ebene	Einsprung bei Unterbrechungswunsch durch	in Zelle	Ebene wird gesperrt durch
1	Netzspannungsausfall, "Stop"- und "Aus"-Taste	1/2	FFU 1
2	E/A-Fehleralarm (RKK) Speicherschutzfehler	3/4	FFU1, FFU2
3	Dreierprobenalarm	5/6	FFU1, FFU2, FFU3
4	Eingriffswerk	7/8/9	
5	Kontrollfernschreiber	10/11/12	
6	(Lochstreifenleser)	15	
7	(Lochstreifenstanzer)	18	
.		.	
.		.	
i		3(i-1)	
.		.	
.		.	
12(28)		33(81)	

Abb. 1-75 Adressen der Festzellen für alle Ebenen

In den Festzellen kann ein Sprungbefehl abgelegt werden, da nur der Adreßteil überschrieben wird. In der jeweils folgenden Zeile steht ein Sprungbefehl in das der Ebene zugeordnete Unterprogramm.

Nach der Abarbeitung des Unterprogramms kann wieder in das unterbrochene Programm zurückgesprungen werden.

Der letzte Befehl des Unterprogramms ist bei den Ebenen 3÷12÷28 eine Sprunganweisung in die der Festzelle vorangehende Speicherzelle. Dort ist der VM L M-Befehl abgelegt, der das Rücksetzen des Sperrflipflops FFU3 veranlaßt. Der folgende Befehl (der in der Festzelle steht) ist der Rücksprung in das unterbrochene Programm.

In der Ebene 2 wird die Sperre FFU2 durch den RKK - E/A-Befehl aufgehoben, der als vorletzter Befehl im Unterprogramm der Ebene 2 steht. Durch den darauffolgenden Befehl wird in die Festzelle selbst zurückgesprungen.

Falls noch Unterbrechungswünsche anliegen, werden diese nach ihrem Vorrang abgearbeitet. Liegen keine Unterbrechungswünsche mehr an, wird das unterbrochene Programm fortgesetzt.

1. 7. 2.
Ausführung

(Siehe hierzu Flußdiagramm, Abb. 1-77 a und Abb. 1-77 b).

ERKLAERUNGEN ZUR PROGRAMMUNTERBRECHUNG

FLIP-FLOPS

FHU1 ANMELDE-FF FUER UNTERBRECHUNG AUF EBENE 1

FHU2 ANMELDE-FF FUER UNTERBRECHUNG AUF EBENE 2

FHU3 ANMELDE-FF FUER UNTERBRECHUNG AUF EBENE 3

•
•
•

FHU12 ANMELDE-FF FUER UNTERBRECHUNG AUF EBENE 12

•
•
•

FHU27 ANMELDE-FF FUER UNTERBRECHUNG AUF EBENE 27

FHU28 ANMELDE-FF FUER UNTERBRECHUNG AUF EBENE 28

FSU1 AUSWERTE-FF FUER UNTERBRECHUNG AUF EBENE 1

FSU2 AUSWERTE-FF FUER UNTERBRECHUNG AUF EBENE 2

FSU3 AUSWERTE-FF FUER UNTERBRECHUNG AUF EBENE 3

•
•
•

FSU12 AUSWERTE-FF FUER UNTERBRECHUNG AUF EBENE 12

•
•
•

FSU27 AUSWERTE-FF FUER UNTERBRECHUNG AUF EBENE 27

FSU28 AUSWERTE-FF FUER UNTERBRECHUNG AUF EBENE 28

FFU1	SPERR-FF FUER UNTERBRECHUNGS-EBENEN (1-28)
FFU2	SPERR-FF FUER UNTERBRECHUNGS-EBENEN (2-28)
FFU3	SPERR-FF FUER UNTERBRECHUNGS-EBENEN (3-28)

FKF	EA-FEHLER
FSS	SPERR-FF FUER ZEITSCHALTKETTE RK
FSS1	DURCHLAUF-FF }
FSS2	DURCHLAUF-FF }
FSS3	DURCHLAUF-FF } ZEITSCHALTKETTE UB1
FSS4	DURCHLAUF-FF }
FSS5	DURCHLAUF-FF }

FUSP	EA-ABBRUCH BEI UNTERSPANNUNG
FU1	ZEITSCHALTKETTE UB2
FU2	ZEITSCHALTKETTE UB2
M	FF FUER EINGRIFFSSPERRE
RZM	AUFSYNCHR. ZEICHENMELDUNG
U0	STEUER-FF

SIGNALE

SKEA	MELDUNG VON EINGRIFFSWERK
SKM	MELDUNG AN EINGRIFFSWERK

Ein Unterbrechungswunsch SUi, der durch ein internes oder externes Ereignis auf der Ebene i an das Unterbrechungswerk gemeldet wird, wird ohne Zeitbedingung sofort abgespeichert (FHUi = L). Weitere Unterbrechungswünsche SUm auf anderen Ebenen m werden unabhängig vom ersten Unterbrechungswunsch abgespeichert (FHUm = L).

Ist das Unterbrechungswerk (UBW) durch eine vorangegangene Unterbrechung belegt und dadurch das Sperrflipflop FSS für die Ansteuerung der Zeitschaltkette RK (S1A ÷ S5) gesetzt (FSS = L), können die gespeicherten Unterbrechungswünsche nicht weiter verarbeitet werden. Die Wünsche bleiben gespeichert und werden berücksichtigt, wenn das UBW frei ist.

Ist das UBW nicht belegt (FSS = 0), werden in denjenigen Ebenen i, für die ein Unterbrechungswunsch vorliegt, die Ausführungsflipflops FSUi gesetzt. Die Ausgangssignale dieser Flipflops werden zur Unterscheidung von den bisherigen Unterbrechungswünschen Unterbrechungssignale genannt.

FHU1' = SU1 (UNTERSPANNUNG)

FHU2' = SU2 (KI)

FHU3' = SU3

FHU4' = SU4

FHU5' = SU5

FHU6' = SU6

FHU7' = SU7

FHU8' = SU8

FHU9' = SU9

FHU10' = SU10

FHU11' = SU11

FHU12' = SU12

```
FHU13'  = SU13
FHU14'  = SU14
FHU15'  = SU15
FHU16'  = SU16
FHU17'  = SU17
FHU18'  = SU18
FHU19'  = SU19
FHU20'  = SU20
FHU21'  = SU21
FHU22'  = SU22
FHU23'  = SU23
FHU24'  = SU24
FHU25'  = SU25
FHU26'  = SU26
FHU27'  = SU27
FHU28'  = SU28


FSU1'   = TN.(FU2-.FSS-).FHU1
FSU2'   = TN.(FU2-.FSS-).FHU2
FSU3'   = TN.(FU2-.FSS-).FHU3
FSU4'   = TN.(FU2-.FSS-).FHU4
FSU5'   = TN.(FU2-.FSS-).FHU5
FSU6'   = TN.(FU2-.FSS-).FHU6
FSU7'   = TN.(FU2-.FSS-).FHU7
FSU8'   = TN.(FU2-.FSS-).FHU8
FSU9'   = TN.(FU2-.FSS-).FHU9
FSU10'  = TN.(FU2-.FSS-).FHU10
FSU11'  = TN.(FU2-.FSS-).FHU11
FSU12'  = TN.(FU2-.FSS-).FHU12

FSU13'  = TN.(FU2-.FSS-).FHU13
FSU14'  = TN.(FU2-.FSS-).FHU14
FSU15'  = TN.(FU2-.FSS-).FHU15
FSU16'  = TN.(FU2-.FSS-).FHU16
FSU17'  = TN.(FU2-.FSS-).FHU17
FSU18'  = TN.(FU2-.FSS-).FHU18
FSU19'  = TN.(FU2-.FSS-).FHU19
```

```
FSU20'  = TN.(FU2-.FSS-).FHU20
FSU21'  = TN.(FU2-.FSS-).FHU21
FSU22'  = TN.(FU2-.FSS-).FHU22
FSU23'  = TN.(FU2-.FSS-).FHU23
FSU24'  = TN.(FU2-.FSS-).FHU24
FSU25'  = TN.(FU2-.FSS-).FHU25
FSU26'  = TN.(FU2-.FSS-).FHU26
FSU27'  = TN.(FU2-.FSS-).FHU27
FSU28'  = TN.(FU2-.FSS-).FHU28
```

Liegt ein Unterbrechungssignal auf der Ebene 1 an, und ist die Unterbrechungssperre dieser Ebene (FFU1), die eventuell durch eine frühere Unterbrechung gesetzt wurde, gelöscht, wird die Ansteuerung der Zeitschaltkette RK gesperrt (FSS=L), so daß die Abrufphase des nächsten Befehls im laufenden Programm nicht mehr angestoßen werden kann. Das Flipflop FSS wird auch dann gesetzt, wenn ein Unterbrechungssignal auf Ebene 2 anliegt und die Sperrflipflops für diese Ebene (FFU1 und FFU2) nicht gesetzt sind.

Liegen Unterbrechungssignale auf den Ebenen 3÷12÷28 an, und sind diese Ebenen nicht durch FFU1, FFU2 oder FFU3 gesperrt, dann wird ebenfalls das Sperrflipflop FSS gesetzt.

```
FSS'    = TN.FU2.FFU1-.FSU1
         +TN.FU2.FFU2-.FFU1-.FSU2
         +TN.FU2.FFU3-.FFU2-.FFU1-
            .(FSU3 + ... + FSU12)
         +TN.FU2.FFU3-.FFU2-.FFU1-
            .(FSU13 + ... + FSU28)
```

Diese Staffelung der Ebenen 1, 2 und 3 ist notwendig, damit sich bei einer Unterbrechung auf einer Ebene i (i = 3÷12÷28) zwar kein erneutes Unterbrechungssignal auf einer dieser Ebenen auswirken kann, aber trotzdem noch das UBW auf den Ebenen 1 und 2 ansprechbar ist. Bei einer vorhandenen Unterbrechung auf Ebene 2 kann sich nur noch ein Unterbrechungssignal der Ebene 1 auswirken.

Die Vorrangentscheidung der Ebenen erfolgt nun so, daß die Ebene mit dem kleinsten Zahlenwert von i, auf der ein Unterbrechungssignal anliegt, ausgewählt wird. Diese Ebene j ($j = i_{min}$) hat Vorrang und wird als erste berücksichtigt.

Ist eine Befehlsausführung in dem laufenden Programm beendet (R 1A· $\overline{RSB}$· $\overline{R0}$ = L) und die nächste Ansteuerung der Zeitschaltkette RK durch FSS=L gesperrt, so wird die Zeitschaltkette UB1 des UBW (FSS1÷FSS5) angestoßen, die parallel zur anderen Zeitschaltkette UB2 des UBW (FU1, FU2) läuft.

Bis zu diesem Zeitpunkt arbeitet das UBW parallel zum laufenden Programm; erst durch die SperreFSS=L steuert allein das UBW den weiteren Ablauf.

Nachdem das Sperrflipflop FSS gesetzt ist, kann noch durch das gesetzte Merklicht M das Anlaufen der Zeitschaltkette UB1 verhindert werden, wenn eine Unterbrechung auf den Ebenen 3÷12÷28 vorliegt und kein Signal auf den Ebenen 1 oder 2 anliegt. In diesem Fall wird das Steuerflipflop U0 gesetzt. Dieses löscht das Flipflop FSS; damit kann zur Abarbeitung des nächsten Befehls des unterbrochenen Programms mit R0 = 0 in die Abrufphase gesprungen werden.

Da die Unterbrechungswünsche weiterhin anliegen, wird gleichzeitig das Unterbrechungsprogramm erneut durchlaufen.

Ist die Zeitschaltkette UB1 angelaufen, kann sie erst dann erneut angestoßen werden, wenn sie vollständig abgelaufen ist.

```
FU1'     = TN.FU2-

FU1-'    = TN.FU2

FU2'     =  T.FU1

FU2-'    =  T.FU1-

FSS1'    = T.FSS.(R1A.RSB-.R0-).(M-.FFU3-
               + FSU1 + FSU2).FSS2-.FSS3-

FSS1-'   =  T.FSS2

FSS2'    = TN.FSS1

FSS2-'   = TN.FSS3

FSS3'    =  T.FSS2.FSS4

FSS3-'   =  T.FSS5

FSS5'    = TN.FSS3

FSS5-'   = TN.FSS3-

U0'      = T.FSS.(R1A.RSB-.R0-).(M-.FFU3-
               + FSU1 + FSU2)-.FSS2-.FSS3-

FSS-'    = TN.FU2-.U0

U0-'     =  T.FU1.FSS-
```

1.7.2.1.
Ablauf der Zeitschaltkette UB1

FSS1: Im Rechner wird ein definierter Anfangszustand hergestellt (DOC, DON, AB11). [Der Befehlszähler stand wird durch die Schaltwelle NF in das N- (Adress-)Register transportiert. Zugleich wird der Befehlszählerstand in das zugehörige Hilfsregister G übernommen (GF) und mit FZ1 die Erhöhung des Zählerstandes um 1 vorbereitet. Diese Vorgänge werden durch die Schaltwelle AB11 ausgelöst, sind aber für das UBW ohne Bedeutung.]

```
DOC,DON,AB11          = TN.FSS1

FC-',FI-',FK-',FL-',
FU-',FZ-',FZ1'FKF-',
FPE-',FPE1-',FSP-',
FF1-',FF2-',FF3-',
FF4-',FF5-',RA',
RAR-',RB-',RC-',RD-',
RE-',RO1-',RSP-',
RZM-',GF,NF           = AB11
```

Liegt ein Unterbrechungssignal auf Ebene 4 vor (und auf den Ebenen 1 ÷ 3 kein Unterbrechungssignal), so wird an das Eingriffswerk gemeldet, daß das Eingriffswort abgespeichert werden kann (SKM). Die Zeitschaltkette UB 1 wird jetzt bei dem Zeitintervall FSS2 so lange aufgehalten, bis vom Eingriffswerk die Rückmeldung erfolgt ist, daß das Eingriffswort abgespeichert worden ist (SKEA). Erst nach dieser Meldung kann die Zeitschaltkette mit FSS 3 weitergeführt werden.

Ohne Unterbrechungssignal auf Ebene 4 läuft die Zeitschaltkette UB1 mit normalem Ablauf weiter (ohne Wartetakte bei FSS2).

```
SKM                   = TN.FSS1.(FSU4.FSU3-
                          .FSU2-.FSU1-)

FSS4'                 =    FSS1.(FSU4.FSU3-
                          .FSU2-.FSU1-)-
                       + SKEA
```

FSS2: In das D-Register wird der Operationscode für den Unterprogrammsprung (SU) eingeschrieben.

```
D1',D3',D4'           =  T.FSS2
```

Liegt auf Ebene 1 ein Unterbrechungssignal vor, so werden jetzt durch das Sperrflipflop FFU1 alle Ebenen gegen weitere Unterbrechungen gesperrt.

Bei einem Unterbrechungssignal auf Ebene 2 werden die Ebenen 2 ÷ 12 ÷ 28 durch das Sperrflipflop FFU2 gegen weitere Unterbrechungen gesperrt. Nur auf der übergeordneten Ebene 1 kann dann noch das Unterbrechungswerk beeinflußt werden.

Unterbrechungssignale auf den Ebenen 3 ÷ 12 ÷ 28 setzen die Unterbrechungssperren FFU3 und M, die diese Ebenen gegen weitere Unterbrechungen sperren. Die Ebenen 1 und 2 werden hierdurch nicht beeinflußt; auf diesen Ebenen kann das Programm weiterhin unterbrochen werden.

```
FFU1'       = T.FSS2.FSU1 + Z3

FFU1        = ZEITGLIED 50 MIKROSEC.

FFU2'       = T.FSS2.FSU2.FSU1-

FFU2-'      = ZEITGLIED (= 10 MIKROSEC.)
              ABGELAUFEN

FFU3',M'    = T.FSS2.FSU2-.FSU1-
```

1.7.2.2.
Setzen der Sperren M und FFU3 durch VM-Befehl

Die Ebenen 3 ÷ 12 ÷ 28 lassen sich nicht nur intern, sondern auch extern durch einen VM S M - (VM I M-, SM-) Befehl sperren. Durch diesen Befehl wird das Merklicht M gesetzt; ein auf den Ebenen 3 ÷ 12 ÷ 28 anliegendes Unterbrechungssignal setzt zwar noch das Sperrflipflop FSS, kann aber nicht mehr die Zeitschaltkette UB 1 anstoßen. Statt dessen wird das Steuerflipflop UO gesetzt, das die Sperre FSS wieder zurücksetzt (siehe oben).

Jetzt kann wieder der nächste Befehl des Programms abgehandelt werden. Hier wird in dem Intervall S1 der Zeitschaltkette RK gleichzeitig zu der Befehlsausführung das Sperrflipflop FFU3 gesetzt (da das Merklicht M gesetzt ist). Durch diese Sperre kann jetzt kein Unterbrechungswunsch auf Ebene 3 ÷ 12 ÷ 28 das UBW beeinflussen.

Das Rücksetzen der Sperre FFU3 geschieht auf analoge Weise. Wenn das Merklicht M zurückgesetzt ist (VM L M -, SM-, VM I M-Befehl), wird die Sperre der Ebenen 3 ÷ 12 ÷ 28 (FFU3) erst während des nächsten Befehls aufgehoben. Somit ist die Sperre nach dem VM L M - (VM I M-, SM-) Befehl noch für den folgenden Befehl wirksam.

```
FFU3'       = S1.M

FFU3-'      = S1.M-
```

Zu dem Code des SU-Befehls wird die Adresse ADR der zu der jeweilig angesprochenen Ebene j zugehörigen Festzelle rechtsbündig in das D-Register eingeschrieben. Diese Adresse ist abhängig von der bearbeiteten Unterbrechungsebene und wird folgendermaßen berechnet:

ADR = 1 für Ebene 1
ADR = 3·(j - 1) für Ebene j
(j = 3 ÷12 ÷ 28)

Das Anmeldeflipflop FHU j der ausgewählten Ebene j wird zurückgesetzt (FHUj = 0).

```
ABKUERZUNG: ANSTELLE VON FSUI WIRD IN DEN
FOLGENDEN GLEICHUNGEN NUR I VERWENDET.

AUSSERDEM GILT FOLGENDE ABKUERZUNG:


A = (10-.9-.8-.7-.6-).(5-.4-.3-.2-.1-)
    .11-.12-


B = 13-.14-.15-.16-.17-.18-.19-.20-


FHU1-',D24'           = T.FSS2.1

FHU2-',D24',D23'      = T.FSS2.2.1-

FHU3-',D23',D22'      = T.FSS2.3.2-.1-

FHU4-',D24',D21'      = T.FSS2.4.(3-.2-.1-)

FHU5-',D22',D21'      = T.FSS2.5.4-
                          .(3-.2-.1-)

FHU6-',D24',D23',
       D22',D21'      = T.FSS2.6
                          .(5-.4-.3-.2-.1-)

FHU7-',D23',D20'      = T.FSS2.7.6-
                          .(5-.4-.3-.2-.1-)

FHU8-',D24',D22',D20'= T.FSS2.8.7-.6-
                          .(5-.4-.3-.2-.1-)

FHU9-',D21',D20'      = T.9.(FSS2.8-.7-.6-)
                          .(5-.4-.3-.2-.1-)

FHU10-',D24',D23',
        D21',D20'     = T.10.9-
                          .(FSS2.8-.7-.6-)
                          .(5-.4-.3-.2-.1-)

FHU11-',D23',D22',
        D21',D20'     = T.FSS2.11
                          .(10-.9-.8-.7-.6-)
                          .(5-.4-.3-.2-.1-)

FHU12-',D24',D19'     = T.FSS2.12.11-
                          .(10-.9-.8-.7-.6-)
                          .(5-.4-.3-.2-.1-)
```

```
FHU13-',D22',D19'     = T.FSS2.13.A

FHU14-',D24',D23',
       D22',D19'      = T.FSS2.14.13-.A

FHU15-',D23',D21',
       D19'           = T.FSS2.15
                          .(14-.13-.A)

FHU16-',D24',D22',
       D21',D19'      = T.FSS2.16.15-
                          .(14-.13-.A)

FHU17-',D20',D19'     = T.FSS2.17
                          .(16-.15-.14-.13-.A)

FHU18-',D24',D23',
       D20',D19'      = T.FSS2.18.17-
                          .(16-.15-.14-.13-.A)

FHU19-',D23',D22',
       D20',D19'      = T.19.(FSS2.18-.17-)
                          .(16-.15-.14-.13-.A)

FHU20-',D24',D21',
       D20',D19'      = T.20.19-
                          .(FSS2.18-.17-)
                          .(16-.15-.14-.13-.A)

FHU21-',D22',D21',
       D20',D19'      = T.FSS2.21.A.B

FHU22-',D24',D23',
  D22',D21',D20',D19'= T.FSS2.22.(21-.A.B)

FHU23-',D23',D18'     = T.FSS2.23.22-
                          .(21-.A.B)

FHU24-',D24',D22',
       D18'           = T.FSS2.24
                          .(23-.22-.21-.A.B)

FHU25-',D21',D18'     = T.FSS2.25.24-
                          .(23-.22-.21-.A.B)

FHU26-',D24',D23',
       D21',D18'      = T.26.(FSS2.25-.24-)
                          .(23-.22-.21-.A.B)

FHU27-',D23',D22',
       D21',D18'      = T.27.26-
                          .(FSS2.25-.24-)
                          .(23-.22-.21-.A.B)

FHU28-',D24',D20',
       D18'           = T.28.27-.26-
                          .(FSS2.25-.24-)
                          .(23-.22-.21-.A.B)
```

FSS3: Durch die Schaltwelle CD wird das Befehlswort des SU - Befehls aus dem D-Register in das C-Register zur Entschlüsselung eingeschrieben. Gleichzeitig werden das Flipflop RSP zur Speicheransteuerung und das Flipflop RO (Operanden holen) gesetzt. Ebenfalls werden sämtliche Ausführungsflipflops FSUi (i = 1 ÷ 12 ÷ 28) gelöscht.

```
CD,RO',RSP'                    = TN.FSS3

FSU1-',FSU2-',FSU3-',
FSU4-',FSU5-',FSU6-'           = TN.FSS3

FSU7-',FSU8-',FSU9-',
FSU10-',FSU11-',FSU12-'        = TN.FSS3

FSU13-',FSU14-',FSU15-',
FSU16-',FSU17-',FSU18-',
FSU19-',FSU20-'                = TN.FSS3

FSU21-',FSU22-',FSU23-',
FSU24-',FSU25-',FSU26-',
FSU27-',FSU28-'                = TN.FSS3
```

FSS5: Das Sperrflipflop FSS für die Ansteuerung der Zeitschaltkette RK wird zurückgesetzt (FSS = O), und damit kann mit RO = L und RSP = L in die Abrufphase gesprungen werden.

```
FSS-',FSS4-'          =  T.FSS5
```

Damit ist die eigentliche Aufgabe des Unterbrechungswerks beendet, und die Regie wird dem Unterprogramm übertragen, das über dem Unterprogrammsprung vom UBW angesteuert wurde.

1.7.2.3. Besonderer Ablauf beim E/A-Befehl des Rechnerkernkanals

Bei der Ein- und Ausgabe (KO) aktiviert der Rechner durch RAR das adressierte Peripheriegerät und wartet auf die Zeichenmeldung ZM des Gerätes, daß das Gerät Daten aufnehmen, bzw. abgeben kann. Während dieser Zeit wartet der Rechner in einer Warteschleife zwischen S1 und S2.

Außerdem kann bei der Mehrwort - E/A nicht nur die Warteschleife, sondern auch der Befehl selbst sehr lange dauern.

Tritt jetzt im Rechner Unterspannung auf (FSU1 = L), kann nicht in das normale Abschaltprogramm der Unterbrechungsebene 1 gesprungen werden, da die Bedingung

$R\,1A \cdot \overline{RSB} \cdot \overline{RO} = L$

nicht erfüllt ist.

Bei E/A - Verkehr und gesetztem Flipflop FSU1 wird daher im Zeitintervall S2 das Flipflop FUSP gesetzt. In dem nun folgenden Zeitintervall S1 erzeugt sich der Rechner selbst die Zeichenmeldung (RZM), die er an sich vom Gerät erwartet hatte und verläßt deswegen die Warteschleife S1, S2. Gleichzeitig wird das Flipflop FKF gesetzt. Jetzt kann nach einigen weiteren Schritten (siehe E/A - Verkehr) in das normale Abschaltprogramm der Ebene 1 gesprungen werden.

GLEICHUNGEN FUER ABBRUCH EA-VERKEHR

BEI UNTERSPANNUNG

FUSP-' = NORM

FUSP' = S2.KO.RAR.FSU1

RZM',FKF' = FUSP.S1

1.7.2.4.
Abrufphase (RO = L)

S1A: Zum Holen des Inhalts der nächsten Speicherzelle wird deren Adresse (Sprungadresse des SU-Befehls, also abhängig von der Vorrangentscheidung des UBW erzeugte Adresse ADR der Festzelle) aus dem D-Register in das N - (Adreß-) Register übernommen. Der Speicher wird belegt und der Sklave zu RO, das Flipflop RO1, gesetzt.

RO1',ND = AB12 = S1A.RO

RLB' = S1A

S2A: Das Flipflop RSB (Speicher belegt), der zugehörige Sklave RSB1 und das Flipflop FSP, welches das Überschreiben des D-Registers vorbereitet, werden gesetzt. Die adressierte Festzelle wird gleichzeitig ausgelesen. Erst wenn das Vorrangwerk vom Speicher die Speicherwortmeldung erhalten hat und damit der Auslesevorgang beendet ist (RLB wird zurückgesetzt), wird die mit dem Rechnertakt periodische Wiederholung des Intervalles S2A abgebrochen und nach S3A weitergeschaltet. Zum letzten Intervall S2A steht der gewünschte Speicherinhalt im D-Register bereit.

RSB',RSB1' = AB21 = S2A.RLB

FSP' = AB22 = S2A.RSP

Wegen FSP = L wird ab Intervall S2A gleichzeitig und ohne Zeitbedingung der Inhalt des N- (Adreß-) Registers durch GN in das Befehlszähler-Hilfsregister überschrieben (im Adreßregister steht zu diesem Zeitpunkt die Adresse ADR der ausgewählten Festzelle des Unterbrechungswerks). Gleichzeitig wird der Inhalt des Befehlszählers durch DF, DON rechtsbündig in das D-Register übernommen.
(Wenn U die Adresse ist, bei der das laufende Programm unterbrochen wurde, steht zu diesem Zeitpunkt U + 1 im Befehlszähler, dieses ist die Rücksprungadresse für den Fortgang des unterbrochenen Programms nach Durchlaufen des Unterprogramms).

Während des Zeitintervalls S2A (mit periodischer Wiederholung bis zum Löschen von RLB) wird durch den Lese-Halbzyklus der Inhalt der angesprochenen Festzelle (meist S OU) in das D-Register gebracht. Mit ZZ13 wird aber, wie bereits oben beschrieben, der Adreßteil dieses Befehls sofort durch den Inhalt des Befehlszählers überschrieben.

Auf diese Weise wird hier zugleich vom Speicher wie auch vom Akku her in das D-Register Information übertragen. Das Übertragen vom Speicher her während der Intervalle S2A dauert so lange, bis RLB vom Vorrangwerk gelöscht wird. Anschließend wird nach S3A fortgeschaltet; das Überschreiben vom Akku her steht noch länger an, da FSP erst in S2 zurückgesetzt wird.

Am Ende dieser Doppelansteuerung des D-Registers stehen dort somit der Op. - Teil der ausgelesenen Festzelle (S) und der vom Akku her überschriebene Adreßteil (U + 1); dieser Inhalt des D-Registers gelangt durch den Schreiben-Halbzyklus, den die Speicherablaufsteuerung anschließend intern und selbsttätig abwickelt, schließlich in die adressierte Festzelle.

GN•DF•DON = ZZ13 = FSP•SU0

SU0 = SU•R01

S3A: Das Flipflop RSF wird zurückgesetzt und anschließend mit RO1 = L in die Ausführungsphase gesprungen.

RSF-' = S3A

1.7.2.5.
Ausführungsphase

Ausführungsphase (RO = L)

S1: Leerintervall

S2: Das Flipflop FSP wird zurückgesetzt, wodurch das Überschreiben des D-Registers beendet wird.

S3: Leerintervall

S4: Leerintervall

S5: Das Flipflop RO wird gelöscht. Die zuvor vom N- ins G-Register überschriebene Adresse ADR der Festzelle wird um 1 erhöht und in den Befehlszähler F geschrieben.

RSP' = S2.C01
.(C1- + C2-)

R1A',R0-',EG,E0 = ZZ36 = S5.C01

C01 = C3.C4

Mit der um 1 erhöhten Adresse wird dann in der sich anschließenden Abrufphase (RO = O, Lesen des nächsten Befehls) der nächste Befehl (Sprung in das der jeweiligen Unterbrechungsebene zugeordnete Unterprogramm) adressiert.

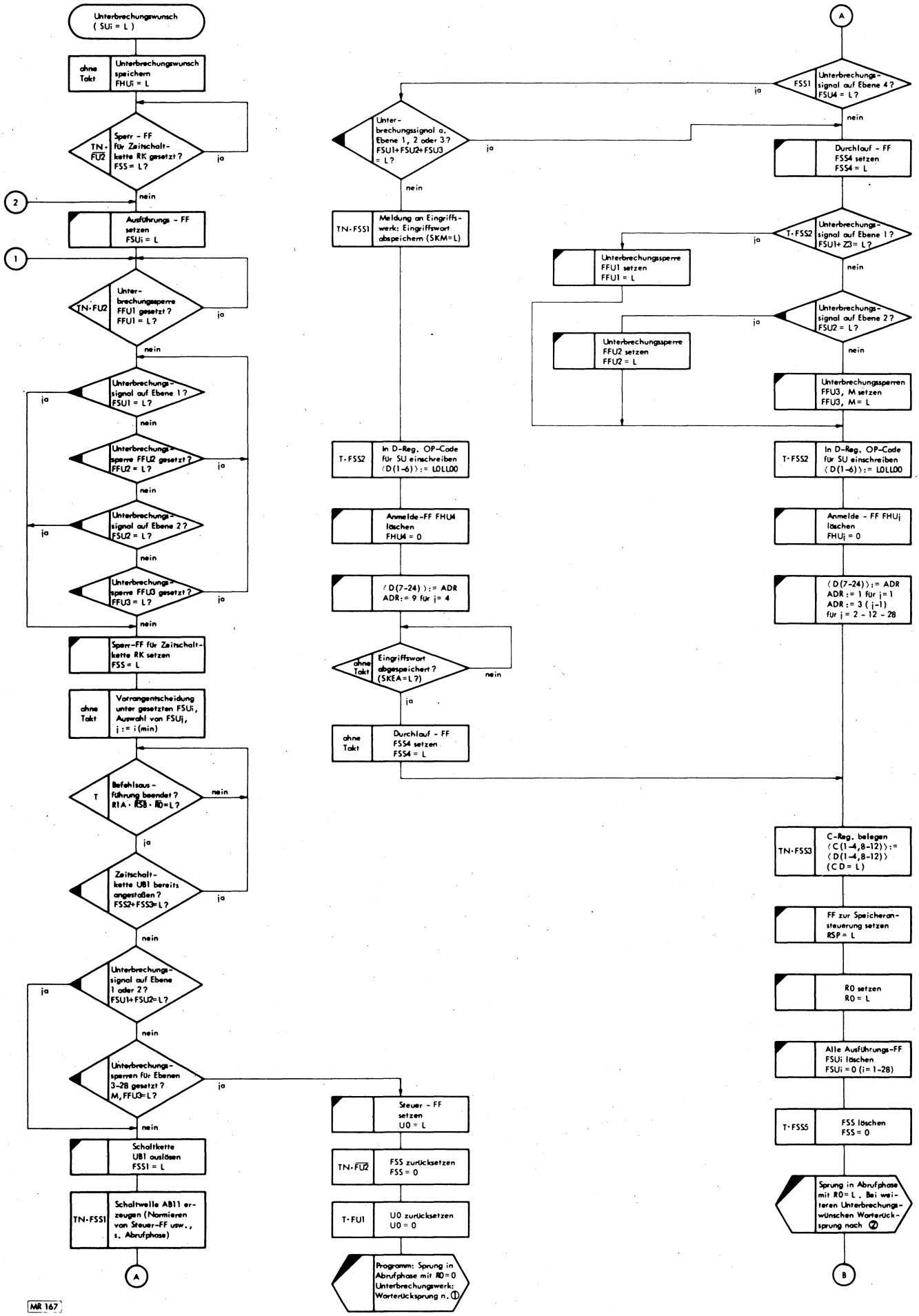
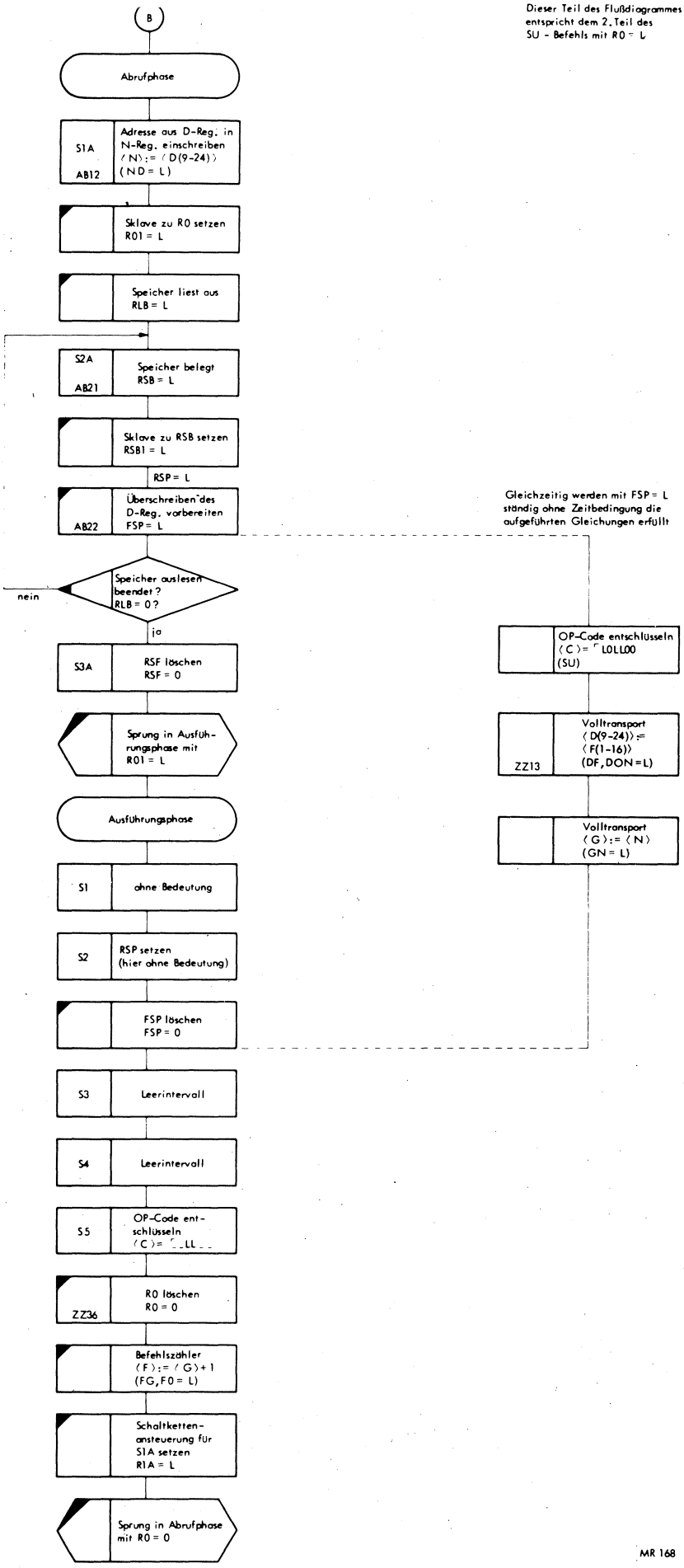
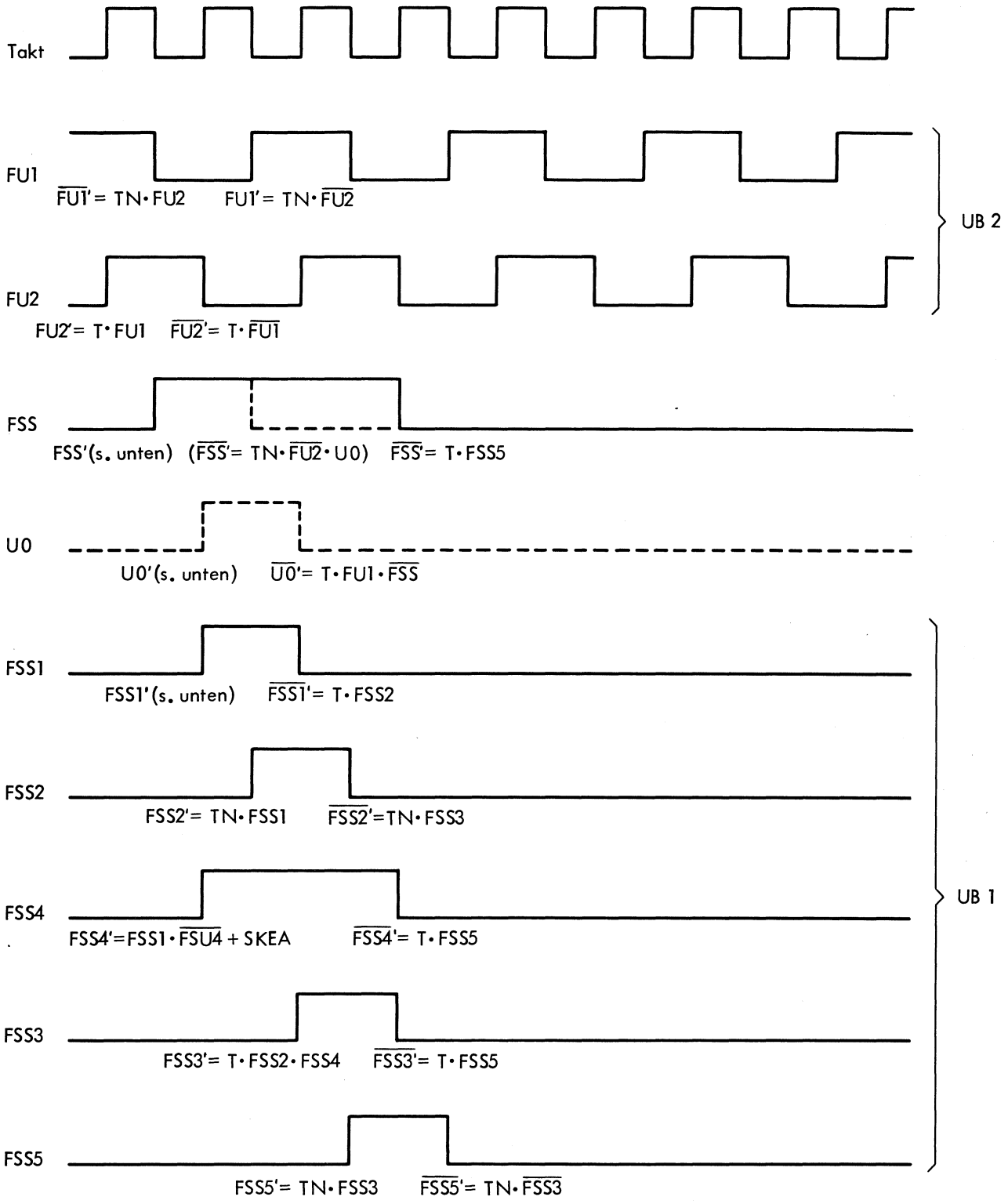


Abb. 1-76 TR 86 Unterbrechungswerk Flußdiagramm



Dieser Teil des Flußdiagrammes entspricht dem 2. Teil des SU - Befehls mit R0 = L

Abb. 1-77 TR 86 Unterbrechungswerk Flußdiagramm



$$FSS' = TN \cdot FU2 \cdot [\ \overline{FFU1} \cdot FSU1 + \overline{FFU2} \cdot \overline{FFU1} \cdot FSU2 + \overline{FFU3} \cdot \overline{FFU2} \cdot \overline{FFU1} \cdot (FSU3 + \ldots + FSU12 + \ldots + FSU28)\ ]$$

$$U0' = T \cdot FSS \cdot (R1A \cdot \overline{RSB} \cdot \overline{R0}) \cdot \overline{(\overline{M} \cdot \overline{FFU3} + FSU1 + FSU2)} \cdot \overline{FSS2} \cdot \overline{FSS3}$$

$$FSS1' = T \cdot FSS \cdot (R1A \cdot \overline{RSB} \cdot \overline{R0}) \cdot (\overline{M} \cdot \overline{FFU3} + FSU1 + FSU2) \cdot \overline{FSS2} \cdot \overline{FSS3}$$

MR 169

Abb. 1-78 TR 86 Unterbrechungswerk Zeitschaltkette UB1, UB2

1.7.2.6.
Mikroprogramm-
gleichungen des
Unterbrechungs-
werks

ERKLAERUNGEN ZUR PROGRAMMUNTERBRECHUNG
==========

FLIP-FLOPS

FHU1 ANMELDE-FF FUER UNTERBRECHUNG
AUF EBENE 1

FHU2 ANMELDE-FF FUER UNTERBRECHUNG
AUF EBENE 2

FHU3 ANMELDE-FF FUER UNTERBRECHUNG
AUF EBENE 3

•
•
•

FHU12 ANMELDE-FF FUER UNTERBRECHUNG
AUF EBENE 12

•
•
•

FHU27 ANMELDE-FF FUER UNTERBRECHUNG
AUF EBENE 27

FHU28 ANMELDE-FF FUER UNTERBRECHUNG
AUF EBENE 28

FSU1	AUSWERTE-FF FUER UNTERBRECHUNG AUF EBENE 1
FSU2	AUSWERTE-FF FUER UNTERBRECHUNG AUF EBENE 2
FSU3	AUSWERTE-FF FUER UNTERBRECHUNG AUF EBENE 3
•	
•	
•	
FSU12	AUSWERTE-FF FUER UNTERBRECHUNG AUF EBENE 12
•	
•	
•	
FSU27	AUSWERTE-FF FUER UNTERBRECHUNG AUF EBENE 27
FSU28	AUSWERTE-FF FUER UNTERBRECHUNG AUF EBENE 28
FFU1	SPERR-FF FUER UNTERBRECHUNGS-EBENEN (1-28)
FFU2	SPERR-FF FUER UNTERBRECHUNGS-EBENEN (2-28)
FFU3	SPERR-FF FUER UNTERBRECHUNGS-EBENEN (3-28)
FKF	EA-FEHLER
FSS	SPERR-FF FUER ZEITSCHALTKETTE RK
FSS1	DURCHLAUF-FF }
FSS2	DURCHLAUF-FF }
FSS3	DURCHLAUF-FF } ZEITSCHALTKETTE UB1
FSS4	DURCHLAUF-FF }
FSS5	DURCHLAUF-FF }

FUSP	EA-ABBRUCH BEI UNTERSPANNUNG
FU1	ZEITSCHALTKETTE UB2
FU2	ZEITSCHALTKETTE UB2
M	FF FUER EINGRIFFSSPERRE
RZM	AUFSYNCHR. ZEICHENMELDUNG
U0	STEUER-FF

SIGNALE

SKEA	MELDUNG VON EINGRIFFSWERK
SKM	MELDUNG AN EINGRIFFSWERK

FHU1' = SU1 (UNTERSPANNUNG)

FHU2' = SU2 (KI)

FHU3' = SU3

FHU4' = SU4

FHU5' = SU5

FHU6' = SU6

FHU7' = SU7

FHU8' = SU8

FHU9' = SU9

FHU10' = SU10

FHU11' = SU11

FHU12' = SU12

FHU13' = SU13

FHU14' = SU14

FHU15' = SU15

FHU16' = SU16

FHU17' = SU17

FHU18' = SU18

FHU19' = SU19

FHU20' = SU20

FHU21' = SU21

FHU22' = SU22

FHU23' = SU23

FHU24' = SU24

FHU25' = SU25

FHU26' = SU26

FHU27' = SU27

FHU28' = SU28

```
FSU1'    = TN.(FU2-.FSS-).FHU1
FSU2'    = TN.(FU2-.FSS-).FHU2
FSU3'    = TN.(FU2-.FSS-).FHU3
FSU4'    = TN.(FU2-.FSS-).FHU4
FSU5'    = TN.(FU2-.FSS-).FHU5
FSU6'    = TN.(FU2-.FSS-).FHU6
FSU7'    = TN.(FU2-.FSS-).FHU7
FSU8'    = TN.(FU2-.FSS-).FHU8
FSU9'    = TN.(FU2-.FSS-).FHU9
FSU10'   = TN.(FU2-.FSS-).FHU10
FSU11'   = TN.(FU2-.FSS-).FHU11
FSU12'   = TN.(FU2-.FSS-).FHU12

FSU13'   = TN.(FU2-.FSS-).FHU13
FSU14'   = TN.(FU2-.FSS-).FHU14
FSU15'   = TN.(FU2-.FSS-).FHU15
FSU16'   = TN.(FU2-.FSS-).FHU16
FSU17'   = TN.(FU2-.FSS-).FHU17
FSU18'   = TN.(FU2-.FSS-).FHU18
FSU19'   = TN.(FU2-.FSS-).FHU19
FSU20'   = TN.(FU2-.FSS-).FHU20
FSU21'   = TN.(FU2-.FSS-).FHU21
FSU22'   = TN.(FU2-.FSS-).FHU22
FSU23'   = TN.(FU2-.FSS-).FHU23
FSU24'   = TN.(FU2-.FSS-).FHU24
FSU25'   = TN.(FU2-.FSS-).FHU25
FSU26'   = TN.(FU2-.FSS-).FHU26
FSU27'   = TN.(FU2-.FSS-).FHU27
FSU28'   = TN.(FU2-.FSS-).FHU28
```

```
FSS'     = TN.FU2.FFU1-.FSU1
          +TN.FU2.FFU2-.FFU1-.FSU2
          +TN.FU2.FFU3-.FFU2-.FFU1-
             .(FSU3 + ... + FSU12)
          +TN.FU2.FFU3-.FFU2-.FFU1-
             .(FSU13 + ... + FSU28)

FU1'     = TN.FU2-

FU1-'    = TN.FU2

FU2'     =  T.FU1

FU2-'    =  T.FU1-

FSS1'    = T.FSS.(R1A.RSB-.R0-).(M-.FFU3-
                + FSU1 + FSU2).FSS2-.FSS3-

FSS1-'   =  T.FSS2

FSS2'    = TN.FSS1

FSS2-'   = TN.FSS3

FSS3'    =  T.FSS2.FSS4

FSS3-'   =  T.FSS5

FSS5'    = TN.FSS3

FSS5-'   = TN.FSS3-

U0'      = T.FSS.(R1A.RSB-.R0-).(M-.FFU3-
                + FSU1 + FSU2)-.FSS2-.FSS3-

FSS-'    = TN.FU2-.U0

U0-'     =  T.FU1.FSS-
```

```
DOC.DON.AB11          = TN.FSS1

FC-',FI-',FK-',FL-',
FU-',FZ-',FZ1'FKF-',
FPE-',FPE1-',FSP-',
FF1-',FF2-',FF3-',
FF4-',FF5-',RA',
RAR-',RB-',RC-',RD-',
RE-',R01-',RSP-',
RZM-',GF,NF           = AB11


SKM                   = TN.FSS1.(FSU4.FSU3-
                          .FSU2-.FSU1-)


FSS4'                 =    FSS1.(FSU4.FSU3-
                          .FSU2-.FSU1-)-
                       + SKEA


D1',D3',D4'           =  T.FSS2


FFU1'      = T.FSS2.FSU1 + Z3

FFU1       = ZEITGLIED 50 MIKROSEC.

FFU2'      = T.FSS2.FSU2.FSU1-

FFU2-'     = ZEITGLIED (= 10 MIKROSEC.)
             ABGELAUFEN

FFU3',M'   = T.FSS2.FSU2-.FSU1-


FFU3'      = S1.M

FFU3-'     = S1.M-
```

ABKUERZUNG: ANSTELLE VON FSUI WIRD IN DEN FOLGENDEN GLEICHUNGEN NUR I VERWENDET.

AUSSERDEM GILT FOLGENDE ABKUERZUNG:

```
A = (10-.9-.8-.7-.6-).(5-.4-.3-.2-.1-)
    .11-.12-

B = 13-.14-.15-.16-.17-.18-.19-.20-


FHU1-',D24'            = T.FSS2.1

FHU2-',D24',D23'       = T.FSS2.2.1-

FHU3-',D23',D22'       = T.FSS2.3.2-.1-

FHU4-',D24',D21'       = T.FSS2.4.(3-.2-.1-)

FHU5-',D22',D21'       = T.FSS2.5.4-
                           .(3-.2-.1-)

FHU6-',D24',D23',
       D22',D21'       = T.FSS2.6
                           .(5-.4-.3-.2-.1-)

FHU7-',D23',D20'       = T.FSS2.7.6-
                           .(5-.4-.3-.2-.1-)

FHU8-',D24',D22',D20'= T.FSS2.8.7-.6-
                           .(5-.4-.3-.2-.1-)

FHU9-',D21',D20'       = T.9.(FSS2.8-.7-.6-)
                           .(5-.4-.3-.2-.1-)

FHU10-',D24',D23',
        D21',D20'      = T.10.9-
                           .(FSS2.8-.7-.6-)
                           .(5-.4-.3-.2-.1-)

FHU11-',D23',D22',
        D21',D20'      = T.FSS2.11
                           .(10-.9-.8-.7-.6-)
                           .(5-.4-.3-.2-.1-)

FHU12-',D24',D19'      = T.FSS2.12.11-
                           .(10-.9-.8-.7-.6-)
                           .(5-.4-.3-.2-.1-)
```

```
FHU13-',D22',D19'      = T.FSS2.13.A

FHU14-',D24',D23',
       D22',D19'       = T.FSS2.14.13-.A

FHU15-',D23',D21',
       D19'            = T.FSS2.15
                           .(14-.13-.A)

FHU16-',D24',D22',
       D21',D19'       = T.FSS2.16.15-
                           .(14-.13-.A)

FHU17-',D20',D19'      = T.FSS2.17
                           .(16-.15-.14-.13-.A)

FHU18-',D24',D23',
       D20',D19'       = T.FSS2.18.17-
                           .(16-.15-.14-.13-.A)

FHU19-',D23',D22',
       D20',D19'       = T.19.(FSS2.18-.17-)
                           .(16-.15-.14-.13-.A)

FHU20-',D24',D21',
       D20',D19'       = T.20.19-
                           .(FSS2.18-.17-)
                           .(16-.15-.14-.13-.A)

FHU21-',D22',D21',
       D20',D19'       = T.FSS2.21.A.B

FHU22-',D24',D23',
  D22',D21',D20',D19'= T.FSS2.22.(21-.A.B)

FHU23-',D23',D18'      = T.FSS2.23.22-
                           .(21-.A.B)

FHU24-',D24',D22',
       D18'            = T.FSS2.24
                           .(23-.22-.21-.A.B)

FHU25-',D21',D18'      = T.FSS2.25.24-
                           .(23-.22-.21-.A.B)

FHU26-',D24',D23',
       D21',D18'       = T.26.(FSS2.25-.24-)
                           .(23-.22-.21-.A.B)

FHU27-',D23',D22',
       D21',D18'       = T.27.26-
                           .(FSS2.25-.24-)
                           .(23-.22-.21-.A.B)

FHU28-',D24',D20',
       D18'            = T.28.27-.26-
                           .(FSS2.25-.24-)
                           .(23-.22-.21-.A.B)
```

```
CD,R0',RSP'                    = TN.FSS3

FSU1-',FSU2-',FSU3-',
FSU4-',FSU5-',FSU6-'           = TN.FSS3

FSU7-',FSU8-',FSU9-',
FSU10-',FSU11-',FSU12-'        = TN.FSS3

FSU13-',FSU14-',FSU15-',
FSU16-',FSU17-',FSU18-',
FSU19-',FSU20-'                = TN.FSS3

FSU21-',FSU22-',FSU23-',
FSU24-',FSU25-',FSU26-',
FSU27-',FSU28-'                = TN.FSS3


FSS-',FSS4-'            =  T.FSS5


GLEICHUNGEN FUER ABBRUCH EA-VERKEHR
-----------------------------------
BEI UNTERSPANNUNG
-----------------

FUSP-'      = NORM

FUSP'       = S2.K0.RAR.FSU1

RZM',FKF'   = FUSP.S1


R01',ND                 = AB12 = S1A.R0

RLB'                           = S1A


RSB',RSB1'              = AB21 = S2A.RLB

FSP'                    = AB22 = S2A.RSP


GN,DF,D0N               = ZZ13 = FSP.SU0

                            SU0 = SU.R01


RSF-'                          = S3A


RSP'                           = S2.C01
                                   .(C1- + C2-)

R1A',R0-',FG,F0         = ZZ36 = S5.C01

                            C01 = C3.C4 '
```

Digital – Rechenanlage

TR 86

Unterlagensammlung

Hardware

Zentraler Rechner

2. Auflage

Vervielfältigungen dieser Unterlage sowie Verwendung der Mitteilung ihres Inhalts ist unzulässig, soweit nicht ausdrücklich zugestanden.

Zuwiderhandlungen sind strafbar und verpflichten zu Schadenersatz (Lit UrhG., UWG, BGB).

Alle Rechte für den Fall der Patenterteilung oder GM-Eintragung vorbehalten.

AEG - TELEFUNKEN

ZR

Rückfragen zu diesen Unterlagen, Berichtigungen und Ergänzungen bitte an:

ALLGEMEINE ELEKTRICITÄTS-GESELLSCHAFT
AEG-TELEFUNKEN
Fachbereich Anlagen Informationstechnik
775 Konstanz, Bücklestraße 1 -5
N3/MR/V3

ALLGEMEINE ELEKTRICITÄTS-GESELLSCHAFT
AEG-TELEFUNKEN
Fachbereich Anlagen Informationstechnik
775 Konstanz, Bücklestraße 1-5

Best.Nr. DHB 045 0969

INHALTSVERZEICHNIS Seite

2. 1.	Einführung	2-3
2. 1. 1.	Bezeichnungen	2-3
2. 1. 1. 1.	Baugruppen	2-3
2. 1. 1. 2.	Signale, Signalliste	2-3
2. 1. 2.	Übersicht	2-6
2. 1. 2. 1.	Kenngrößen	2-6
2. 1. 2. 2.	Steckeinheiten	2-7
2. 2.	Funktionsbeschreibung	2-8
2. 2. 1.	Übersicht	2-8
2. 2. 1. 1.	Betriebsarten	2-8
2. 2. 1. 2.	Blockschaltbild eines Moduls	2-10
2. 2. 1. 3.	Impulspläne	2-13
2. 2. 1. 4.	Zusammenspiel zweier Moduln	2-20
2. 2. 2.	Schnittstelle Speicher-Rechner	2-22
2. 2. 2. 1.	Adressen	2-22
2. 2. 2. 2.	Ablaufsteuerung	2-24
2. 2. 2. 3.	Informationsübertragung	2-29
2. 2. 3.	Speicherinterne Systeme	2-32
2. 2. 3. 1.	Treibersysteme	2-32
2. 2. 3. 2.	Lesesystem	2-35
2. 2. 3. 3.	Inhibitsystem	2-36
2. 2. 3. 4.	Dreierprobenprüfung	2-40
2. 3.	Schaltungs- und Bauelementedetails	2-42
2. 3. 0.	Grundschaltungen	2-42
2. 3. 0. 1.	Zeitglied offen	2-42
2. 3. 0. 2.	Zeitglied geschlossen	2-44
2. 3. 0. 3.	Der Balon-Transformator	2-45
2. 3. 0. 4.	Die Pegelwandlerstufe	2-46
2. 3. 0. 5.	Pseudovolltransport	2-47
2. 3. 1.	Beschreibung der AK 2	2-48
2. 3. 2.	Beschreibung der AR 1	2-51
2. 3. 3.	Beschreibung der AS 1	2-52
2. 3. 4.	Beschreibung der IK 2	2-55
2. 3. 5.	Beschreibung der TA 1	2-58
2. 3. 6.	Beschreibung der IA 1	2-61
2. 3. 7.	Beschreibung der ST 1	2-64
2. 3. 8.	Beschreibung der IT 1	2-66
2. 3. 9.	Beschreibung der IV 1	2-69
2. 3. 10.	Die Speicherblock-Steckeinheit	2-77
2. 3. 10. 1.	Aufbau der Speicherblockeinheit	2-77
2. 3. 10. 2.	Aufbau einer Speichermatrix	2-77
2. 3. 10. 3.	Zusammenbau der Matrizen zu Speicherblöcken	2-78
2. 3. 10. 4.	Spezifikation des Speicherblocks	2-78
2. 3. 10. 5.	Verdrahtung des Blocks	2-79
2. 3. 10. 6.	Koordinaten-Entschlüsselung	2-79
2. 3. 10. 7.	Inhibit-Entschlüsselung	2-80
2. 3. 10. 8.	Leseleitungs-Anschluß und -Symmetrierung	2-80

	Abbildungen zu 3. 10.	2-81
2. 3. 11.	Beschreibung der R-DP1	2-92
2. 4.	Prüfmöglichkeiten	2-100
2. 4. 1.	R-AK 2	2-100
2. 4. 2.	R-AS 1	2-100
2. 4. 3.	R-IV 1	2-101
2. 4. 4.	R-ES 1	2-101
2. 4. 5.	R-DP 1	2-102

1.
Einführung

1.1.
Bezeichnungen

1.1.1.
Baugruppen

Speicherkern:	Ferritringkern
Speicher-Matrix:	rechteckige Anordnung von Speicherkernen in einer Ebene
Speicherblockkern:	(SBK) Zusammenschaltung mehrerer Speichermatrizen
Speicherblock-Steckeinheit:	(SB). SBK mit den dazugehörigen Entschlüsselungs- und Lesewicklungsanschlußkarten und der Blockverriegelungsmechanik
Speicher-Modul:	Speichereinheit mit 16 k Adressen und 26 bit (2 SB mit den dazugehörigen Ansteuerkarten)
Steckeinheit:	Kleinste Einheit, die mit einem Stecker oder einer Federleiste mit anderen Einheiten verbunden ist.
Stromversorgung:	STV. Einschub für eine oder mehrere Spannungen. Als Steckeinheit: RL 0,75.

1.1.2.
Signale

Signale werden durch eine Buchstabenfolge bezeichnet; Ziffern nach der Buchstabenfolge bedeuten verschiedene voneinander unabhängige Signale, Ziffern vor der Buchstabenfolge bezeichnen den Modul, zu dem das Signal gehört. Die Modulkennziffer wird in der folgenden Liste nicht geschrieben, "N" vor der Buchstabenfolge bedeutet: negiertes Signal.

"T" bedeutet: Signal nach der Zeitvermaßung (MECL Pegel)
"P" bedeutet: Signal nach Pegelumsetzung (von MECL Pegel auf etwa 15 V Hub)

Das negierte Signal erscheint nur dann in der Signalliste, wenn das nicht invertierte Signal nicht verwendet wird.

Die nachfolgende Signalliste gibt eine alphabetische Aufstellung der im Speicher verwendeten Signale. Bei gleichen, nur durch die Numerierung unterschiedenen Signalen wird in der Spalte "Bezeichnungsbeispiele" jeweils der 1. Signalname aufgeschlüsselt.

Signalliste

Abkürzung	Bezeichnungsbeispiel	Verwendung
A1...A14	Adresse	AR ⟶ TA
ASB 1	Ausbl. Übernahme Inf.	AK ⟶ DP1 AS, JV
ASB 2	Ausbl. Übergabe Inf.	AK ⟶ JV
ASB 3	Ausbl. Übernahme Adr.	AS ⟶ AR
ASB 4	Ausbl. Übernahme Inf.	DP1 ⟶ JV
D1-1...D13-2	Inf.-Bit 1, SB1	JV ⟶ JK
DP	Dreierprobenprüfung	AS ⟶ DP1
DPF	Dreierprobenfehler	DP1 ⟶ AK
DPST	Dreierprobenprüfungsanstoß	AK ⟶ AS
FM	Fertigmeldung	AS ⟶ TA
GS	Dreierprobe (Untersch. Lesen-Schreiben)	AS ⟶ DP1
J1-11...J13-62	Inhibitdrahtanst. Bit 1-Draht 1 SB 1	JT ⟶ JU
JA2,3,7,9,10,14	Inhibitadresse 2	TA ⟶ JA
JX-11...JX-62	Inhibittrennschalteraust.-Schalter 1 SB 1	JA ⟶ IT
KE 1-1...KE 12-1, KE 1-2...KE 12-2	Inform. Kabelempfang Bit 1-SB 1	JK ⟶ JV
KE 13-1, KE 13-2	Inform. Kabelempfang	JK ⟶ DP1
L 1/11...L 13/42	Lesewickl. Anfang Bit 1/Draht 1 SB 1	LA, JU-2 ⟶ JV
L 1/11-...L 13/42	Lesewickl. Ende Bit 1/Draht 1 SB 1	LA, Ju-2 ⟶ JV
NALV 1,2	Abfrage Leseverstärker Ausgang 1	AS ⟶ JV
NE 25,26	Dreierprobenergebnis Bit 25	DP1 ⟶ JV
P1...P4	Dreierprobenprüfkontakt 1	DP1 ⟶ Steckerleiste DP1
PD1-1...PD13-2	Inform. nach Pegelübersetzung Bit 1 - SB 1	JV ⟶ JT, DP1,
PL	Leseimp. n. Pegelübersetz.	AS ⟶ ST
PS	Schreibimp. nach Pegelübersetz.	AS ⟶ ST
PX1,2	Anst. Inh. Stromeinpr. nach Pegelüb. (von 2 versch. JA-Steckeinh.)	JA ⟶ IT
S0	Löschimp. Inform.-Register	AK ⟶ JV
SS	Normierimpuls	AK ⟶ AS
SW 1...SW 14	Adresse vom Rechner	Rechner ⟶ AR

Signalliste Forts.

Abkürzung	Bezeichnungsbeispiel	Verwendung
SW 15 ... SW 16	Moduladresse	Rechner AK
SZ 1...SZ 4	Steuerinform. Eingang	Rechner AK
SZ 6...SZ 8	Steuerinform. Ausgang	AK Rechner
T	Dreierprobenzeitvermaßung	AS DP1
TFM	Fertigmeldung	AS AK
TJ	Anst. Inh. Stromeinpr. Zeitvermaßung	AS → JA
TS	Schreibimpuls, Zeitvermaßung	AS → JA (AS)
TVM	Informationsübergabe Zeitvermaßung	AK → JK
TWM	Speicherwortmeldung, Zeitvermaßung	AS → AK
U1/1...U 13/2	Übertragungsleitung Bit 1/SB1	JK ↔ Rechner
U1/1-...U 13/2-	Übertragungsleitung invers	JK ↔ Rechner
UH	Hilfsspannung	STV → AK
UN	Normierspannung	STV → AK
UR	Referenzspannung	AS → JV
X1, X2	Prüfkontakt an DP1	DP1 → Steckerleiste DP1
X1...X128	Anschluß für Treiberdraht an ES-X	ES-X → SBK
X1L1...X24L2	X-Treiberltg. 1 Leserichtg. SB1	ST → ES-X
X1S1...X24S2	X-Treiberltg. 1 Schreibrichtg. SB1	ST → ES-X
XA1...XA24	X-Trennschalteradressenansteuerung	TA → ST
Y1...Y128	Anschluß für Treiberdraht an ES-Y	ES-X → SBK
Y1L1...Y24L2	Y-Treiberltg. 1 Leserichtg. SB1	ST → ES-Y
Y1S1...Y24S2	Y-Treiberltg. 1 Schreibrichtg. SB1	ST → ES-Y
YA1...YA24	Y-Trennschalteransteuerung	TA → ST
YAL	Speicherzyklus Anstoß	AK → AS
YAS	Speicherzyklus Schreiben Anstoß	AK → AS
YLS	Speicherzyklus Lesen Anstoß	AK → AS
Z1-1...Z13-8	Anschluß für Inhibitdraht an JU	JU → SBK

1.2.
Übersicht

1.2.1.
Kenngrößen

Organisation: 3D

Anzahl der Adressen/Modul : 128 x 128 = 16 384 = 16 K
Ausbaustufen: 32 K
64 K

Anzahl der Information-Bits: 24 Aufteilung
Dreierprobe 2 in 4 Blöcke

Zykluszeit: 900 ns
Zugriffszeit (Betrieb mit 1 Modul): 315 ns

Betriebsarten:
Lesen - Rückschreiben
Löschen - Schreiben
Lesen - Ändern - Schreiben

Netzanschluß: 380 V Drehstrom

Konstruktiver Aufbau: 3 Magazine zu je 34 Kartenpl. für 32k
Abstand zwischen 2 Steckeinheiten
15,2 mm
Steckerleisten 72-polig

Steckeinheitenformat: 210 x 186

1. 2. 2.
Steckeinheiten für
Speicher 32 k/26 b

Lfd. Nr.		Kurzzeichen		Anzahl	Bemerkung
1	Informations-Kabelübertr. -Pl.	R - IK 2	55. 3059. 502-00	2	
2	Adressen-Kabelübertr. -Pl.	- AK 2	. 507-00	1	
3	Informations-Verstärker-Pl.	- IV 1	. 511-00	18	
4	Inhibit-Trennschalter-Pl.	- IT 1	. 516-00	10	
5	Inhibit-Adressen-Anst. -Pl.	- IA 1	. 521-00	2	
6	Stromeinprägungs-Trennsch. -Pl.	- ST 1	. 531-00	12	
7	Trennschalter-Adressen-Anst. -Pl.	- TA 1	. 533-00	2	
8	Adreß-Register-Pl.	- AR 1	. 556-00	2	
9	Speicherablaufsteuerungs-Pl.	- AS 1	. 541-00	2	
10	Entschlüsselungs-Pl.	- ES 1	. 575-00	16	
11	Inhibitübertrager-Pl. 1	- IU 1	. 526-00	12	
12	Inhibitübertrager-Pl. 2	- IU 2	. 546-00	4	
13	Lesewicklungs-Anschluß-Pl.	- LA 1	. 551-00	4	
14	Dreierproben-Pl.	- DP 1	. 561-00	2	
16	Spannungsversorgung -0, 75 V, -1, 5 V	- RL 0, 75	. 328-00	1	
19	Stromversorgung I	STV 1	- 5,5 V	1	
20	Stromversorgung II	STV 2	+ 15 V	1	
21	Stromversorgung IV	STV 3	+ 30 V, -8 V,	1	
22	Stromversorgung IV/Ü	STV 4	überw.	1	

2.
Funktionsbeschreibung

2.1.
Übersicht

2.1.1.
Betriebsarten

Es sind drei Arten von Speicherzyklen zu unterscheiden (siehe Ansteuerliste)

a) Lesen Vollzyklus
b) Schreiben Vollzyklus
c) Lesen Halbzyklus - Schreiben Halbzyklus

a) Lesen Vollzyklus

Beim Anstoß werden Speicheradresse, Moduladresse, AL, AS, LS übernommen.
Die Information wird aus den Kernen ausgelesen, mit NALV abgefragt und im Register gespeichert.
Mit TWM (1) wird die Information und Speicherwortmeldung (sZ6) uebergeben.
Wurde bei der Dreierprobenprüfung ein Fehler festgestellt, wird DPF an den Rechner gegeben. Ist der Zyklus abgelaufen und die Information übergeben, geht FM zum Rechner.

b) Schreiben Vollzyklus

Hier fehlt LS, d.h. die ausgelesene Information wird nicht ins Register übernommen.

c) Lesen Halbzyklus - Schreiben Halbzyklus

Mit der MA und SA liegt noch AL und LS an, die Information wird ausgelesen und in das Register übernommen. Mit UI wird die Information und WM zum Rechner übergeben.
Tritt bei der Dreierprobenprüfung ein Fehler auf, so wird DPF zum Rechner gesendet. Es erfolgt keine Fertigmeldung.

Beim anschließenden Schreiben-Halbzyklus kommt mit der MA noch AS und die neue Information vom Rechner, zwangslaefig erfolgt Dreierprobenbildung
Zyklusende wird mit FM zum Rechner gemeldet.
(1) TWM : Speicherinterne Wortmeldung

Ansteuerliste der Speicher-, Steuer-, Adreß- und Informationssignale

	Rechner - Speicher						Speicher - Rechner			
	AL	LS	AS	MA	SA	I	WM	DPF	FM
	YAL	YLS	YAS	A	A	I	SWM	SDPF	SFM
	SZ1	SZ2	SZ3	SW	SW	SU	SZ6	SZ8	SZ7
Lesen - Vollzyklus	L	L	L	L	L		L L	Lv0	L
Schreiben - Vollzykl.	L	0	L	L	L	L	0	Lv0	L
Lesen - Halbzyklus	L	L	0	L	L		L L	Lv0	0
Schreiben - Halbzykl.	0	0	L	L	0	L	0	Lv0	L

2.1.2.
Blockschaltbild
eines Moduls

Die Information von 26 Bit wird aus Gründen größerer Schnelligkeit in 2 Blöcken zu je 13 Bit gespeichert.

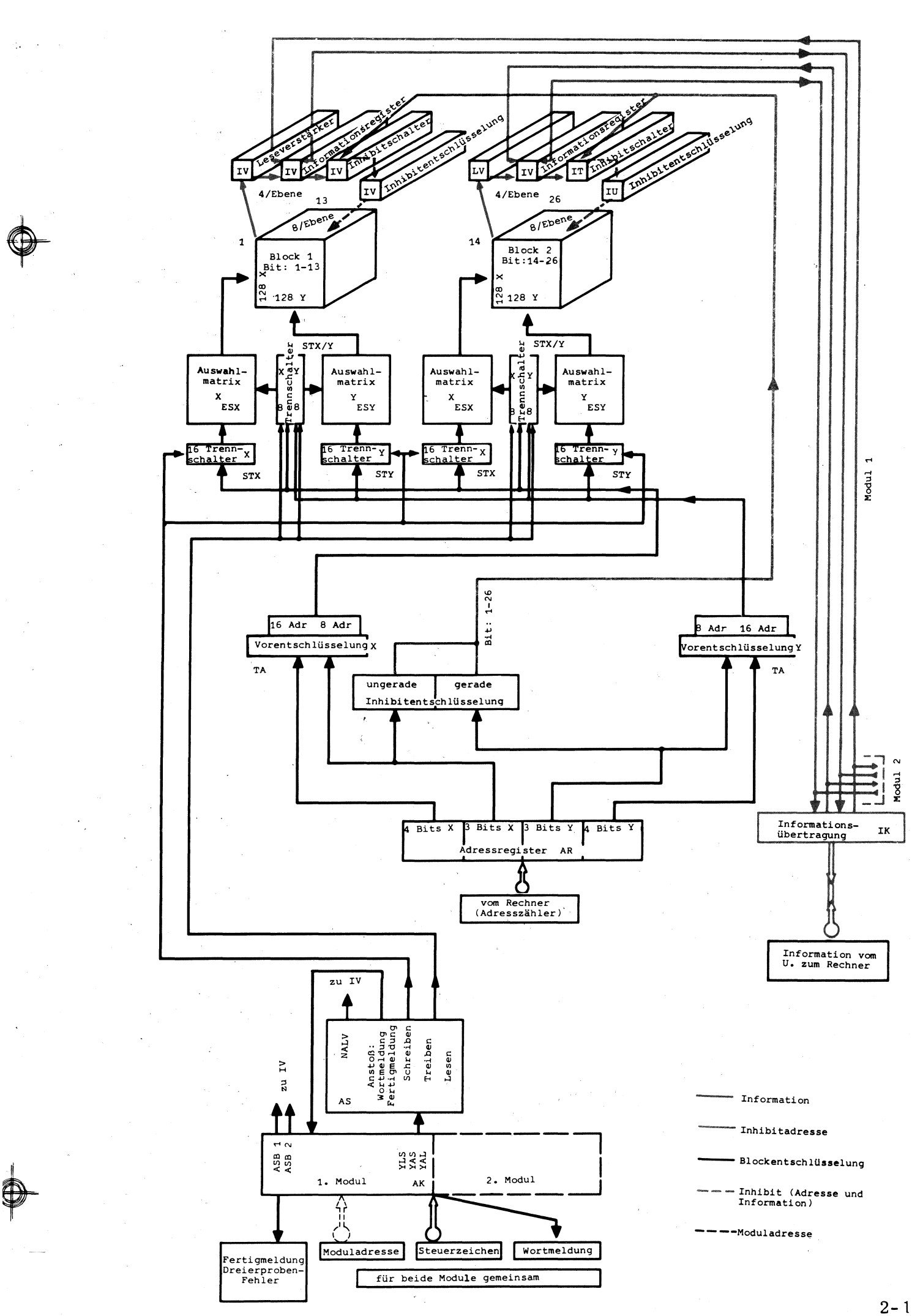
Das Treibersystem ist blau gezeichnet. Die 14 Bit der Blockadresse werden für X und Y in jeweils 3 und 4 Bit aufgeteilt. Damit werden für X und Y 8 und 16 Trennschalter angesteuert, das ergibt auf der Auswahlmatrix 128 Knotenpunkte für eine Blockseite. Die je 8 Trennschalter für X und Y sind auf einer Karte untergebracht. Die Unterscheidung zwischen Lesen und Schreiben wird auf der AS getroffen.

Das Inhibitsystem ist grün gezeichnet. Jeweils 3 Bit der Adresse werden für die Inhibitentschlüsselung verwendet. Da 2 aufeinanderfolgende Ebenen jeweils um 90° gedreht sind, ist abwechselnd die X und die Y Adresse maßgebend. Auf der IT wird die Adresse mit der Information verknüpft.

Das Informationssystem ist rot gezeichnet. Die ausgelesene Information wird auf der IV verstärkt und gespeichert. Die Übertragung von und zum Rechner geschieht über die IK, die für 2 Module verwendet wird.

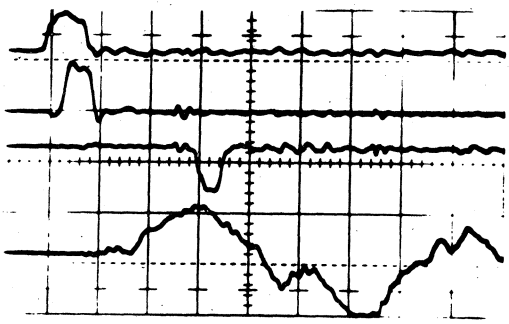
Die Steuerung des Moduls geschieht über die AK. Hier werden die Moduladresse und die Steuerzeichen von und zum Rechner verarbeitet. Den zeitlichen Ablauf regelt die AS.

Die Dreierprobe wird auf der DP 1 gerechnet und ausgewertet und auf der IV gespeichert.

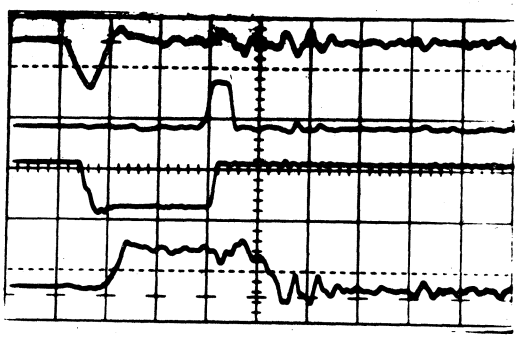

IV
Leseverstärker
Informationsregister
Inhibitschalter
Inhibitentschlüsselung
4/Ebene
13
8/Ebene
1
Block 1
Bit: 1-13
128 X
128 Y
LV
IT
IU
14
Block 2
Bit:14-26
Auswahl-
matrix
X
ESX
Y
ESY
Trennschalter
STX/Y
8
16 Trenn-
schalter
STX
STY
16 Adr 8 Adr
Vorentschlüsselung X
8 Adr 16 Adr
Vorentschlüsselung Y
TA
Bit: 1-26
ungerade
gerade
Inhibitentschlüsselung
4 Bits X
3 Bits X
3 Bits Y
4 Bits Y
Adressregister AR
vom Rechner
(Adresszähler)
Modul 1
Modul 2
Informations-
übertragung
IK
Information vom
U. zum Rechner
zu IV
NALV
Anstoß:
Wortmeldung
Fertigmeldung
Schreiben
Treiben
Lesen
AS
ASB 1
ASB 2
YLS
YAS
YAL
1. Modul
AK
2. Modul
Fertigmeldung
Dreierproben-
Fehler
Moduladresse
Steuerzeichen
Wortmeldung
für beide Module gemeinsam
Information
Inhibitadresse
Blockentschlüsselung
Inhibit (Adresse und
Information)
Moduladresse

2.1.3.
Impulsplan

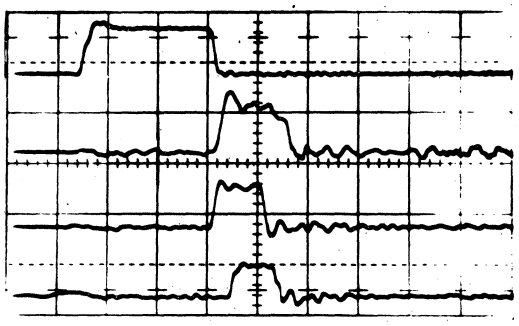
AUSLESEN VON INFORMATION
(PRÜFGERÄT LÄUFT AUF EINER ADRESSE)



	Signalbezeichnung	Meßpunkt	Trigger	Oszillographen-Einstellg.	
1	SZ 2	AK, Stecker 29	SZ 1	0,1 µs/cm	1V/cm
2	YLS	AK, Stecker 22	"	"	"
3	NALV	AS, Meßpunkt	"	"	"
4	Lesesignal (siehe auch Nr. 14)	IV, Meßpunkt	"	"	0,5V/cm

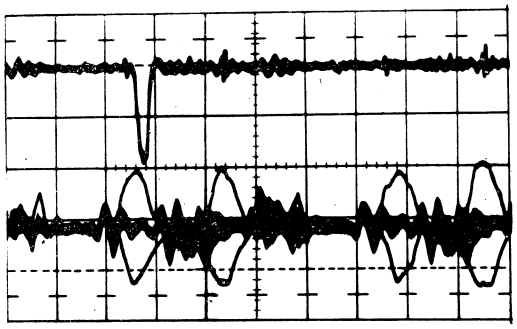


5	S0	IV, Stecker 11	"	"	1V/cm
6	Speicherregister, Ansteuerg. Lesesignal	IV, FS G3/7	"	"	"
7	Speicherregister, Ja -Ausgang	IV, FS G3/5	"	"	"
8	ASB 2	IV, FS G21/5	"	"	"



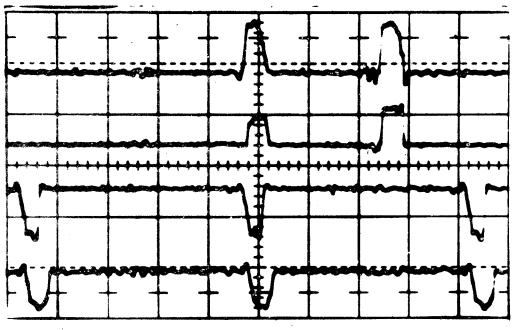
9	Speicherregister Nein-Ausgang	IV, FS G3/4	"	"	"
10	D	IV, Stecker 12	"	"	"
11	NTVM	IK, Stecker 61	"	"	"
12	U	IK, Stecker 46	"	"	"

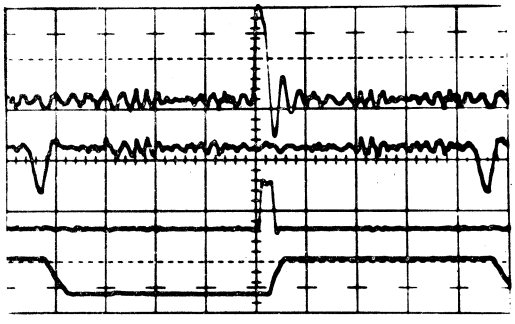
AUSLESEN VON INFORMATION
(PRÜFGERÄT LÄUFT ÜBER ALLE ADRESSEN)



	Signalbezeichnung	Meßpunkt	Trigger	Oszillographen-Einstellg.	
13	NALV	AS, Meßpunkt	SZ 1	0,2 µs/cm	0,5V/cm
14	Lesesignal	IV, Meßpunkt	"	"	"

EINSCHREIBEN VON INFORMATION
(PRÜFGERÄT LÄUFT AUF EINER ADRESSE)

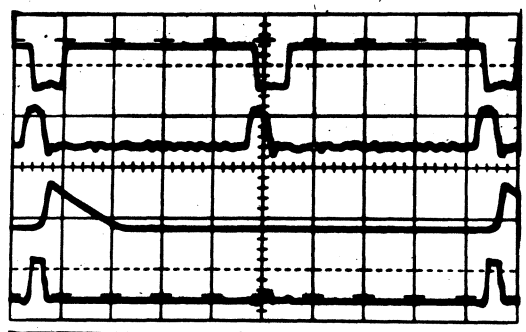


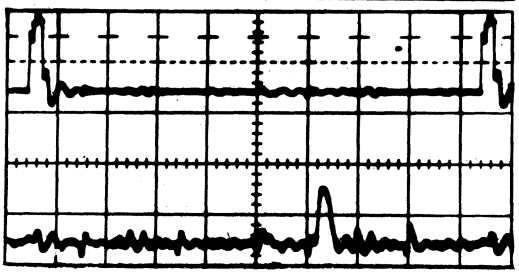


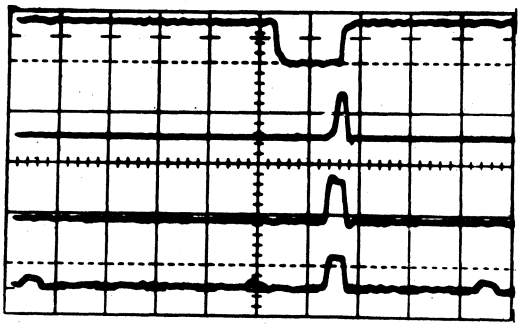
	Signalbezeichnung	Meßpunkt	Trigger	Oszillographen-Einstellg.	
15	SZ 3	AK, Stecker 35	SZ 1	0,2 µs/cm	1V/cm
16	YAS	AK, Stecker 40	"	"	"
17	U	IK, Stecker 55	"	"	"
18	KE	IK, Stecker 57	"	"	"
19	ASB 1	IV, Stecker 16	"	"	"
20	S0	IV, Stecker 11	"	"	"
21	Speicherregister Ansteuerung v. Prüfg.	IV, FS G3/6	"	"	"
22	PD	IV, Stecker 66	"	"	20V/cm

SPEICHERABLAUFSTEUERUNG

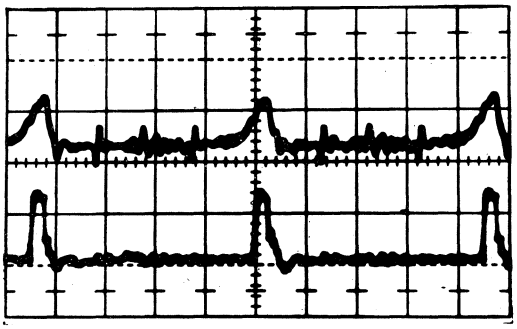
(PRÜFGERÄT LÄUFT AUF EINER ADRESSE)







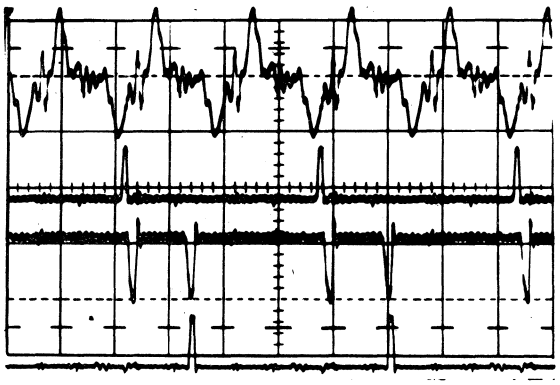
	Signalbezeichnung	Meßpunkt	Trigger	Oszillographen-Einstellg.	
23	Moduladresse	AK, FS C1/5	SZ 3	0,2 µs/cm	1V/cm
24	SZ 3	AK, Stecker 35	"	"	"
25	Zeitglied ASB 1	AK, FS E13/6	"	"	"
26	Zeitglied ASB 1	AK, FS D13/5	"	"	"
27	ASB 1	AK, Stecker 16	"	"	"
28	TWM	AK, Stecker 21	"	"	"
30	ASB 2	AK, Stecker 63	"	"	"
31	Rücksetzimpuls für TWM-Flip-Flop	AK, FS F17/6	"	"	"
32	NTVM	AK, Stecker 34	"	"	"
33	SZ 6	AK, Stecker 31	"	"	"



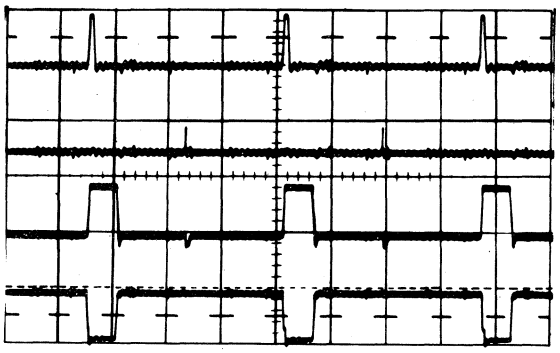
	Signalbezeichnung	Meßpunkt	Trigger	Oszillographen-Einstellg.
34	NTFM	AK, Stecker 7	SZ 3	0,2 µs/cm 1V/cm
35	SZ 7	AK, Stecker 5	"	" 0,5V/cm

SPEICHERREGISTER

(PRÜFGERÄT LÄUFT AUF EINER ADRESSE, L-PROGRAMM)

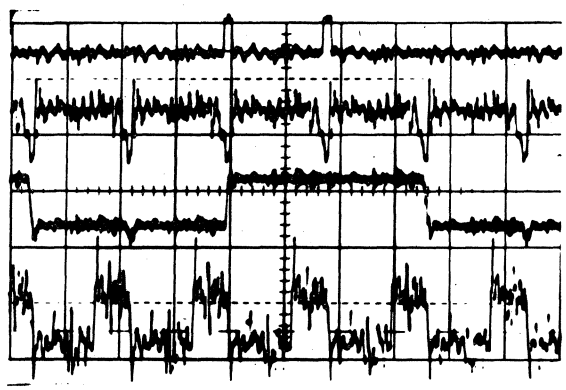


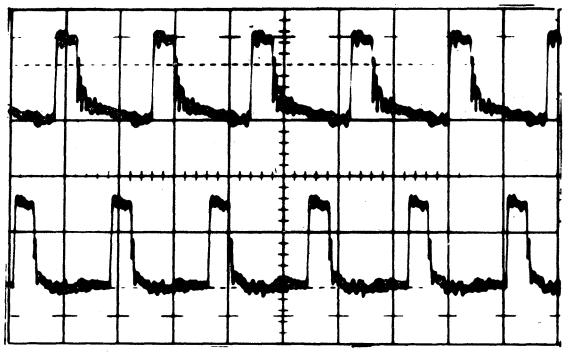
	Signalbezeichnung	Meßpunkt	Trigger	Oszillographen-Einstellg.
36	Lesesignal	IV, Meßpunkt	ASB 1	0,5 µs/cm 0,5V/cm
37	Speicherregister Ansteuerung d. Nr. 36	IV, FS G3/7	"	" 1 V/cm
38	KE	IV, Stecker 17	"	" "
39	Speicherregister Ansteuerg. d. Nr. 38	IV, FS G3/6	"	" "

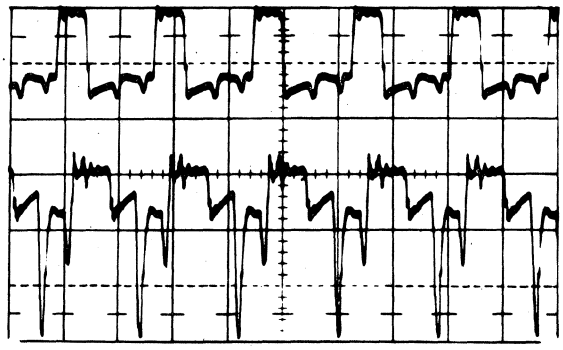


40	Speicherregister Rücksetzen d. S0	IV, FS G3/9	"	" "
41	Speicherregister Rücksetzeing. KE="0"	IV, FS G3/10	"	" "
42	Speicherregister Ja-Ausgang	IV, FS G3/4	"	" "
43	Speicherregister Nein-Ausgang	IV, FS G3/5	"	" "

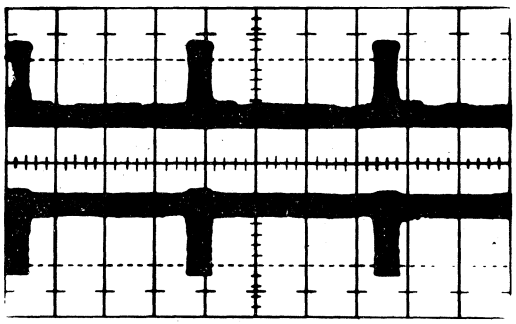
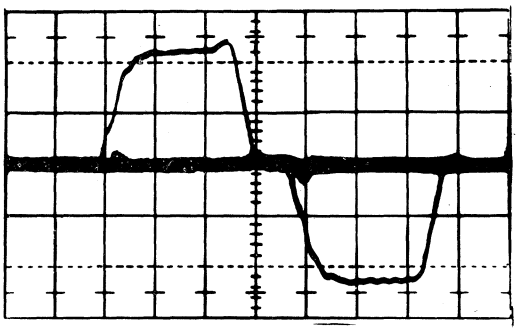
TREIBERANSTEUERUNG
(PRÜFGERÄT LÄUFT ÜBER 16 ADRESSEN)



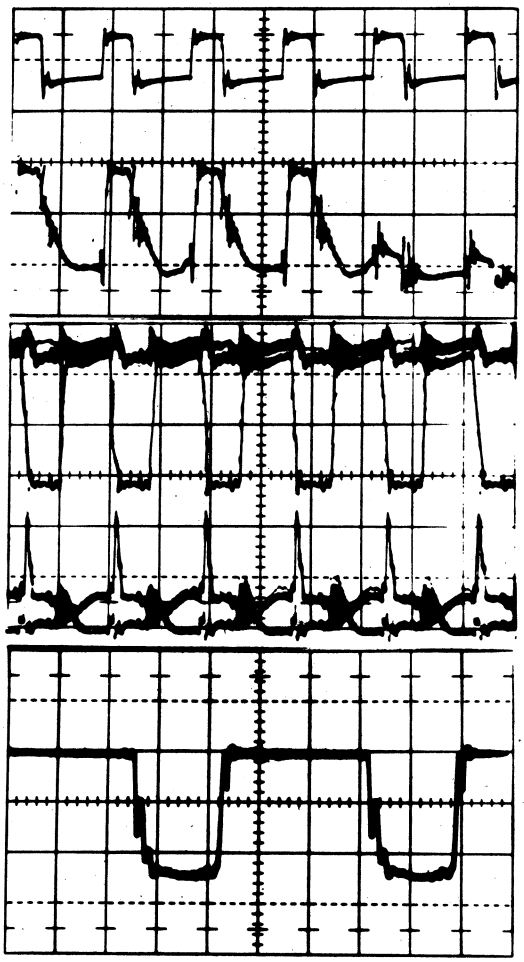




	Signalbezeichnung	Meßpunkt	Trigger	Oszillographen-Einstellg.	
44	Adresseingang(E 1)	AR, Stecker 57	SZ 1	0,5 µs/cm	1V/cm
45	ASB 3	AR, Stecker 62	"	"	"
46	Adressausgang (A 1)	AR, Stecker 55	"	"	"
47	NFM	TA, Stecker 6	"	"	"
48	PS	STX/Y Stecker 13	"	"	20V/cm
49	PL	STX/Y Stecker 50	"	"	10V/cm
50	Treiber Schreiben (Y4S)	STX/Y Stecker 9	"	"	"
51	Treiber Lesen (Y4L)	STX/Y Stecker 25	"	"	"

	Signalbezeichnung	Meßpunkt	Trigger	Oszillographen-Einstel'	
					
52	Treiber Schreiben X1S bei durchlf. Adresse	STX/Y, Stecker 64	X1S	0,5 µs/cm	20V/cm
53	Treiber Lesen X1L bei durchlf. Adresse	STX/Y, Stecker 48	"	"	"
					
54	Treiberstrom (X)	Schlaufe SZ 1 am Block		0,1 µs/cm	200mA/cm

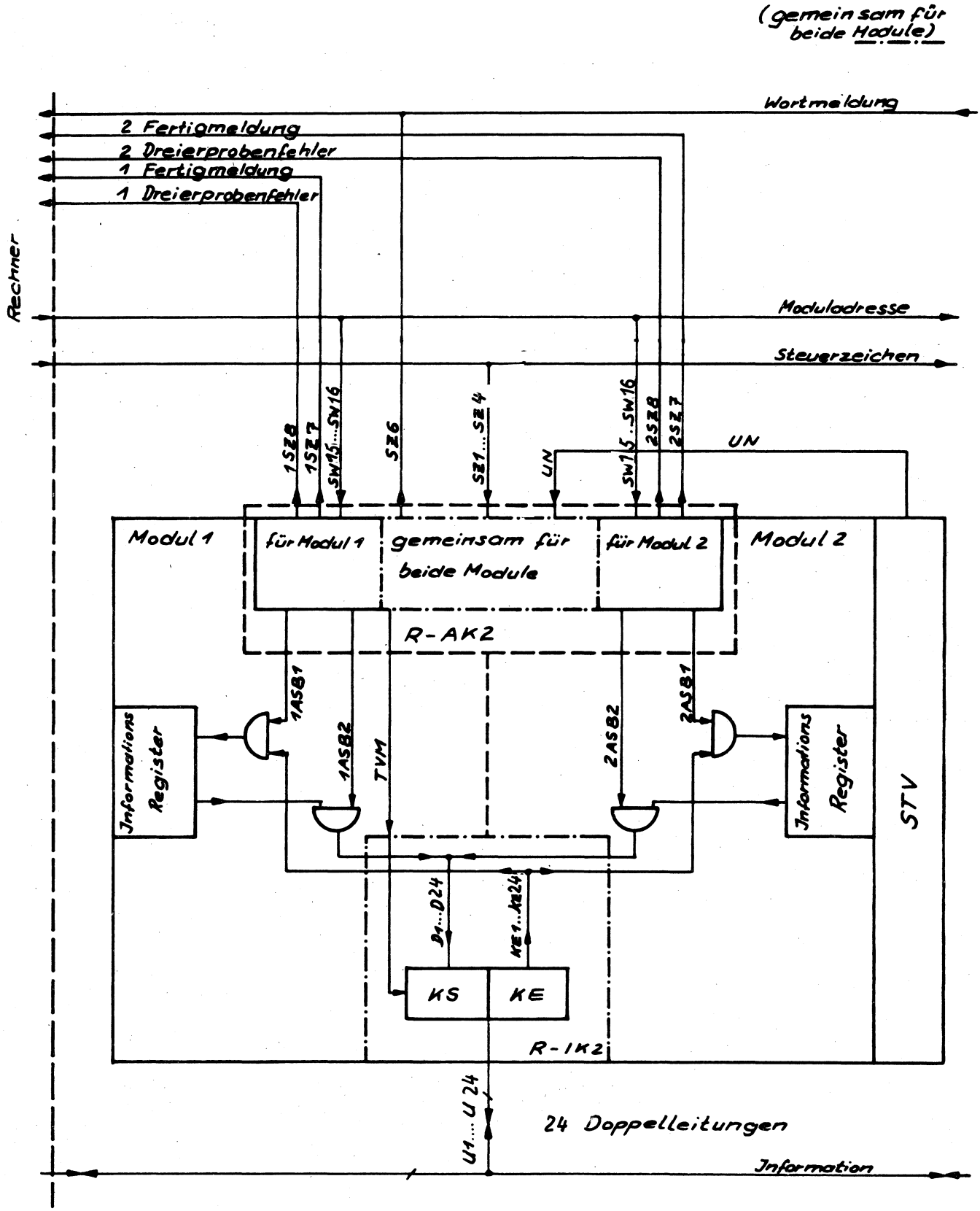
INHIBITANSTEUERUNG



	Signalbezeichnung	Meßpunkt	Trigger	Oszillographen-Einstellg.	
55	Px = Py	IA, Stecker 52	Px1	0,5 µs/cm	20V/cm
56	Ix1-1	IA, Stecker 66	"	"	10V/cm
57	I1-1	IT, Stecker 3	"	"	"
58	I1-5	IT, Stecker 6	"	"	"
59	Inhibit-Strom	IT, Schlaufe 57	SZ1	0,1 µs/cm	200mA/cm

2.1.4.
Zusammenspiel
zweier Moduln

Die Steuerzeichen und die Information werden auf AK und IK 2 für 2 Moduln gemeinsam behandelt.



Auf der AK2 werden die Steuersignale (AL, AS, LS, UI, DPST) empfangen und mit Hilfe der Moduladresse auf die zwei Moduln verteilt.

Das Normiersignal UN gilt für beide Moduln gemeinsam.

Zum Rechner geht die Wortmeldung (SZ6) auf einer gemeinsamen Leitung für alle Moduln und getrennt für jeden Modul der Dreierprobenfehler und die Fertigmeldung.

Informationsübergabe zum Rechner :

Mit UI wird bei dem angesprochenen Modul ASB2 gebildet und für die D1...D24 der Weg vom Informations-Register zum KS freigegeben.
Mit dem für beide Moduln gemeinsamen TVM wird dann der KS (gleichzeitig mit SZ6) für etwa 50 ns geöffnet.

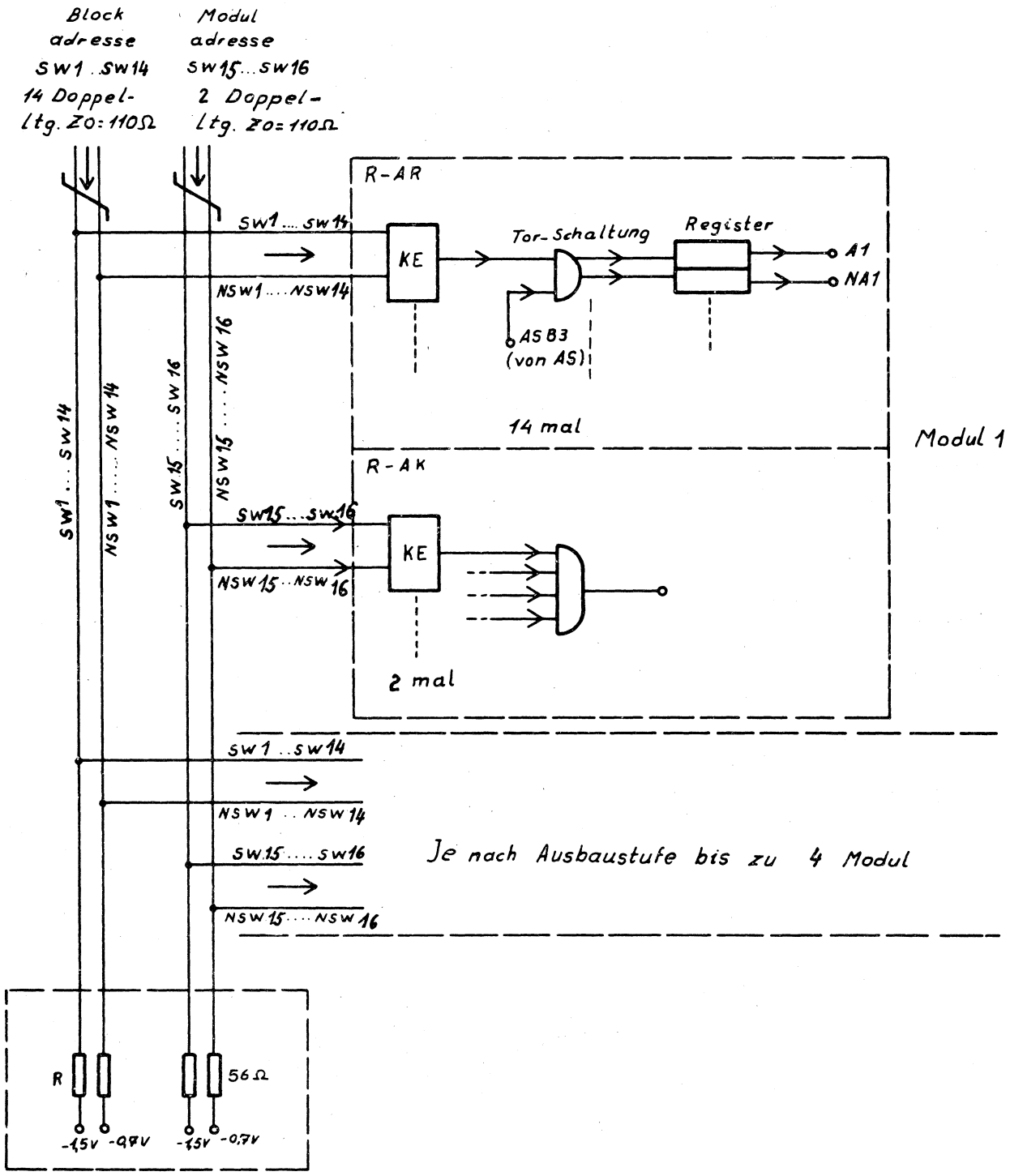
Informationsübernahme vom Rechner :

Die Information wird im KE empfangen. Der ausgewählte Modul bildet ein ASB1, das für die KE1...KE24 den Weg zum Informations-Register freigibt.

2.2.
Schnittstelle
Speicher-Rechner

2.2.1.
Adressen

Bei einer quadratischen Matrix mit 16 K ≙ 16384 Ganzwörtern besteht jede Blockseite aus 128 Treiberdrähten. Jede Seite wird von einer Matrix aus 8 x 16 Knotenpunkten angesteuert. Dazu werden 3 + 4 = 7 Bit für die Adressenauswahl benötigt, für 2 Seiten also insgesamt 14 Bit. Da der Speicher im Vollausbau mit 4 Moduln bestückt ist, sind noch 2 Bit für die Moduladresse vorgesehen.



Die Adressen werden über verdrillte 2-Drahtleitungen von Zo = 110 Ω Widerstand verteilt. Die Abzweigungen befinden sich an den Steckerleisten der entsprechenden Karten. Die Leitungen werden jeweils mit 56 Ω gegen ihr Ruhepotential abgeschlossen (bei SW : -1, 5 V, bei NSW : -0, 7 V). Zur Verbesserung der Störsicherheit werden die Adressensignale über einen Kabelempfänger (3, 0. 0) geleitet.

Blockadresse:

Die nachfolgende Torschaltung ist im Ruhezustand geöffnet. Wird der Modul angesteuert, so wird durch ASB 3 nach etwa 50 ns das Tor bis zum Zyklusende geschlossen. Das nachfolgende Flip-Flop speichert die Adresse während eines Zyklus. Die eigentliche Entschlüsselung geschieht auf TA.

Moduladresse:

Die Entschlüsselung geschieht an der Federleiste der AK durch Vertauschen des normalen und des inversen Signals. Die 2 Bits werden nach dem KE disjunktive verknüpft. Ist die Bedingung erfüllt, schalten sie auf der AK den Weg für die Steuerinformation frei.

2.2.2. Ablaufsteuerung

Die Ablaufsteuerung für 2 Moduln ist verteilt auf eine R-AK2 (gemeinsam für 2 Moduln) und 2 R-AS1 (getrennt für jeden Modul).

Zugleich mit einer Kombination von Steuerinformation wird vom Rechner auch die Moduladresse gesendet, die in (1) entschlüsselt wird.

In (2) wird sie mit der Steuerinformation konjunktiv verknüpft, so daß nur der ausgewählte Modul Steuersignale bilden kann, die nun auf der AS die Zeitschaltketten anstoßen.
LS, AS, AL bestimmen die Zyklusart. Bei LS entsteht noch S0, der das Informationsregister auf der IV löscht.

Auslesen von Information

Bei AS ohne LS entsteht ASB1, der die Information vom Rechner in den Speicher übernimmt. Da dies in einem Pseudovolltransport geschieht, muß ASB1 kürzer als die Information anliegen. (3)
Mit UI wird GUI gesetzt und mit ASB2 wird der Weg vom Informationsregister zum Kabelsender freigeschaltet.
Mit YLS und YAL wird eine Zeitschaltkette angestoßen, die nach etwa 280 ns (4) den 60 ns langen (5) NALV bringt.
Zur gleichen Zeit oder etwas später (6) wird TWM gebildet (7) und YTWM gesetzt.
Ist GUI und GTWM gesetzt, ist die nachfolgende Konjunktion erfüllt, es entsteht TVM, der über eine Disjunktion mit dem TVM des anderen Moduls auf der IK die Information auf die Übertragungsleitung schaltet. TVM über einen KS geführt, ergibt die Wortmeldung für den Rechner. Die verzögerte Flanke (9) wird zum Rücksetzen von GUI und GTWM benützt.

Dreierprobe

Beim Lesezyklus wird ueber YLS GDP gesetzt. Es folgt eine Dreierprobenpruefung. Mit T/NT wird das Ergebnis der Pruefung abgefragt.
Bei Schreibzyklem fehlt YLS, GDP wird nicht gesetzt Mit T/NT wird ASB 4 gebildet und das Dreierprobenergebnis in das Informationsregister gegeben (Bit 25,26)

Einschreiben

Mit YAL wird der Leseimpuls PL gebildet, $\approx$ 200 ns (14), und auf 15 V Pegel verstärkt.
YAS ist der Anstoß für "Schreiben". Der Einsatz wird in (15) wegen der Dreierprobenbildung verzögert. Die anschließende Konjunktion mit dem Leseimpuls soll verhindern, daß bei gleichzeitigem Anstoß von AL und AS sofort ein Schreibimpuls erzeugt wird. Nach Ablauf des Leseimpulses wird die Schaltwelle in (16) verzögert, damit ein Abstand zwischen Lese- und Schreibimpuls entsteht.
Nach (16) wird TI eingeschaltet, der den Kondensator für die Stromeinprägung der Inhibittrennschalter auflädt.
Nach etwa 100 ns (17) kann auch der Schreibimpuls eingeschaltet

werden. Nach etwa 300 ns (18) werden sowohl TI als auch TS abgeschaltet.

Fertigmeldung und Rücksetzen

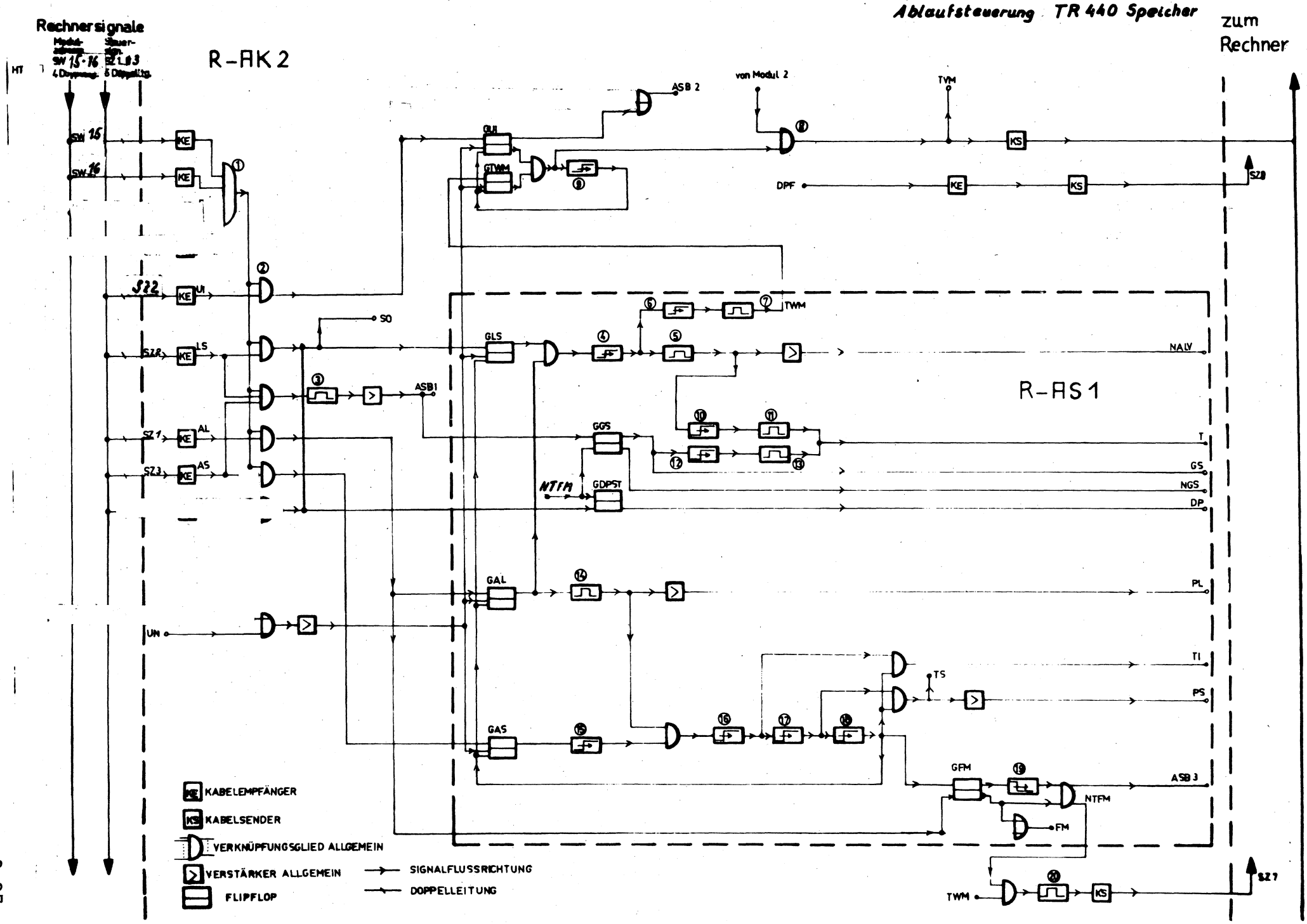
Zugleich mit YAL wird auch YFM gesetzt. Um die Durchlaufzeit von YFM zu umgehen, wird FM, das für die Trennschalteransteuerung verwendet wird, ebenfalls von AL angesteuert und dann von YFM gehalten.

Ist YFM gesetzt, schaltet ASB3 auf "L" und sperrt die Adresseneingänge auf der AR.
Nach dem Zurücksetzen von YFM wird mit (19) die Abgabe von NTFM verzögert, bis die internen Vorgänge im Speicher abgelaufen sind. NTFM wird in (20) auf 50 ns begrenzt und über einen KS und eine eigene Leitung zum Rechner geführt.
Gleichzeitig mit dem Rücksetzen von YFM werden auch YAL, YAS, YLS zurückgesetzt.

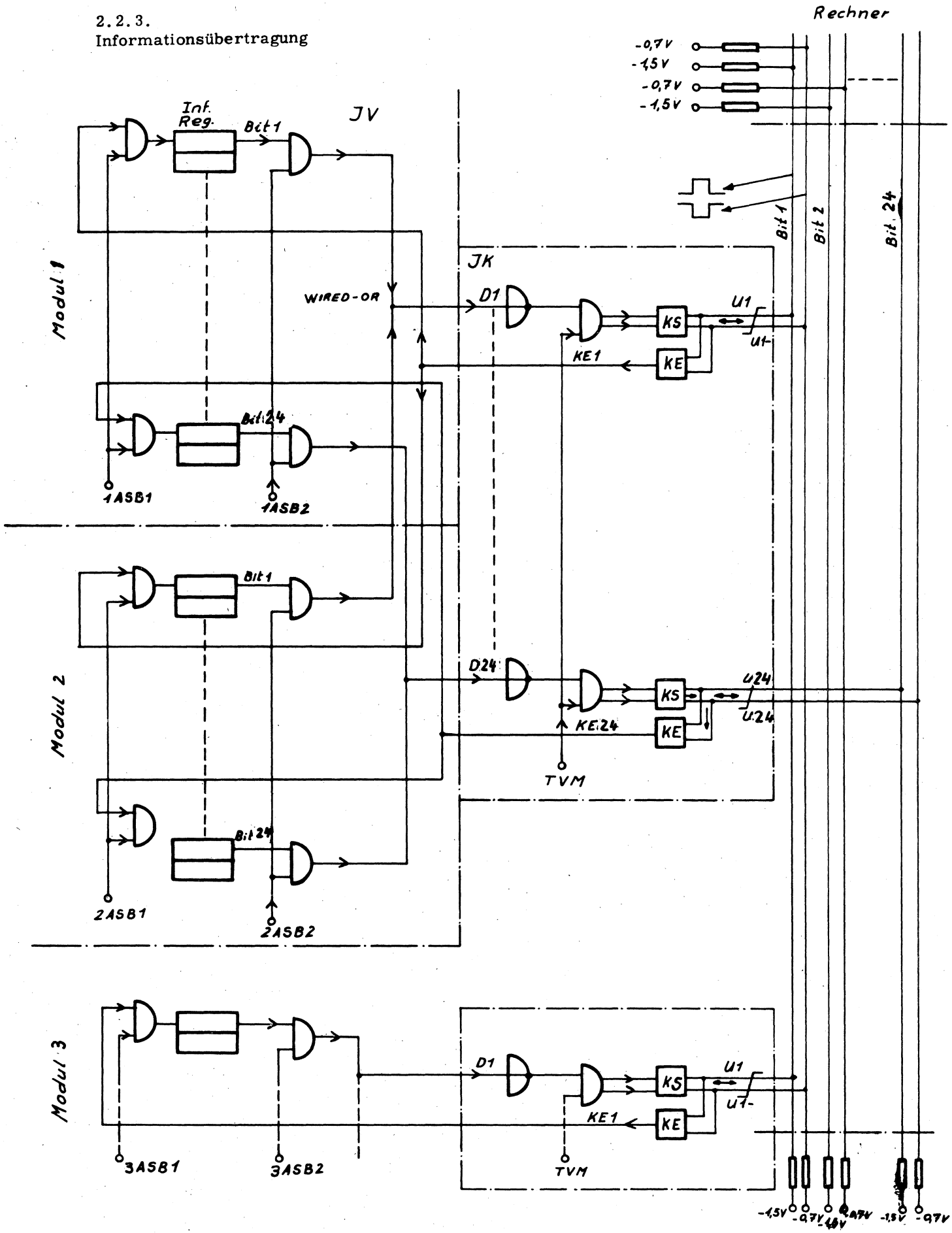
Speicherschutzschaltung

Beim Ein- oder Ausschalten oder Ausfall einer Stromversorgung wird UN an -12 V gelegt.

Das resultierende Signal wird über ein Integrierglied geführt und auf etwa 3,5 V Amplitude (0 V...-3,5 V) begrenzt.


Rechnersignale
R-AK 2
zum Rechner
R-AS 1
von Modul 2
ASB 2
ASB 1
ASB 3
TVM
DPF
SZ8
SZ7
SZ2
SZ1
SZ3
SO
UN
UI
LS
AL
AS
GLI
GTVM
GLS
GGS
GDPST
NTFM
GAL
GAS
GFM
TS
NALV
T
GS
NGS
DP
PL
TI
PS
FM
KE KABELEMPFÄNGER
KS KABELSENDER
VERKNÜPFUNGSGLIED ALLGEMEIN
VERSTÄRKER ALLGEMEIN
FLIPFLOP
SIGNALFLUSSRICHTUNG
DOPPELLEITUNG

2.2.3.
Informationsübertragung



Die auf der IK zusammengefaßten Übertragungsglieder werden jeweils für zwei Moduln gleichzeitig verwendet. Die 24 Übertragungsleitungen (Wellenwiderstand Zo = 110 Ω) sind für alle Moduln gemeinsam. Sie werden am Anfang und am Ende mit 52 Ω gegen ihr Ruhepotential (-0,7 V bzw. -1,5 V) abgeschlossen.

Informationsübergabe Speicher-Rechner

An dem vom Rechner kommenden Signal UI wird ASB2 gebildet, der bei dem angesteuerten Modul den Weg bis zum Kabelende freischaltet. Am "wire-or" muß im Grundzustand eine "0" liegen, damit die Information des angesteuerten Moduls nicht aufgehoben wird. Am Eingang der Torschaltung vor dem KS muß im Grundzustand eine "L" liegen, damit der Ausgang während TVM nicht umschaltet. Deshalb muß zwischen den beiden Punkten invertiert werden.

TVM entsteht konjunktiv aus YUI und TWM und schaltet während 50 ns die Information auf KS und die Übertragungsleitung.

Informationsübergabe Rechner-Speicher

Die von der Informationsleitung kommende Information wird von den Kabelempfängern an die Torschaltung (Pseudovolltransport) vor dem Informationsregister geleitet. Der gleichzeitig mit der Information angesteuerte Modul erzeugt ein ASB1 und übernimmt damit die Information in das Register-Flipflop.

2.3. Speicherinterne Systeme

2.3.1. Treibersystem

Die Kerne einer Ebene des Speicherblocks sind in einer quadratischen Matrix von 128 x 128 Kernen angeordnet.

Die Blockadresse besteht aus 14 Bit, die auf die AR empfangen und gespeichert werden.

Anschließend werden je 7 Bit auf der TA/X und TA/Y entschlüsselt und auf 15 V Amplitude verstärkt. Die Stromeinprägung wird während der Impulszeit von FM (Zykluszeit) wirksam.

Die nachfolgenden Trennschalter sind in zwei Gruppen mit 8 und 16 Schaltern aufgegliedert. Jeder Schalter besteht aus 2 Teilen, von denen einer mit +30 V, der andere mit der Stromeinprägung verbunden ist. Sie werden abhängig von "Schreiben" und "Lesen" geöffnet.

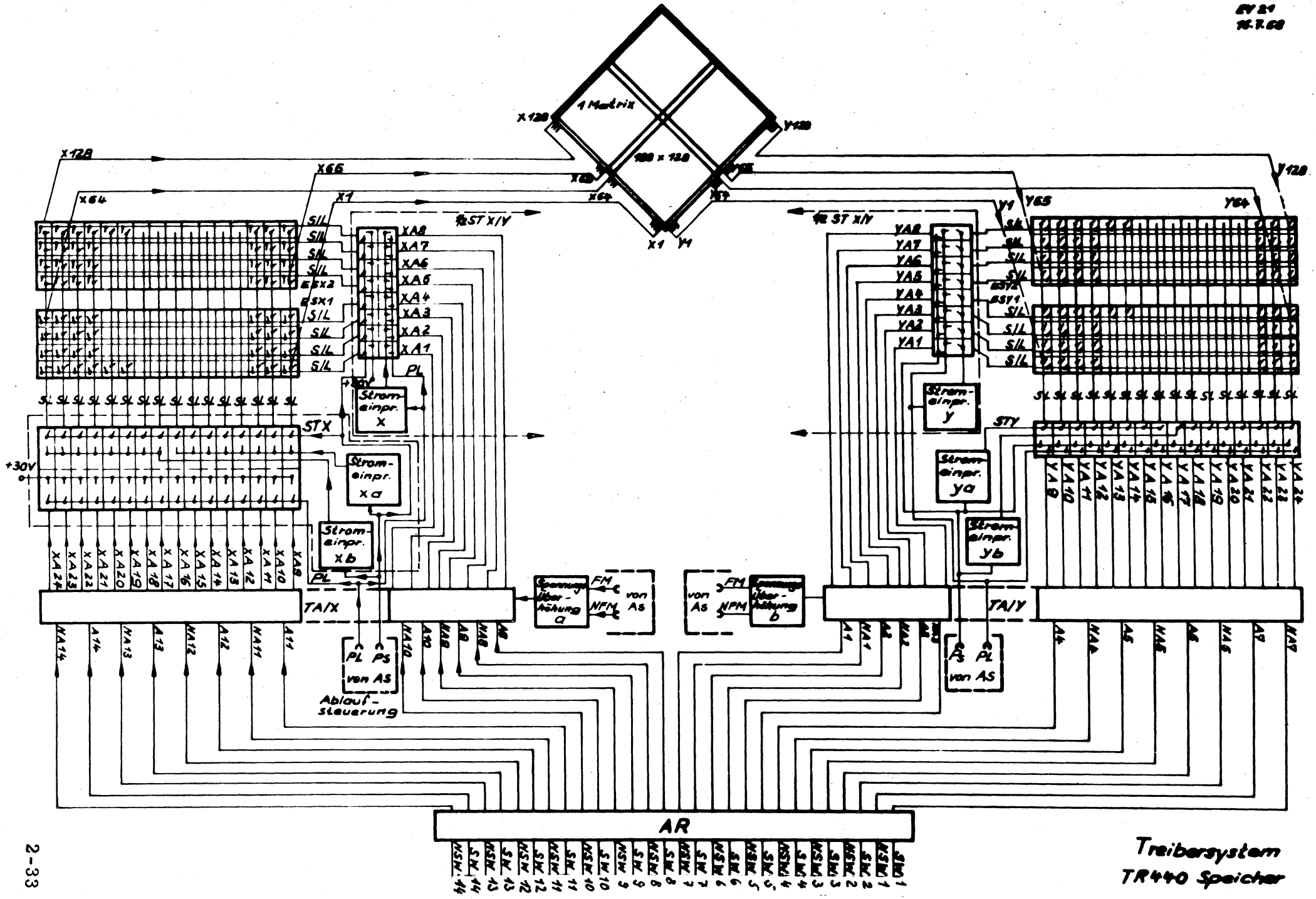
Bei "Lesen" legt PL (15 V Amplitude) auf der STX einen der 16 Trennschalter an +30 V, und auf der STX/Y einen der 8 Trennschalter an die geöffnete Stromeinprägung.

Bei "Schreiben" legt PS (15 V Amplitude) auf der STX/Y einen der 8 Trennschalter auf +30 V, und auf der STX einen der 16 Trennschalter an die geöffnete Stromeinprägung.

Die Ausgänge sind auf 2 Entschlüsselungskarten verteilt, die eine Matrix von 8 x 16 = 128 Kreuzungspunkten ergeben. Mit 4 Dioden pro Kreuzungspunkt können die zwei Stromflußrichtungen getrennt werden.

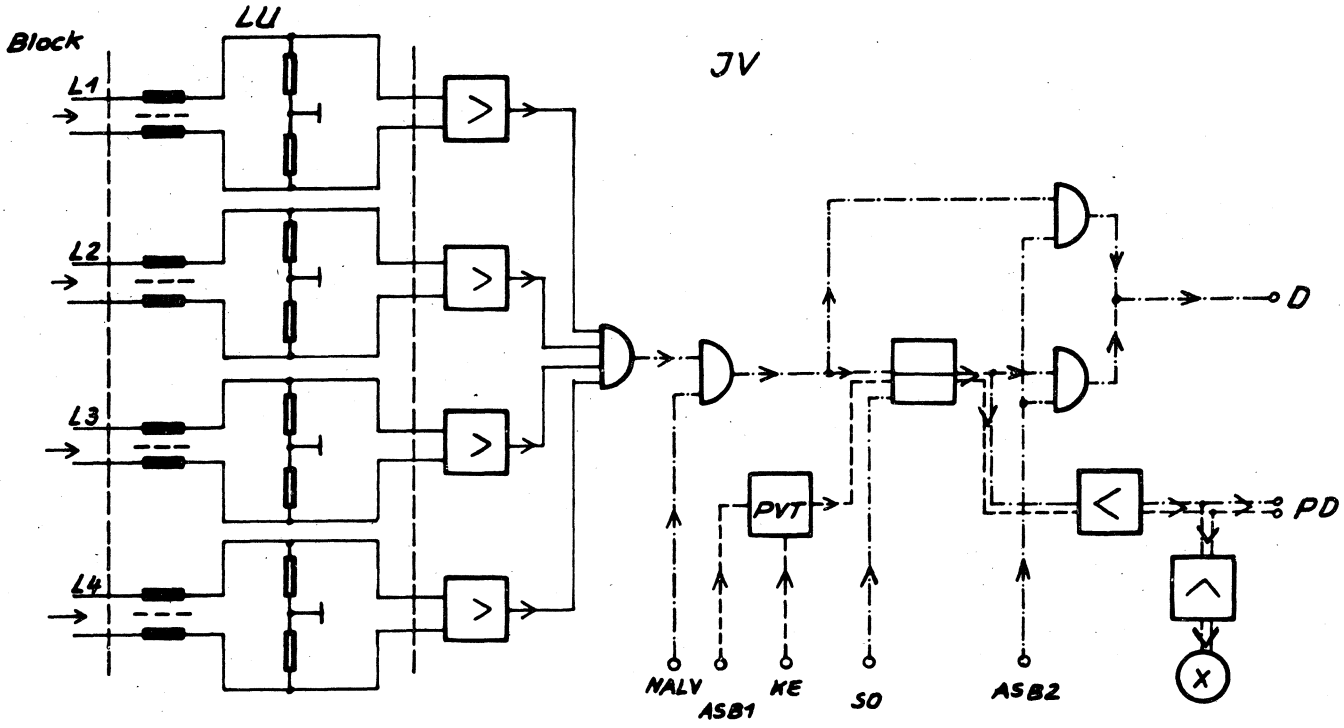
Stromweg	"Lesen"	+30 V auf STX - ES - Treiberdraht - ES - Stromeinprägung auf STX/Y
	"Schreiben"	+30 V auf STX/Y - ES - Treiberdraht - ES - Stromeinprägung STX

Der Ablauf auf der Y-Seite entspricht dem auf der X-Seite.



Treibersystem
TR440 Speicher

2.3.2.
Lesesystem



Blockschaltbild für 1 Bit (1 Ebene)

1 Ebene ist in 4 Lesewicklungen aufgeteilt. Die Symmetrierglieder auf der LU sollen gleichphasige Störungen unterdrükken.

Lesezyklus

(Rot) Zu Zyklusbeginn wird das Informations-Register mit S0 gelöscht. Die Lesesignale werden in 4 Vorverstärkern verstärkt und anschließend disjunktiv zusammengefaßt. Das Ergebnis wird dann mit NALV abgefragt und in das Register eingeschrieben. Um möglichst kleine Zugriffszeiten zu erhalten, wird die Information zugleich direkt mit ASB2 verknüpft und zum Kabelsender geleitet. ASB2 ist nötig, weil die Information von 2 Moduln auf denselben Kabelsender geführt ist.

Schreibzyklus

Mit ASB1 wird die Information mit einem Pseudovolltransport vom Kabelempfänger (s. 3.0.1) übernommen.

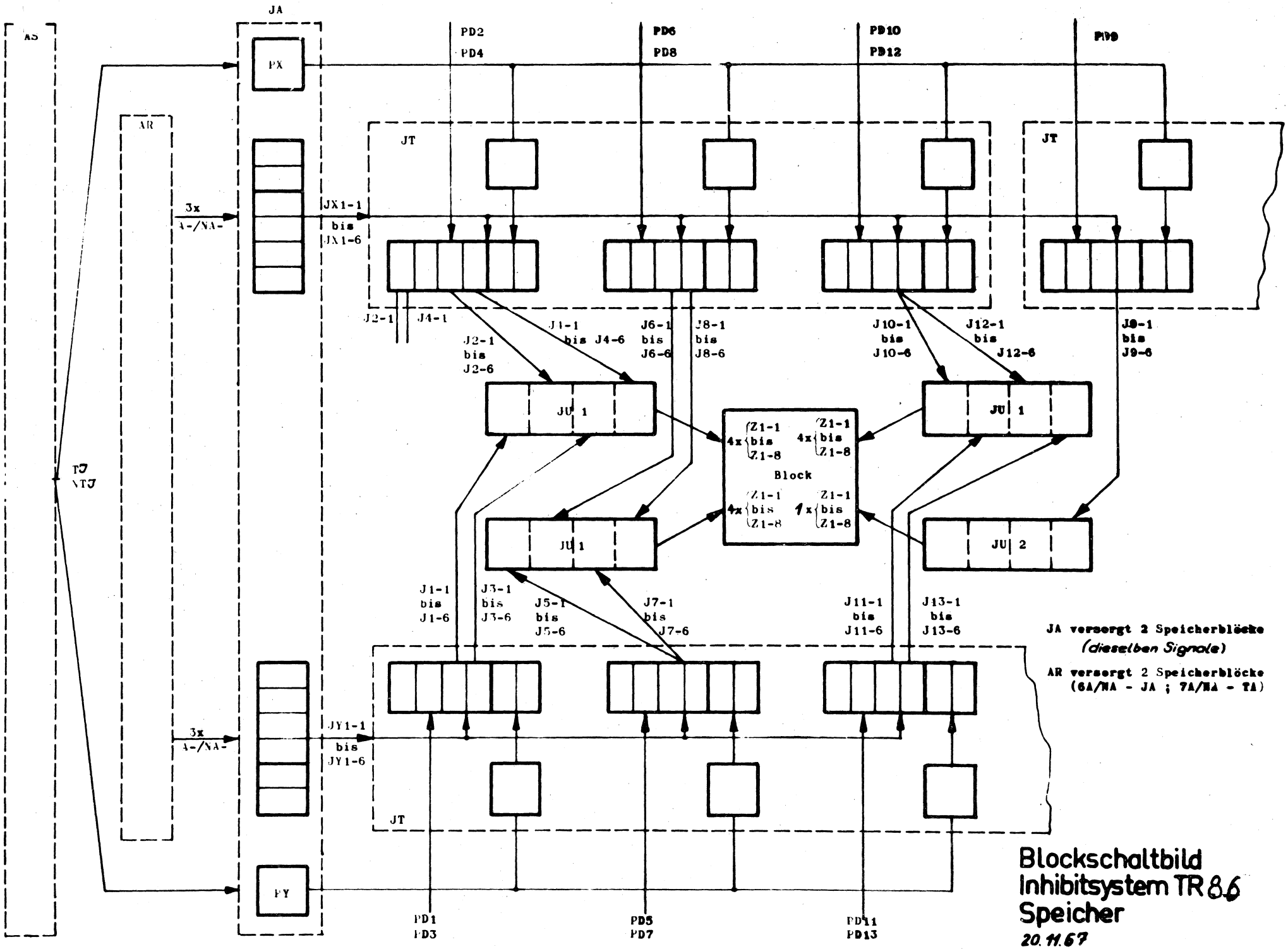
In beiden Fällen wird die Information in einem Pegelumsetzer verstärkt und den Inhibittrennschaltern als Bedingung zugeführt. Außerdem wird mit dem PD-Ausgang noch ein Glimmlampenverstärker angesteuert.

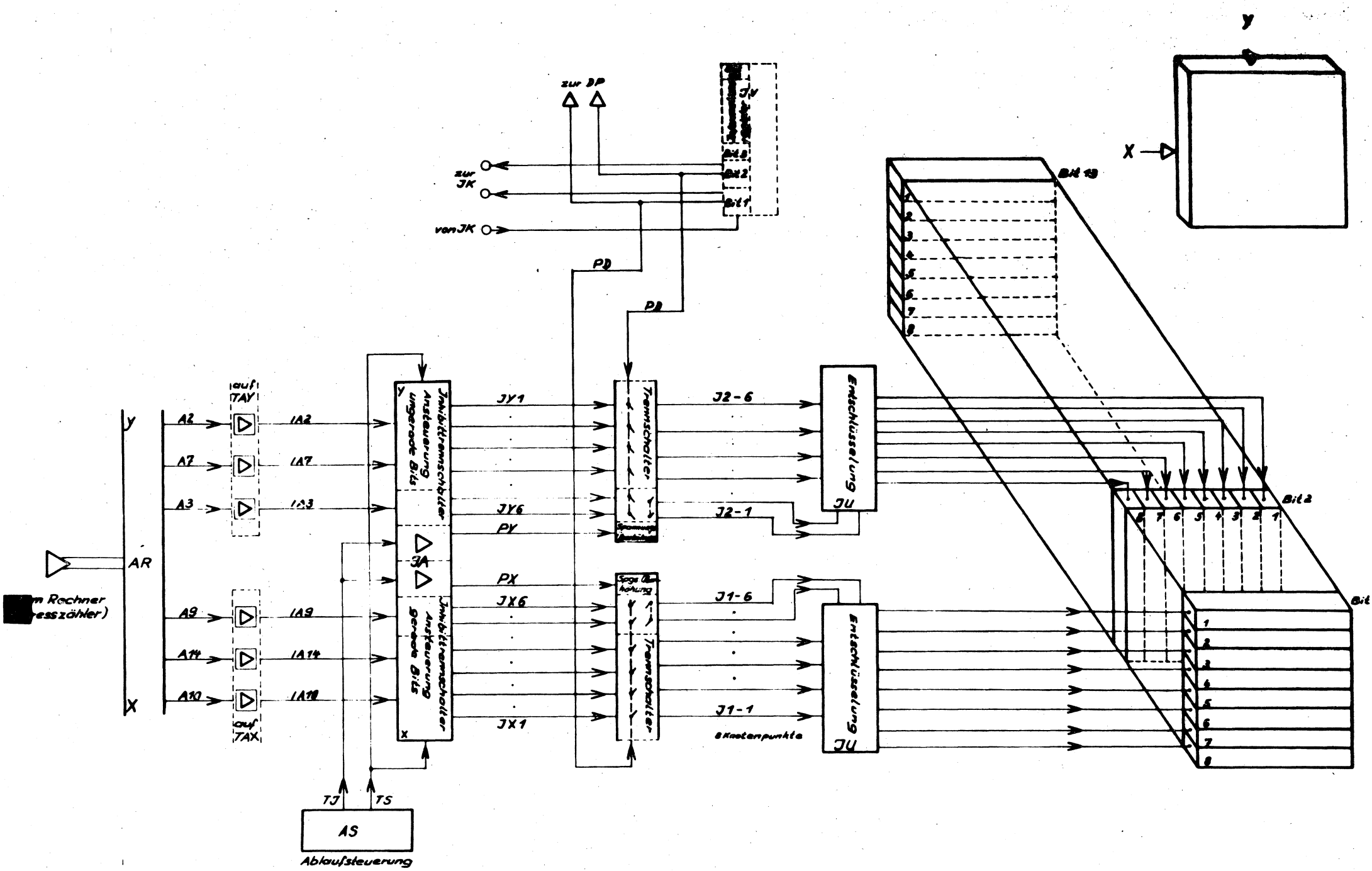
2.3.3.
Inhibitsystem

Um nicht allzugroße Werte für den Scheinwiderstand zu erhalten, wird eine Ebene in 8 Inhibitdrähte aufgeteilt. Um die Kopplungen zwischen den Ebenen klein zu halten, sind die Inhibit-Wicklungen zweier benachbarter Ebenen um 90^{o} gedreht. Es genügt, die Ansteuerung einer Ebene zu beschreiben, da die Ansteuerung der um 90^{o} gedrehten Ebene im Prinzip gleich ist.

Für die Auswahl der 8 Drähte werden die 3, jeweils 16 Treiberdrähte überstreichenden, Bits verwendet. Sie werden auf der R-TA in Kabelempfängern verstärkt und auf der R-IA entschlüsselt und auf 15 V Amplitude verstärkt. Zusätzlich werden die abgehenden Impulse noch mit TS zeitlich vermaßt. Der Impuls für die Stromeinprägung TI wird auf der IA auf 15 V Amplitude verstärkt.

Auf der IT wird die Inhibitadresse mit der Information (PD, 15 V Amplitude) verknüpft. PX lädt in der Stromeinprägung den Kondensator zur Spannungsüberhöhung auf. Die Ausgänge werden in einer Matrix mit 8 Knotenpunkten entschlüsselt und an die 8 Inhibitdrähte angeschlossen.


AS
JA
PX
AR
3x
A-/NA-
JX1-1
bis
JX1-6
PD2
PD4
PD6
PD8
PD10
PD12
PD9
JT
JT
J2-1
J4-1
J1-1
bis J4-6
J6-1
bis
J6-6
J8-1
bis
J8-6
J10-1
bis
J10-6
J12-1
bis
J12-6
J9-1
bis
J9-6
J2-1
bis
J2-6
JU 1
JU 1
JU 1
JU 2
4x Z1-1 bis Z1-8
4x Z1-1 bis Z1-8
Block
4x Z1-1 bis Z1-8
1x Z1-1 bis Z1-8
J1-1
bis
J1-6
J3-1
bis
J3-6
J5-1
bis
J5-6
J7-1
bis
J7-6
J11-1
bis
J11-6
J13-1
bis
J13-6
JA versorgt 2 Speicherblöcke
(dieselben Signale)
AR versorgt 2 Speicherblöcke
(6A/NA - JA ; 7A/NA - 7A)
3x
A-/NA-
JY1-1
bis
JY1-6
JT
PY
PD1
PD3
PD5
PD7
PD11
PD13
TJ
NTJ
Blockschaltbild
Inhibitsystem TR 86
Speicher
20.11.67



Jnhibitsystem
Speicher TR 86

2.3.4. Dreierprobenprüfung

Ein Speicherwort besteht aus 26 Bits, von denen die Bits 1 - 24 Informationsbits sind, 49 und 50 Typenkennungsbits, 25 und 26 Dreierprobenbits.

Die Informationen "L" oder "0" dieser Bits werden in Informationsregistern gespeichert, die sich auf den Karten R-IV1 befinden. Dort werden sie vom MECL-Pegel auf einen 15 V-Pegel umgesetzt (PD-Ausgänge auf R-IV1). Mit diesen 15 V-Impulsen werden die Eingänge der Dreierprobenkarten R-DP1 und R-DP2 angesteuert.

Die Bildung der Dreierprobe geschieht nun dergestalt, daß jeweils 4 Bits zu 2 neuen Bits zusammengefaßt werden. 2 x 2 der neuen Bits werden in einer weiteren Stufe wieder zu 2 neuen Bits zusammengefaßt. Das wird so weit getrieben, bis nur noch 2 Bits übrigbleiben, nämlich die Bits X1 und X2.

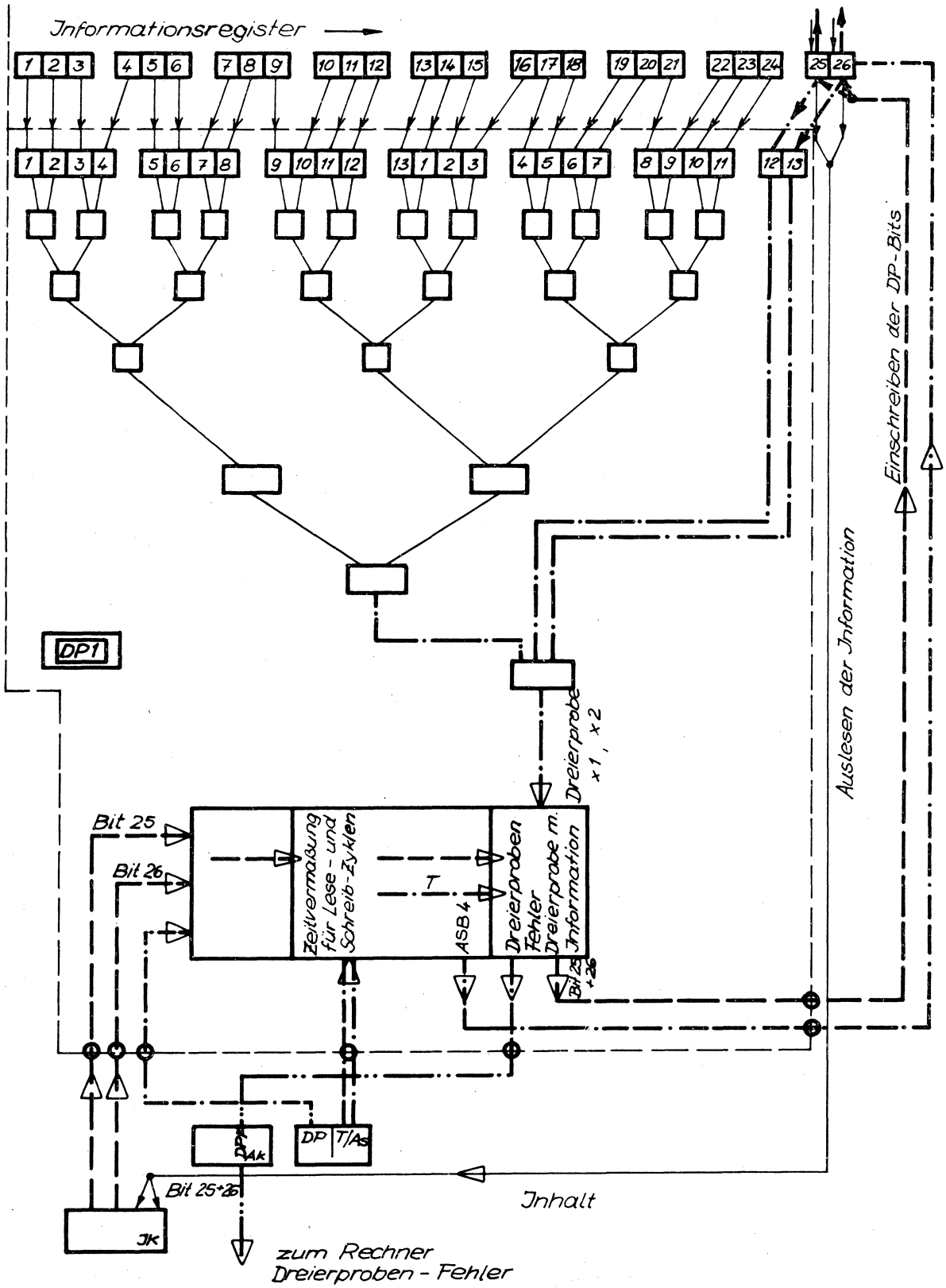
Grundsätzlich muß man zwischen zwei Fällen unterscheiden: DP-Neubildung und DP-Prüfung.
Bei der DP-Neubildung werden die DP-Bits 25 und 26 nicht mit einbezogen. Die Bits X1 und X2 zeigen dann einen Rest an, der aber nie den Wert "LL" haben darf.

Es müssen sich folgende Werte einstellen:	X1	X2
a) bei einer durch 3 teilbaren Zahl	"0"	"0"
b) bei einer durch 2 teilbaren Zahl	"L"	"0"
c) bei einer weder durch 3 noch durch 2 teilbaren Zahl	"0"	"L"

Damit sich beim Prüfen der Dreierprobe ein Rest von "00" ergibt, muß die Differenz der Restbits X1 und X2 zum Wert 3 gebildet, und diese Differenz in die Dreierprobenbits 25 und 26 zurückgeschrieben werden. Das geschieht dermaßen, daß die Bits X1 und X2 invertiert und über die Ausgänge NE13-1 und NE13-2 auf die Karte R-IV1 in die Informationsregister für Dreierprobenbits gebracht werden.

Der Informationsfluß der Dreierprobenbits ist beim Lesen folgender: Block → R-IV1 (Leseverstärker) → R-IV1 (Informationsregister) → R-IV1 (Pegelumsetzer, Ausgänge PD 13-1 und PD 13-2) → R-DP1 und .

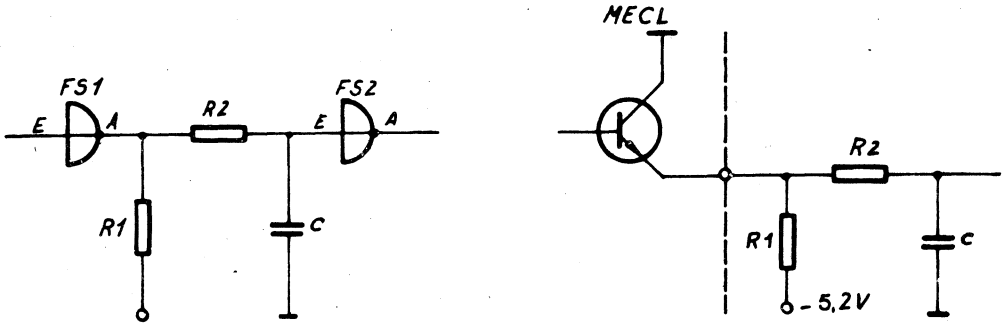
Der Informationsfluß der Dreierprobe ist beim Schreiben folgender: Rechner → R-IK2 → R-DP1 (Eingänge KE 13-1 KE 13-2) → R-DP1 (Informationsregister) → R-DP1 (Ausgänge NE13-1 und NE13-2) → R-IV1 (Informationsregister) → R-IV1 (Pegelumsetzer, Ausgänge PD 13-1 und PD 13-2) → R-IT1.

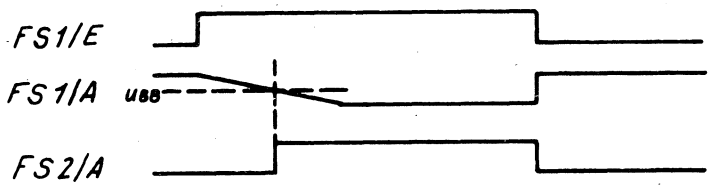


= DP-Neubildung (Schreibzyklus)
= Vermaßung (Schreibzyklus)
= DP-Prüfen (Lesezyklus)
= DP-Fehler

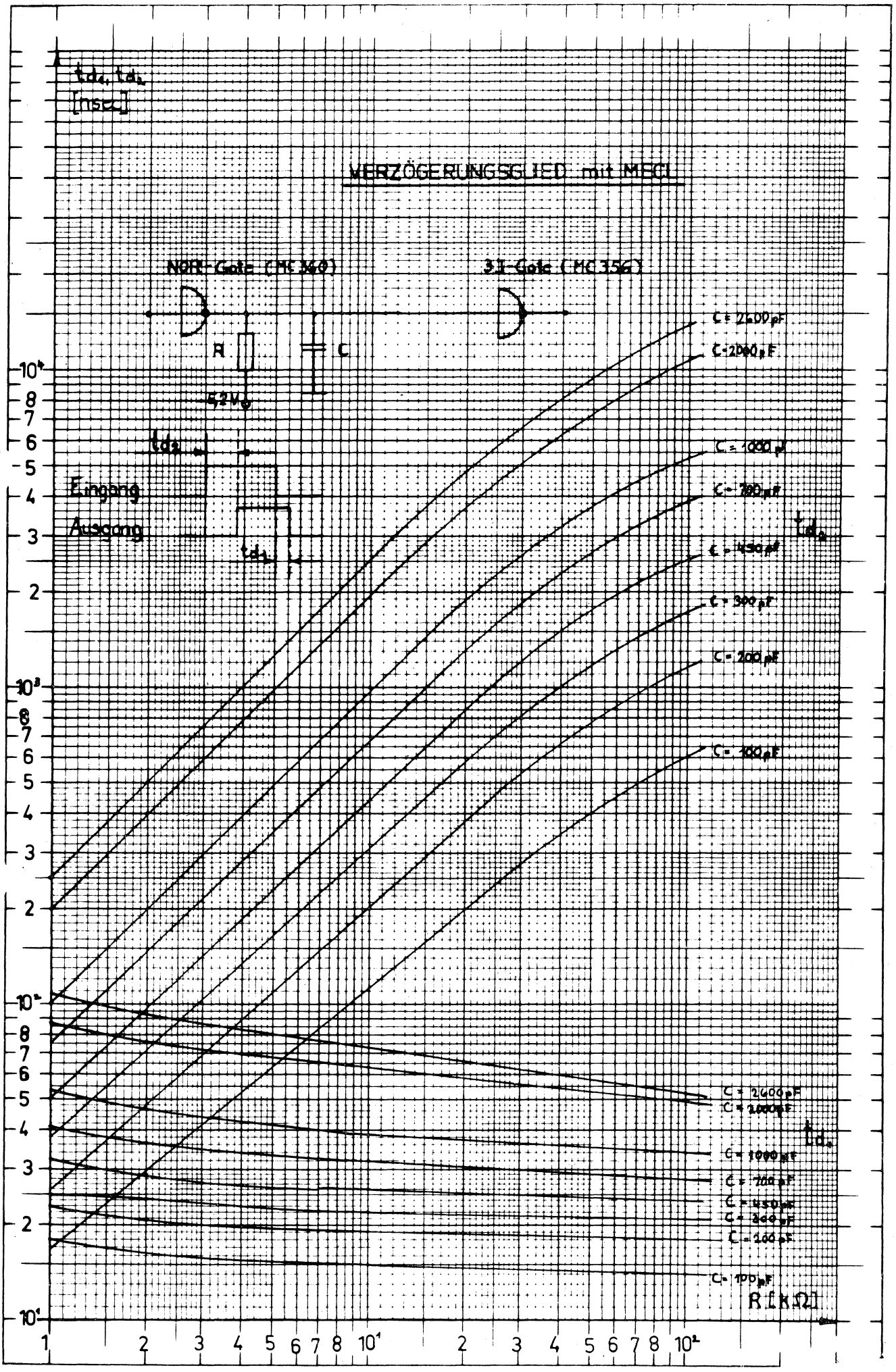
3.0.
Grundschaltungen

3.0.1.
Zeitglied offen

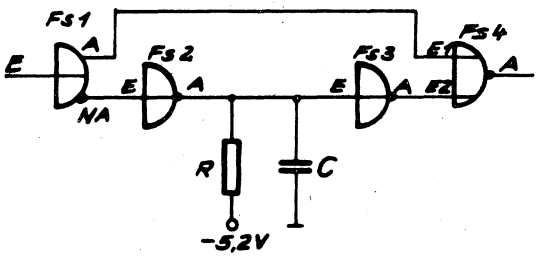


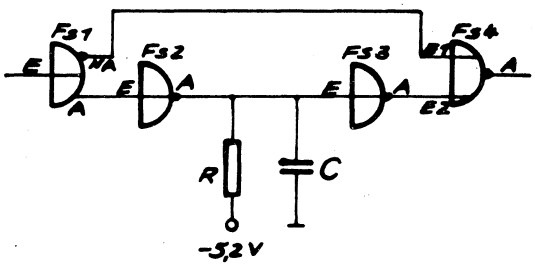


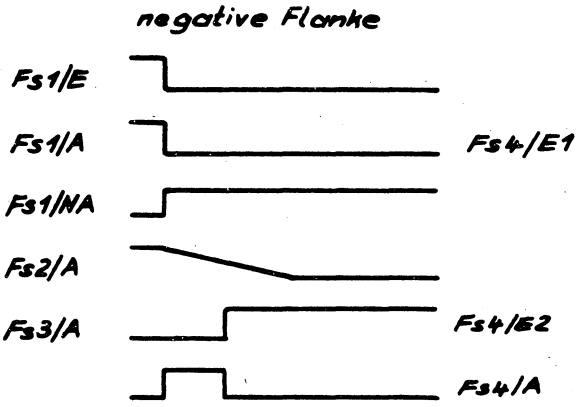
Mit diesen Zeitgliedern kann nur die negative Flanke verlangsamt werden.
Bei einer "L" ist das Potential an der Basis etwa 0 V, am Emitter -0,7 V.
Beim Schalten auf "0" sinkt das Potential an der Basis auf -0,7 V, durch das C wird das Potential am Emitter zunächst auf -0,7 V festgehalten. Dadurch wird der Transistor gesperrt, das C entlädt sich über dem Widerstand mit $\tau = R \cdot C$. Beim Schalten auf "L" springt das Potential an der Basis auf etwa 0 V. Am Emitter wird es durch C auf 1,5 V gehalten. Der Transistor übersteuert, daher der Überschwinger 0,3 V... 0,4 V. Da nun der niedere Ausgangswiderstand des Emitterfolgers wirksam ist, wird das C schnell umgeladen. Soll der Überschwinger vermieden werden, muß R2 (etwa 20Ω) eingeführt werden. Eine Übersicht über die erreichbaren Schaltzeiten gibt die Zeichnung.

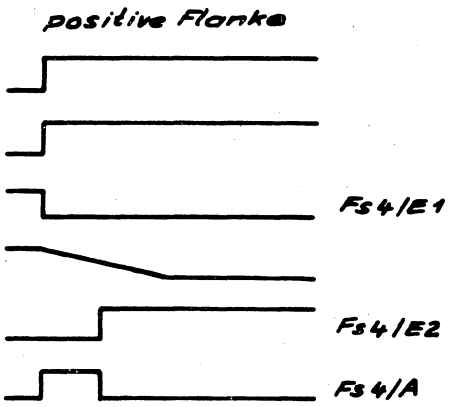

VERZÖGERUNGSGLIED mit MECL
NOR-Gate (MC 360)
31-Gate (MC 356)
R
C
-5,2V
Eingang
Ausgang
C = 2400 pF
C = 2000 pF
C = 1000 pF
C = 700 pF
C = 500 pF
C = 300 pF
C = 200 pF
C = 100 pF
R [kΩ]

3.0.2.
Zeitglied geschlossen









Das geschlossene Zeitglied dient zur Erzeugung eines Impulses aus einer positiven oder negativen Flanke. Die Länge des Impulses ist von der Durchlaufzeit von Fs2 und Fs3 und von der Zeitkonstante $\tau = R \cdot C$ abhängig.

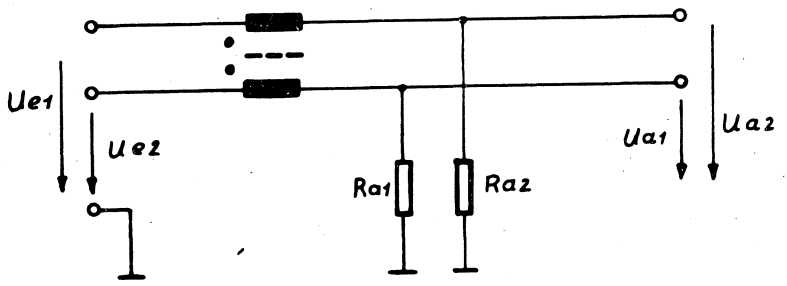
3.0.3.
Der Balun-Transformator

Der Balun-Transformator in der im Speicher TR 440/TR 86 vorliegenden Form dient als Sperrdrossel für Gleichtakt-Signale und als streuarmer 1 : 1-Übertrager für Differenz-Signale.

Aufbau und Wirkungsweise

Zwei Drähte sind gemeinsam, d.h. als Zweidrahtleitung, auf einen Ferritringkern gewickelt.

Für Eingangssignale (u_{e1}, u_{e2}) des Baloontransformators, die in beiden Drähten die gleiche Stromänderung zum Ausgang hin verursachen, wirkt die Zweidrahtleitung wie 1 Draht, folglich der Baloontransformator als Drossel. Für den Fall, daß $R_{a1} = R_{a2}$ ist (Bild 1), sind solche Eingangssignale Gleichtaktsignale ($u_{e1} = u_{e2}$).



Werden die beiden Drähte hingegen von gleich großen, aber entgegengesetzt gerichteten Strömen durchflossen, dann kompensieren sich die Magnetfelder der beiden Ströme im Transformator, der den Strömen folglich keinen induktiven Widerstand entgegensetzt. Für $R_{a1} = R_{a2}$ bedeutet das, daß Differenzsignale ($u_{e1} + u_{e2} = 0$) ungeschwächt übertragen werden.

Die aufgrund des Wickelschemas vergleichsweise hohe Kapazität der beiden Drähte gegeneinander erscheint zwar als Lastkapazität für die Signalquelle, aber nicht als eine, die Transformator-Bandbreite maßgebend bestimmende Größe.

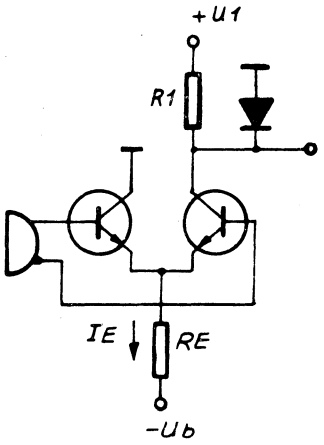
Anwendungsfälle

1. Als Sperrdrossel für kapazitive Umladeströme zu den Treiberdrähten des Speicherblocks hin, wobei die Nutzsignale (Treiberströme) praktisch unbeeinflußt bleiben (kleine Streuinduktivität). Dieser Anwendungsfall bedeutet eine Symmetrierung der Treiberdraht-Ansteuerung bezüglich der Kapazitäten des betreffenden Treiberdrahtes gegenüber seiner Umgebung.

2. Als Sperrdrossel für Gleichtaktsignale der Lesewicklung zum Leseverstärker hin.

3. 0. 4.
Pegelwandlerstufe

Die Umwandlung von MECL-Signalhub (-0, 7 V/-1, 5 V) auf andere, größere Signalhübe übernehmen emittergekoppelte Transistorstufen. Zwei oder mehr Transistoren vom gleichen Leitfähigkeitstyp sind in solch einer Stufe mit ihren Emittern über einen gemeinsamen Emitterwiderstand an Spannung gelegt.



Die einfachste Schaltung dieser Art (Bild 1) besteht im Kern aus zwei npn-Transistoren, die über einen gemeinsamen Emitterwiderstand R_E an die Spannung $-U_b$ gelegt sind und deren Basisanschlüsse mit zwei jederzeit zueinander negierten MECL-Signalen angesteuert werden. Derjenige der beiden Transistoren, der die positivere Basisspannung (-0, 7 V) hat, übernimmt den Strom des Emitterwiderstandes und bestimmt dadurch die Emitterspannung U_E (U_E = -0, 7 V - U_{BE} ≈ -1, 5 V), so daß der zweite Transistor, dessen Basis zur gleichen Zeit auf -1, 5 V liegt, gesperrt bleibt.

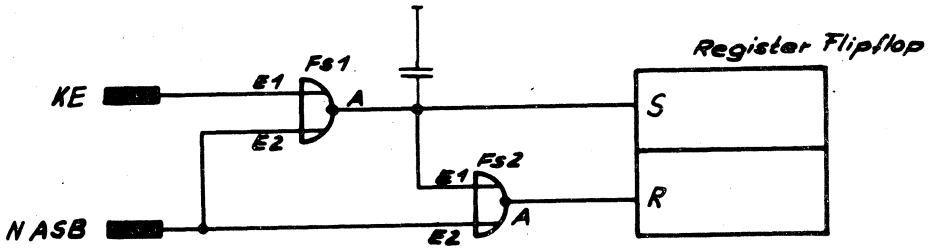
Der jeweils leitende Transistor arbeitet in dieser Stufe als hochohmige Stromquelle; der Emitterwiderstand bestimmt den Strom : $I_c \approx I_E = \frac{(-U_b) - UE}{R_E}$. Durch entsprechende Wahl von Betriebsspannung und Arbeitswiderstand am Kollektor eines solchen Transistors lassen sich vorgegebene Signalpegel am Kollektor (= Ausgang) realisieren.

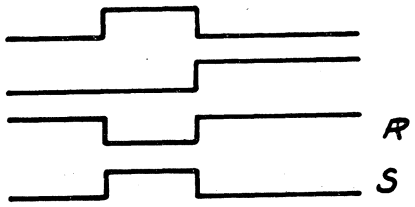
Wichtig in dieser Schaltung ist, daß die Pegelwandlertransistoren nicht in die Sättigung kommen, weil sonst der Basisstrom stark ansteigen und das ansteuernde MECL-Element unzulässig hoch belasten würde. Einfachster Sättigungsschutz für den Fall, daß nicht bereits durch das Verhältnis $R_1 : R_E$ der Transistor vor Sättigung geschützt ist, wäre eine Diode nach 0V, wie sie im Bild 1 eingezeichnet ist.

Der Pegelwandler kann eine zusätzliche logische Funktion (Entschlüsselung 1 aus n) übernehmen, wenn er n Transistoren an nur einem Emitterwiderstand R_E enthält und wenn gleichzeitig durch die ansteuernden MECL-Elemente garantiert wird, daß stets nur einer dieser Transistoren eine Basisspannung von -0, 7 V erhält, die übrigen n-1 Transistoren aber zur gleichen Zeit eine Basisspannung von -1, 5 V.

3.0.5. Pseudovolltransport

Er wird benötigt, um in das nachfolgende Register eine "0" einzuschreiben, wenn eine "L" gespeichert war, wobei am Eingang nur eine Polarität des Signales benötigt wird.





	Ruhezustand KE ≙ "0"	KE ≙ "L"
KE	0+L	0
NASB	L	0
Fs1/A	0	L
Fs2/A	0	0

Im Ruhezustand (NASB ≙ "L") bleiben beide E1 unwirksam, die Flipflop-Eingänge R und S liegen auf "0".

Im Arbeitszustand (ASB ≙ "0") werden beide E1 wirksam, so daß an S das invertierte KE-Signal und an R, über Fs2, das normale KE-Signal liegt.

Es ist darauf zu achten, daß die Information mindestens so lange wie der NASB anliegt, da sonst das Flipflop wieder zurückgesetzt werden könnte.

Durch die Zeitverzögerung in Fs2 kann ein kleiner Störimpuls entstehen, der jedoch die Funktion nicht beeinträchtigt.

Stehen beide Polaritäten des $\overline{KE}$ Signals zur Verfügung, wird jede über ein Gatter geführt und dort mit $\overline{NASB}$ verknüpft. Dann entfällt die ungleiche Zeitverzögerung in Fs2.

3.1.
Beschreibung der R-AK-2

Bezeichnung:	Adreß-Kabelübertragung R-AK-2 55.3059.507-00
Änderungsindex:	auf DZ: f
Anzahl/32 K:	1
Aufgabe im Speicher:	Empfang und Senden der Steuerinformationen und der Modul :adresse zwischen Speicher und Rechner. Verteilen der Steuerinformation auf die beiden Speichermoduln.
Ein- und Ausgänge:	
Spannungen:	-5,2 V +4,5 V -0,7 V -1,5 V

Signale

Eingänge

(N)SW15 SW16 .	Moduladresse	vom Rechner
(N)SW23		
(N)SZ1	AL (Ansteuerg. Lesen)	vom Rechner
(N)SZ2	LS (Ansteuerg. Lesesignal)	vom Rechner
(N)SZ3	AS (Ansteuerg. Schreiben)	vom Rechner
1,2,TWM	Wortmeldung	von R-AS
1,2,NTFM	Fertigmeldung	von R-AS
1,2,DPF	Dreierprobenfehlerm.	von R-DP
UH	Hilfsspannung	von R-STV
UN	Normierspg.	von R-STV

Ausgänge

1,2 YAL	Ansteuerung Lesen	zur R-AS
1,2 YLS	Ansteuerung Lesesignal	zur R-AS
1,2 YAS	Ansteuerung Schreiben	zur R-AS
1,2 S0	Inform.-Reg. Löschen	zur R-IV
1,2 ASB1	Übernahme Inform.	zur R-IV
1,2 ASB2	Übergabe Inform.	zur R-IV
TVM	Durchschalten Inf.	zur R-IK
SZ6	Wortmeldg. f. Rechner	zum Rechner
1,2 SZ7	Fertigmeldg. f. Rechner	zum Rechner
1,2 SZ8	Dreierprobenfehlermeldg. f. Rechner	zum Rechner
SS	Normierung	zur AS

Die AK besteht aus zwei Einheiten für die Steuerung von zwei Moduln und der für beide Moduln gemeinsamen Speicherschutzschaltung.

Die 2 Bit der Moduladresse SW15, SW16 werden in 2 KE empfangen und am Ausgang direkt verbunden (wire-or).

Die 3 Bit Steuerinformation SZ1...SZ3 werden ebenfalls über 3 KE empfangen.
In den Fs, D7, D9, D11, D17, erfolgt dann die Verknüpfung mit den Steuersignalen, so daß an den Ausgängen dieser Fs YAL, S0, YLS nach Moduln getrennt zur Verfügung stehen.
ASB1 soll nur bei Schreibzyklen angewendet werden, da beim Löschen Störungen auf der Informationsleitung das Informations-Flipflop setzen könnten. Deshalb wird es von SZ2 (LS) abhängig gemacht (Fs D13/7). Damit ASB1 nicht länger als die Information am Informations-Register anstehen kann, ist ein Zeitglied (E13) vorgesehen, das nach etwa 40 ns D13 löscht. Die dann an D15/5 entstehende "0" würde nach kurzer Zeit auch an D13/6 liegen. Falls die Modul adresse und AL noch anliegen, könnte nochmals ein ASB1 entstehen. Mit C4 wird aber erreicht, daß das Zurückschalten von "L" auf "0" an D13/6 verzögert wird.

Der nachfolgende Verstärker soll die Flanken verbessern und die Amplitude wegen größerer Störsicherheit vergrößern. Ist T2 leitend, sinkt das Potential am Kollektor, bis Gr5 leitend wird. Am Emitter von T1 liegen dann entsprechend den 3 Diodenstrecken, Gr5 - Gr3 - U_{EB} von T1, etwa -2,1 V.
Ist T2 gesperrt, leitet Gr4: Anode Gr4: +0,7 V, Kathode Gr3: 0 V, Emitter T1: -0,7 V
Das Signal UI setzt das Flipflop E19 und steuert zugleich ASB2 an, um die Durchlaufzeit des Flipflop zu sparen (ASB2 ist ein negativer Impuls! Ruhezustand -0,7 V) Wenn E19 gesetzt ist, übernimmt es die Ansteuerung von ASB2.

Steht die ausgelesene Information im Register, kommt TWM und setzt E9. Damit sind an E11 beide Eingänge "0", der Ausgang wird "L", über die ODER-Schaltung F11, F13 erscheint am Ausgang TVM als positiver Impuls, der über einen KS als SZ6 zum Rechner geht. Die "L" von E11/6 durchläuft in F17 ein Verzögerungsglied von 50 µs und setzt damit E9 und E19 zurück.
Der Impuls NTFM wird mit dem Flipflop der Wortmeldung konjunktiv verknüpft, damit bei langsamen Taktfrequenzen die Fertigmeldung nicht vor der Wortmeldung gebildet werden kann. Der entstehende Impuls wird mit dem Zeitglied D1, D3, D5 auf 50 ns begrenzt und über einen KS zum Rechner geschickt.
DPF kommt schon als 50 ns-Impuls von der DP und kann direkt über einen KS zum Rechner geleitet werden.
Die Steuerung für den 2. Modul geschieht in genau gleicher Weise wie beim 1. Modul.

Speicherschutzschaltung

Ruhezustand: UH = 12 V; UN, = 0 V; T19 geschlossen; T18 geöffnet (-0,6 V am Kollektor); T17 geöffnet (-1,2 V am Emitter); Kathode von Gr31 -2,4 V; SS-Ausgang: -2,6 V; Normiereingang der Flipflops: -3,0 V.

Normieren: UN ist auf +8 V. Nach einem Spannungsteiler und einem Integrierglied, das Störungen fernhalten soll, wird T19 geöffnet und dadurch T18 gesperrt (Kollektor T18: +10 V).

T17 ist geöffnet (Emitter T17: +9 V).
Kathode Gr31: +7 V und SS-Ausgang wegen der leitenden Gr30: +0,6 V. An der Kathode von Gr29 stehen noch etwa +0,2 V zur Verfügung, um die Flipflops zu normieren.

3.2.
Beschreibung der
R-AR1

Bezeichnung: Adreß-Register
R-AR1 55.3059.556-00

Änderungsindex:

Anzahl/32 k: 2

Aufgabe im Speicher: Übernahme, Ausblenden, Speichern der vom Rechner kommenden Blockadresse.

Ein- und Ausgänge:

Spannungen: Masse (0 V)
-5,2 V

Signale

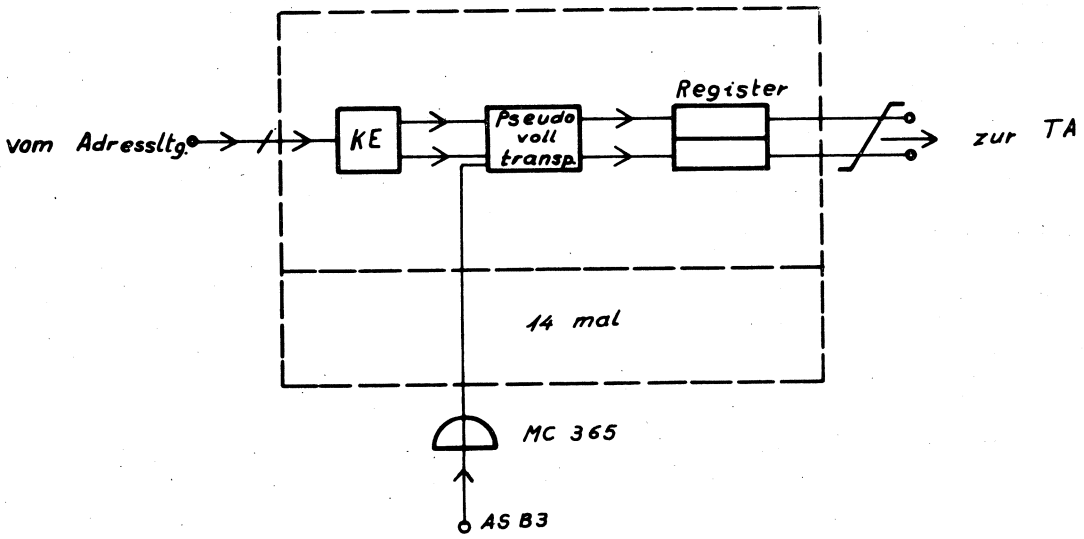
Eingänge

(N)SW6...(N)SW19	Blockadresse	vom Rechner
ASB3	Ausblendung	von AK2

Ausgänge

(N)A1...(N)A14	Adressenausgang	zur TA

Aufbau



Die AR besteht aus 14 gleich aufgebauten Einheiten, die je einen Kabelempfänger, eine Logik für den Pseudovolltransport und ein Register-Flipflop enthalten.
ASB3 wird am Eingang noch mit einem MC365 verstärkt.

Der Kondensator am Ausgang des KE soll verhindern, daß das Flipflop beim Empfangen einer "L" zurückgesetzt wird, wenn ASB3 zu lange ansteht.
In diesem Fall schaltet KE Ausgang 5 am Ende des Adreß-Impulses verzögert auf "0", so daß auch bei etwas länger anstehendem ASB3 keine "L" auf den Eingang 10 des Registers kommen kann.

3.3.
Beschreibung der
R-AS 1

Bezeichnung: Ablaufsteuerung
R-AS 1 55.3059.541-00

Änderungsindex: auf DZ: C

Anzahl/32 K: 2

Aufgabe im Speicher: Sie steuert den zeitlichen Ablauf der für den Speicher notwendigen Impulse

Ein- und Ausgänge:

Spannungen: -5,2 V
+15 V

Signale

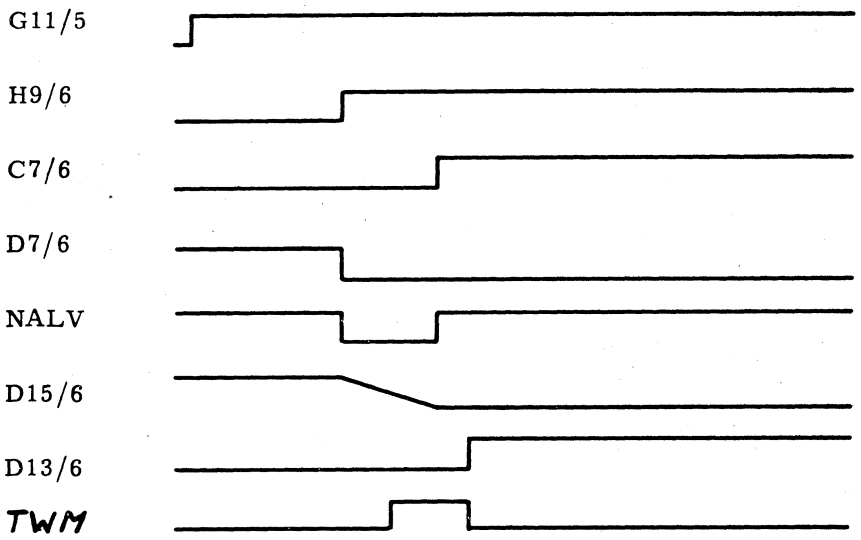
Eingänge			
YLS	Ansteuerung Dreierprobenpruefung Ansteuerung Lesesignal	von AK	
YAL	Ansteuerung Lesen	von AK	
YAS	Ansteuerung Schreiben	von AK	
ASB1	Übernahme Inform.	von AK	
SS	Normierung	von AK	
Ausgänge			
TWM	Wortmeldung	zur AK	
NALV 1,2	Abfrage Leseverst.	zur IV	
(N)T	Dreierprobe Abfrage	zur DP	
DP	Dreierprobe Unterscheidung Pruefen, Bilden	zur DP	
N(TI)	Inhibit-Stromeinpr.-Anst.	zur IA	
N(TS)	Inhibit-Trennsch.-Anst.	zur IA	
PL	Trennschalter-Anst. Lesen	zur ST	15 V Ampl.
PS	Trennschalter-Anst. Schreiben	zur ST	15 V Ampl.
ASB3	Ausblendung Adreßregister	zur AR	
TFM	Speicherfertigmeldung	zur AK	
(N)FM	Adreßentschl.-Anst.	zur TA	

Zusammenfassung: Auf der AS werden folgende Impulsgruppen erzeugt:

Auslesen aus dem Speicher
Einschreiben
Dreierprobenprüfung
Fertigmeldung
Speicherschutzschaltung
Referenzspannung fuer Leseverstaerker

Auslesen:

YLS wird in G13 gespeichert. Es wird mit YAL konjunktiv verknüpft. Den weiteren Ablauf zeigt die Skizze. Genaue Zeitverhältnisse im Impulsplan. Mit P2 kann der Einsatzpunkt des NALV auf das Lesesignal abgestimmt werden. Der Abstand zwischen NALV und TWM kann mit R19, C16 eingestellt werden.
In G17 wird YAL gespeichert. Mit H17 und E19 wird der Leseimpuls auf etwa 300 ns begrenzt.



Dreierprobenprüfung

Das Signal (N)T (Abfragen der Dreierprobe) wird sowohl beim Lesenzyklus als auch beim Schreibenzyklus (mit ASB1) gebildet. Bei Schreibenzyklen wird mit ASB1 gesetzt, so daß mit (N)GS zwischen Lesen und Schreiben unterschieden werden kann. Das Dreierprobensignal DPST (50 ns) wird in gespeichert. Sowohl beim Prüfen als auch beim Bilden wird die Durchlaufzeit durch die Dreierprobenlogik durch ein Zeitglied (nach C7/5 bzw. nach E5/5) berücksichtigt. Anschließend werden die Signale auf 50 ns begrenzt und vor C1 disjunktiv zusammengefaßt.

Einschreiben

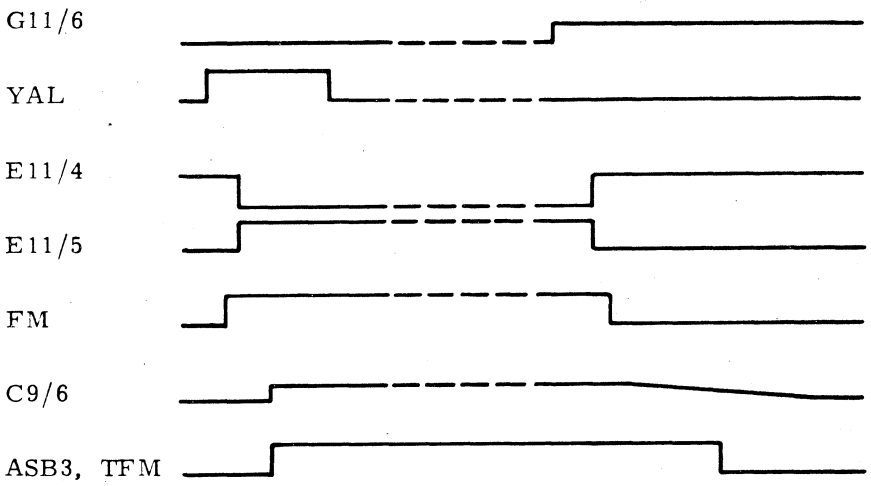
YAS wird in G15 gespeichert. Da die Dreierprobe erst gebildet oder geprüft werden muß, wird der Beginn des Schreibimpulses nach H15 noch verzögert. Am Ausgang von E15 erscheint erst dann ein Signal, wenn TL schon abgeklungen ist.

(N)TI wird gebildet auf der IA verstärkt und dient dann zur Ansteuerung der Inhibitstromeinprägung.
Nach etwa 40 ns wird über H11 (N)TS eingeschaltet. Es wird auf der Karte verstärkt PS und schaltet auf der ST die Stromrichtung auf Schreiben. (N)TS wird auch auf der IA benützt und schaltet dort die Stromeinprägung ein.
Nach etwa 300 ns werden mit dem Zeitglied H11 - G11 (N)TI und (N)TS zurückgesetzt.

Fertigmeldung

Mit dem Speicheranstoß YAL wird auch E11 gesetzt und, um die Durchlaufzeit von E11 zu überbrücken, zugleich D11 angesteuert. D11 wird nach Ablauf von YAL von E11 gehalten. (N)FM wird zur Ansteuerung der TA verwendet und soll möglichst früh kom-

men, um die Zugriffszeit möglichst kurz zu halten. Ist E11 gesetzt, schaltet C9 um. ASB3 sperrt die Adresseneingänge auf der AR.
Ist nun die Zeitschaltkette soweit abgelaufen, daß am G11/6 eine "L" erscheint (Ende des Schreibimpulses), wird E11, G13, G15, G17 gelöscht, damit schaltet D11 zurück und die positive Flanke von NFM löscht E7 und E9. Durch das Zeitglied bei D9 wird die "0" am C9/6 noch so lange verzögert, bis der Zyklus im Speicher ganz abgeschlossen ist. Erst dann wird TFM abgegeben und ASB3 öffnet die Eingänge der AR wieder.



Speicherschutzschaltung

Im Ruhezustand liegen am SS-Eingang etwa -2, 6 V.
Soll der Speicher normiert werden, liegen am SS-Eingang etwa +0, 6 V. Nach den Dioden Gr1, Gr2, Gr3 ist das Potential noch etwa 0 V. Damit können die Flipflops G13, G15, G17, E11 zurückgesetzt werden. C17 soll Störimpulse unwirksam machen.

Referenzspannung

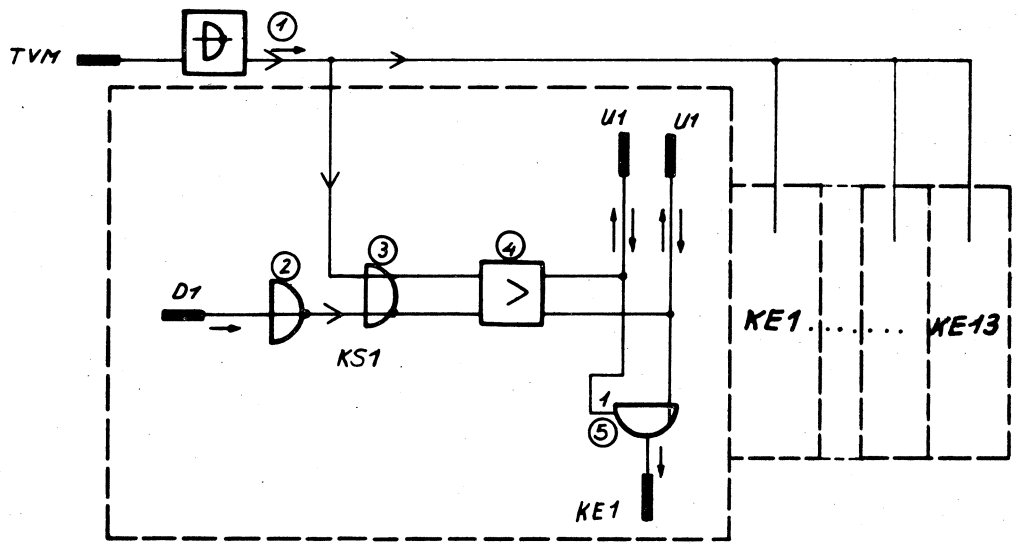
Für die Leseverstärker wird eine Referenzspannung benötigt, die an dem Spannungsteiler R1/R2 abgegriffen wird.
$-0,31V > U_R > -0,69V$
Eingestellter Wert etwa -0, 45 V.

3.4.
Beschreibung der JK-2

Bezeichnung:	Informationskabelübertragung JK 2 55.3059-502.00
Änderungsindex:	a
Anzahl pro 32 K:	2
Aufgabe im Speicher:	Sie besorgt die Verstärkung und Übertragung der Information vom Informationsregister des Speichers (auf der JV 1) auf die zum Rechner führende Kabelstrecke und umgekehrt.
Aus- und Eingänge:	Spannungsversorgung + 4,5 V 0 V - 0,7 V - 1,5 V - 5,2 V

					Ruhezust.	
					50ns	
		TVM	Zeitvermaßung	von R-AK-2	⎍⎍	
D1	...	D 13	Informationseingang	von R-JV-1	0+L	
KE1	...	KE 13	Informationsausgang	zur R-JV 1	0+L	"0" =
U1	...	U 13	Inform.ein- u. ausgang	verdrilltes	0+L	-1,55 V
U 1	...	U 13-	Inform.ein- u. ausgang invers	Kabel zum	0+L	"L" =
				Rechner		-0,75 V

Blockschaltbild



Die Pfeile bedeuten Signalflußrichtungen

Übersicht

Die JK-2 besteht aus 13 gleich aufgebauten Einheiten, KE 1 ... KE 13, die jeweils 1 Bit empfangen bzw. senden können.

Vom Ausgang der Umkehrstufe (1) wird der Ausblendeimpuls an die einzelnen Kabelsender verteilt. (1) wurde eingefügt, damit TVM nicht zu stark belastet wird.

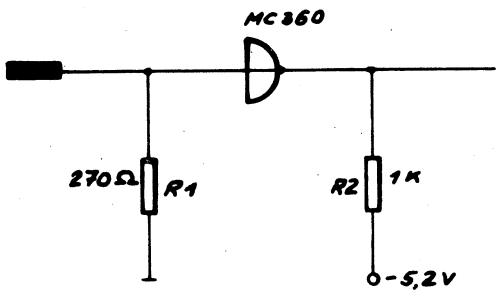
Aufbau einer Einheit:

Senden zum Rechner.

Da die Information D1 von 2 Speichermoduln durch "wire-or" zusammengefaßt wird, muß sie im Ruhezustand "0" sein. In (2) wird die Information invertiert.
In (3) wird die Information mit der Zeitvermaßung disjunktiv verknüpft. Der Ausgang schaltet nur dann um, wenn D1 "L" ist.
In (4) wird das normale und das inverse Signal verstärkt und läuft über das verdrillte Kabel U1, U1- zum Rechner.

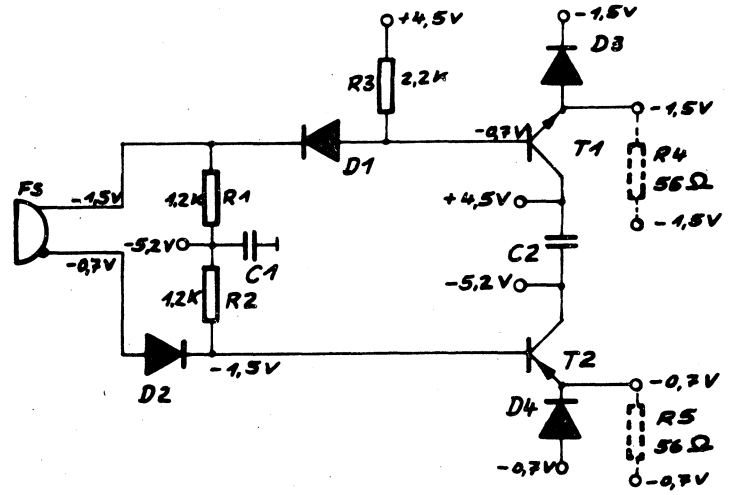
Empfang vom Rechner:

Das normale und das invertierte Signal kommen über U1 bzw. U1- auf einen als Differenzverstärker geschalteten Kabelempfänger (5).

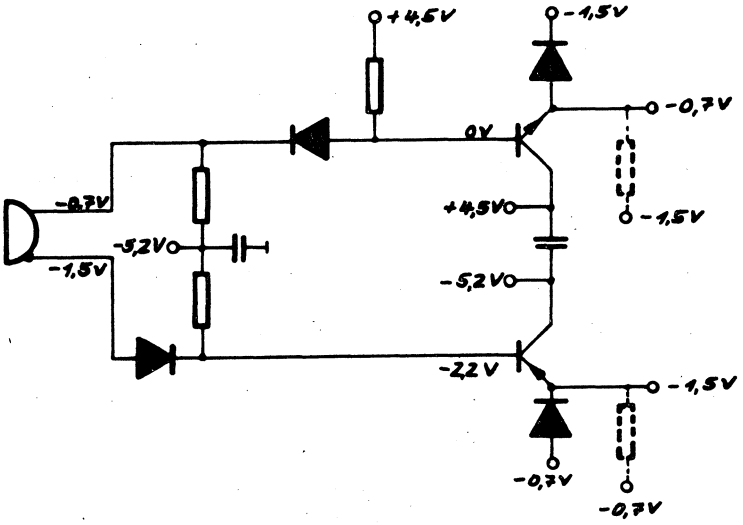


R1 bewirkt eine Dämpfung der Schwingungen des ankommenden Signals

R2 bewirkt eine Verkleinerung des Emitterwiderstandes des MC 360 und damit eine größere Flankensteilheit der neg. Flanke.



Ruhezustand



Beim Senden einer "L"

R1, R2 sind Zugwiderstände für die Ausgänge des Fs, um steilere Flanken zu erhalten.
D1 erhöht über den Zugwiderstand R3 die Ausgangsspannung um 0,7 V. D2 setzt sie um 0,7 V herab. Sie gleichen also die Basis-Emitter-Spannungen der nachfolgenden Transistoren aus. R4 und R5 bilden den Abschluß der Kabelübertragungsstrecke (auf der KU).
D3 und D4 sollen ein Überschwingen der Vorderflanke verhindern.
C1, C2 sind Siebkondensatoren.

3.5.
Beschreibung der TA 1

Bezeichnung:	Trennschalter-Ansteuerung R-TA 1 55.3059.536-00
Änderungsindex:	d
Anzahl/32 K:	4
Aufgabe im Speicher:	Adreß-Entschlüsselung und Verstärkung der entschlüsselten Adresse.
Ein- und Ausgänge:	
Spannungen:	Masse (0 V) -5,2 V +15 V +30 V

Signale

Eingänge

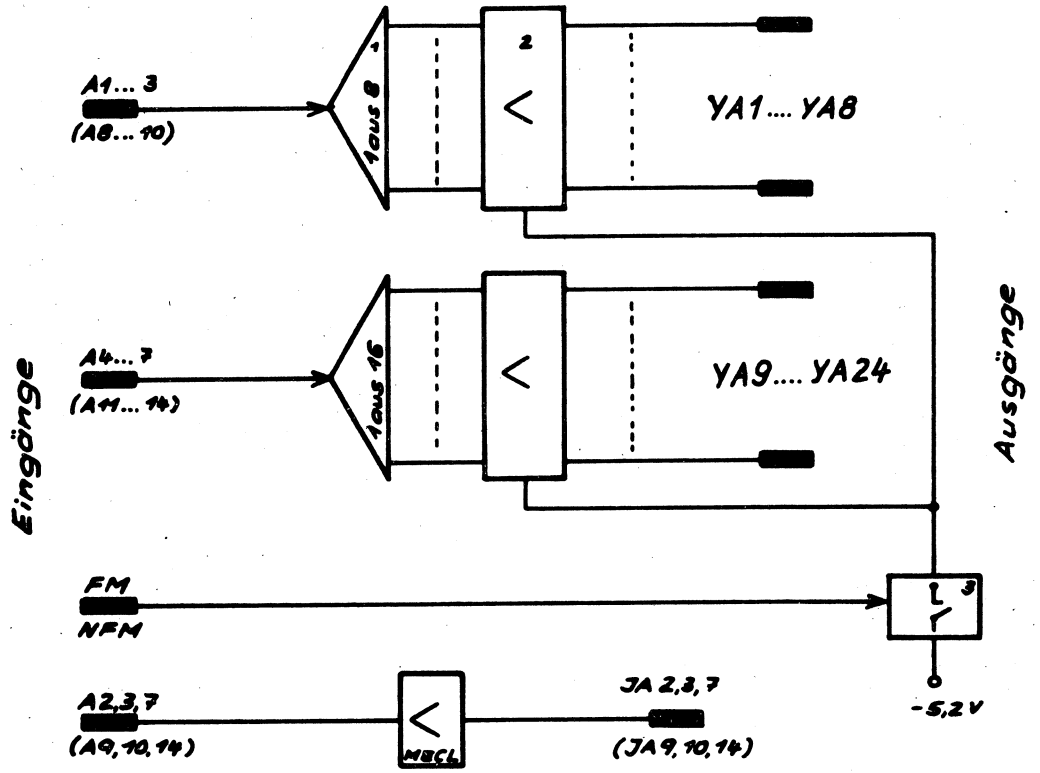
A1, NA1 bis A7, NA7 bzw. A8, NA8 bis A14, NA14	Adressen	von R-AR 1	MECL-Pegel
FM, NFM	"Speicher belegt"-Signal	von R-AS 1	MECL-Pegel

Ausgänge

XA1...XA24 bzw. YA1...YA24	verstärkte entschlüsselte Adr.	an R-ST1	

Die Ausgänge bilden zwei Gruppen, eine 1 aus 8-Auswahl und eine 1 aus 16-Auswahl. Ausgewählte Ausgänge sind 0 V, nicht ausgewählte +15 V.

IA2, NIA2 IA3, NIA3 IA7, NIA7 bzw. IA9, NIA9 IA10, NIA10 IA14, NIA14	zwischenverstärkte Adressen	an R-IA1	MECL-Pegel



BLOCKSCHALTBILD TA1

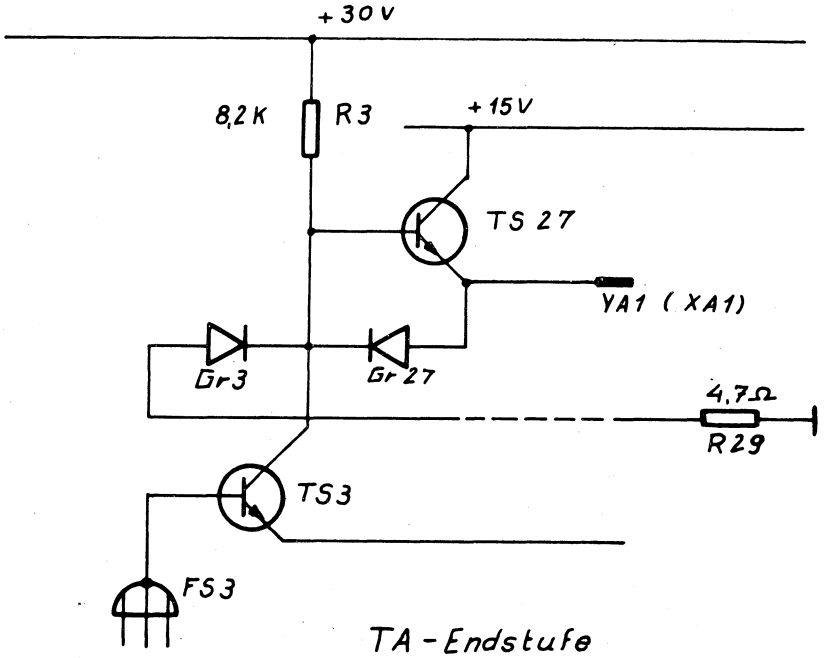
Entschlüsselung

Achtergruppen:
1 aus 8 mit MC 356 (3 input-gates)

Sechzehnergruppen:
1 aus 16 mit MC 351 (5 input-gates)

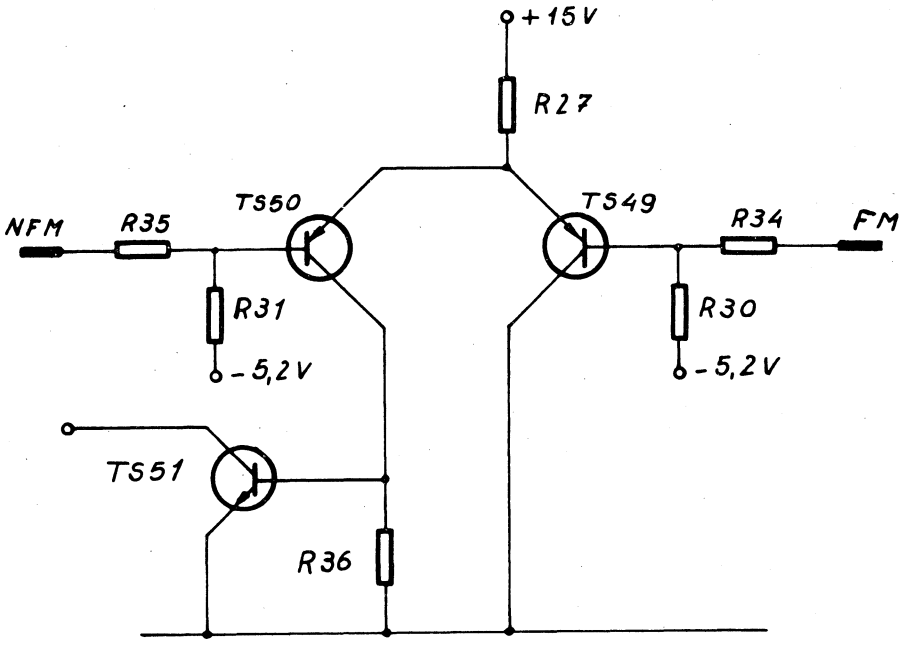
Die Adreß-Eingänge sind mit einem 2,2 k -Widerstand nach -5,2 V belastet, um die Schaltgeschwindigkeit von "L" nach "0" zu erhöhen.
Von der Achter- und der Sechzehnergruppe ist jeweils ein Ausgang "L" (-0,7 V), die übrigen Ausgänge sind "0" (-1,5 V).

Jeder Ausgang ist mit der Basis eines Transistors verbunden; die Transistoren einer Gruppe haben einen gemeinsamen Emitterwiderstand. Die zwei Emitterwiderstände werden gemeinsam während der FM-Impulszeit an -5,2 V gelegt. Dadurch leiten die zwei Transistoren, deren Basis auf -0,7 V liegt, während alle anderen Transistoren gesperrt sind. In der FM-Impulspause (Transistorschalter 3 gesperrt) steigt die Emitterspannung schnell soweit an, daß alle 24 Transistoren gesperrt sind.



TA - Endstufe

Wenn Ts3 leitet, sinkt die Kollektorspannung und damit die Basisspannung von Ts27. Der Emitter von Ts27 wird um die Diodenspannung der Gr27 positiver als die Basis, Ts27 ist gesperrt. Die Schaltung kann als Stromsenke arbeiten (Stromweg über Gr27, Ts3 und den Emitterwiderstand und Transistorenschalter nach -5,2 V). Die Diode Gr3 schützt den Transistor Ts3 vor Sättigung. Der Widerstand R29 dämpft eine eventuell vorhandene Schwingneigung der Schaltung.
Ist Ts3 gesperrt, bekommt Ts27 über R3 Basisstrom und beginnt zu leiten. Dadurch wird YA1(XA1) niederohmig an 15 V gelegt, wodurch Störungen durch kapazitive Einkopplungen verringert werden.



TRANSISTORSCHALTER (3)

Wenn FM "L" ist (-0,7 V), ist Ts49 gesperrt und Ts50 leitet (Differenzverstärker), damit leitet Ts51 und schaltet die Emitterwiderstände der Endstufen an -5,2 V.

3.6.
Beschreibung der
IA 1

Bezeichnung: Inhibit-Ansteuerung TR 440
R-IA1 55.3059.521-00

Änderungsindex: b

Anzahl/32 K: 2

Aufgabe im Speicher: Bereitstellung der adreßabhängigen Ansteuerimpulse für die Inhibit-Trennschalter und des Ansteuerimpulses für die Spannungsverdopplerschaltung auf der IT 1

Ein- und Ausgänge:

Spannungen: Masse (0 V)
-5,2 V
+15 V

Signale

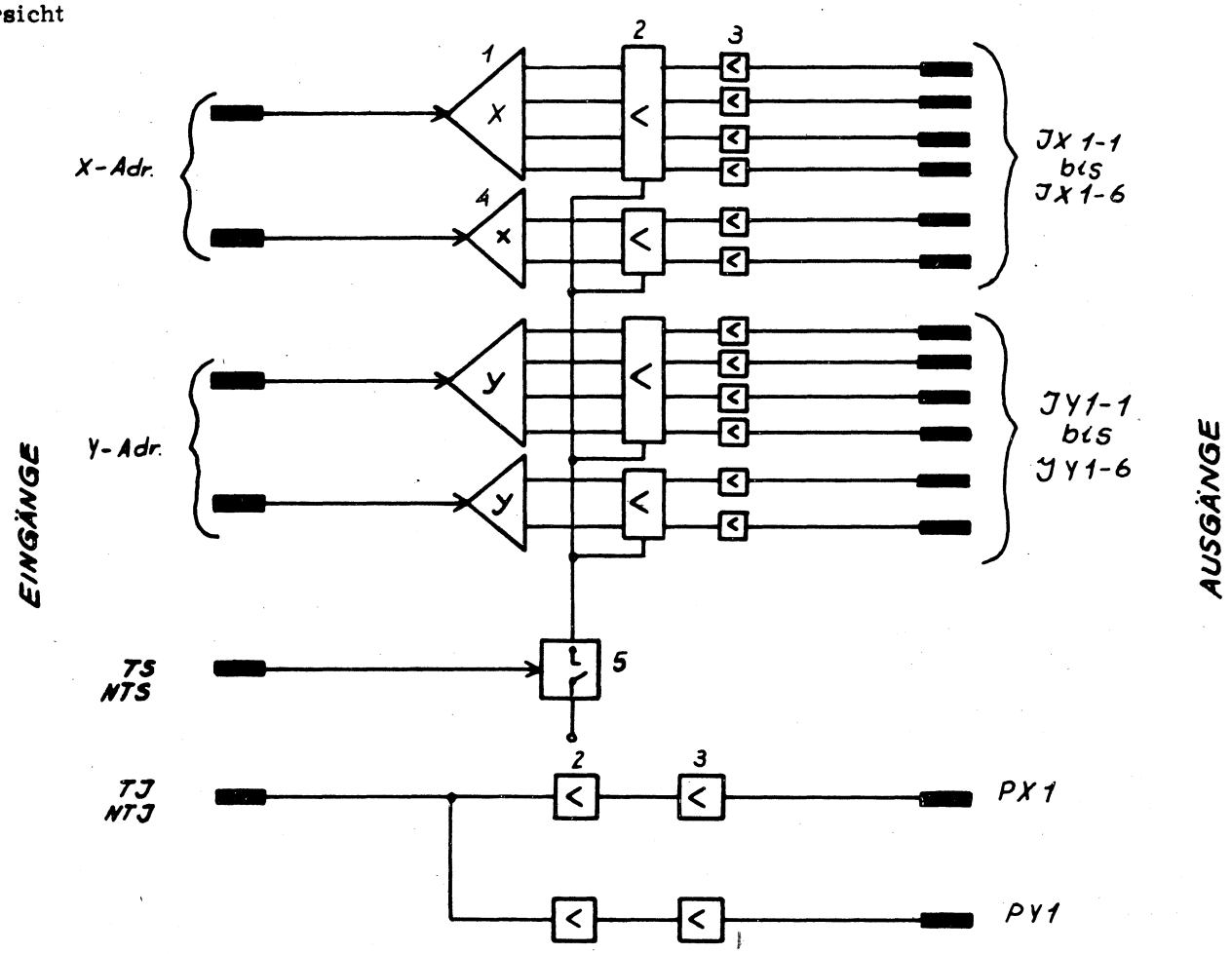
Eingänge

I A2, NIA2 I A3, NIA3 I A7, NIA7 I A9, NIA9 I A10, NIA10 I A14, NIA14	Adressen	von R-TA2	MECL-Pegel
TS, NTS	Auslösung und Zeitvermaßung für den Inhibit-Impuls	von AS	MECL-Pegel
TI, NTI	Auslösung für die Spannungsverdoppler-Schaltung	von AS	MECL-Pegel

Ausgänge

IX1-1 bis IX1-6 IY1-1 bis IY1-6	Ansteuerimpulse	an X- und Y-Inhibit-trennschalter	Impulse von 0 auf +15 V
PX1 PY1	Ansteuerimpulse	für Spannungsverdopplerschaltung, getrennt X- und Y-Inhibit	Impulse von 0 V auf +15 V

Übersicht



BLOCKSCHALTBILD JA 1

Entschlüsselung

Vierergruppen:
1 aus 4 mit Dual 2-input-gates (MC 360) (1), die Adresseneingänge werden mit RC-Gliedern gegen Störungen gesiebt.

Zweiergruppen:
Ein 3-input-gate (4), bei dem ein normaler Eingang und der Bias-Eingang mit Adresse und negierter Adresse belegt werden.

In den Vierer- und Zweiergruppen ist jeweils ein Ausgang (bei den Zweiergruppen zwangsläufig, da "OR"- und "NOR"-Ausgang benutzt werden) "L" (-0,7 V), die übrigen Ausgänge sind "0" (-1,5 V).

Jeder Ausgang ist mit der Basis eines Transistors (2) verbunden; die Transistoren einer Gruppe haben einen gemeinsamen Emitterwiderstand. Die 4 Emitterwiderstände werden gemeinsam während der TS-Impulszeit an -5,2 V gelegt. Dadurch leiten die insgesamt 4 Transistoren, deren Basis auf -0,7 V liegt, während bei Abwesenheit von TS (Transistorschalter (5) gesperrt) die Emitterspannung so weit ansteigt, daß alle 12 Transistoren gesperrt sind.

Die Dioden am Kollektor der Vorverstärker-Transistoren (2) verhindern das Absinken der Kollektorspannung bis zur Sättigung des Transistors, da bei Sättigung die Gates überlastet würden (Absin-

ken der Ausgangsspannung, als Folge könnten nicht ausgewählte Transistoren leitend werden). Die Endtransistoren (3) werden über einen sekundärseitig gedämpften Übertrager 25:5 angesteuert, sie schalten +15 V auf die IX- bzw. IY-Leitungen. Die Ausgänge werden über Widerstände, die an -5,2 V liegen, nach Ende des Impulses entladen. Nach unten wird die Ausgangsspannung durch die Schaltung auf der IV 1 begrenzt, sie liegt bei ca. -0,5 V. Auf Kollektorwiderstände bei den Vorstufen konnte verzichtet werden, da der Kollektorstrom durch die als Emitterfolger arbeitenden Transistoren begrenzt wird.

Die Schaltungen für den Transistorschalter (5) und für die Erzeugung von PX1 und PY1 entsprechen denen der Zweiergruppen, mit folgenden Ausnahmen:

Die Emitterwiderstände gehen direkt an -5,2 V
die Übertrager sind primär gedämpft
es werden Kollektorwiderstände verwendet
derjenige Transistor, der während der Impulspause leitet, liegt mit dem Kollektor direkt an 0 V
der Endtransistor des Schalters (5) liegt nicht mit dem Kollektor an +15 V, sondern mit dem Emitter an -5,2 V.

3.7.
Beschreibung
der ST1

Bezeichnung:	Trennschalter mit Stromeinprägung TR440 R-ST1 55.3059.531-00
Änderungsindex:	c
Anzahl/32 k:	24
Aufgabe im Speicher:	Schalten und Begrenzen des Treiberstromes
Ein- und Ausgänge:	
Spannungen:	Masse (0 V) -5,2 V +15 V +30 V

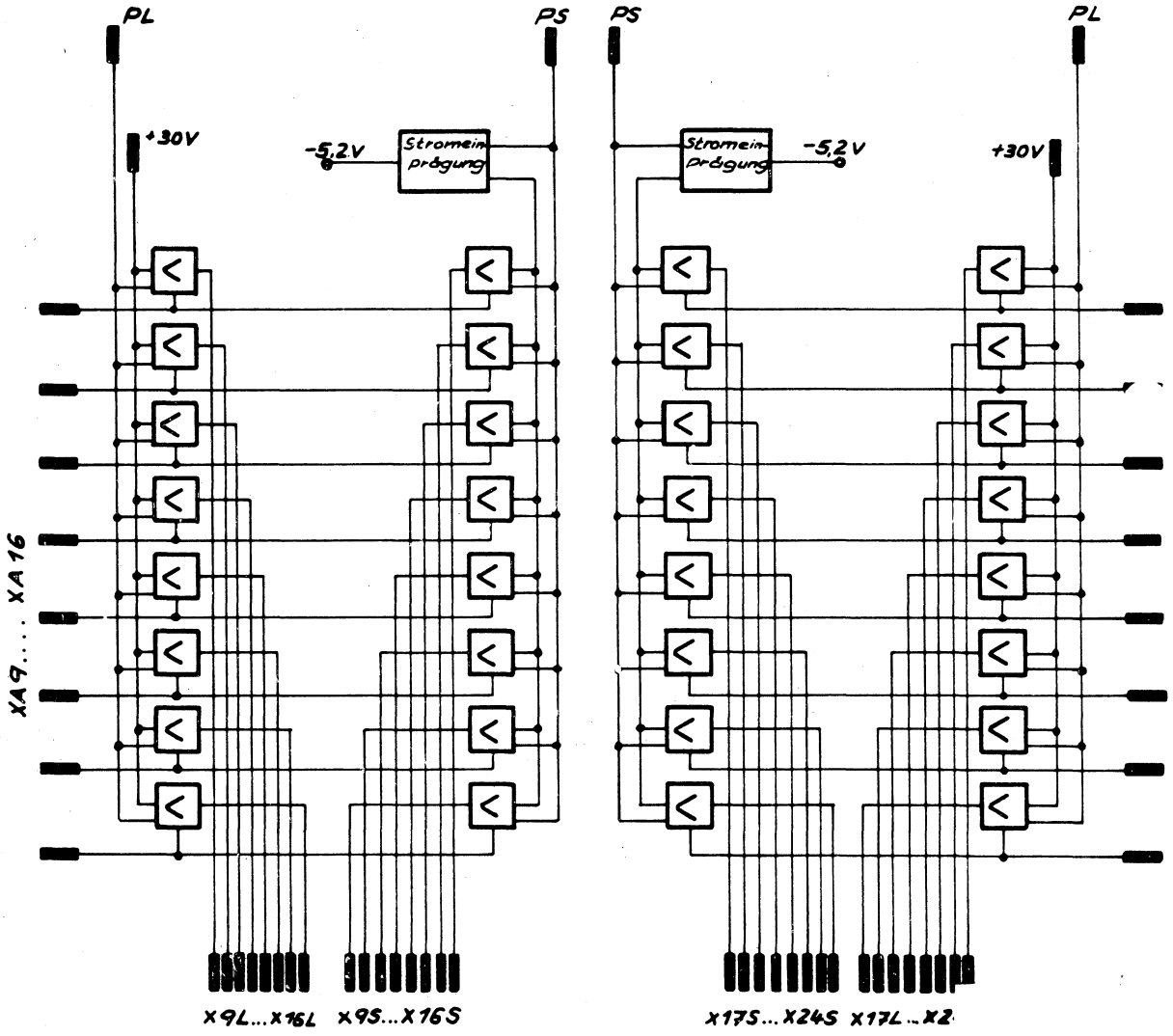
Signale (Beispiel X-X-Platte)

Eingänge

XA9...XA24	verstärkte entschlüsselte Adresse	von TA1	Impulse von +15 V auf 0 V
PL	Schaltertreiber Lesen	von R-AS1	
PS	Schaltertreiber Schreiben	von R-AS1	Impulse von 0 V auf +15 V

Ausgänge

X9L....X24L X9S....X24S	Trennschalterausgänge die X..L schalten die Spannung die X..S schalten die Stromeinprägung	zum Block



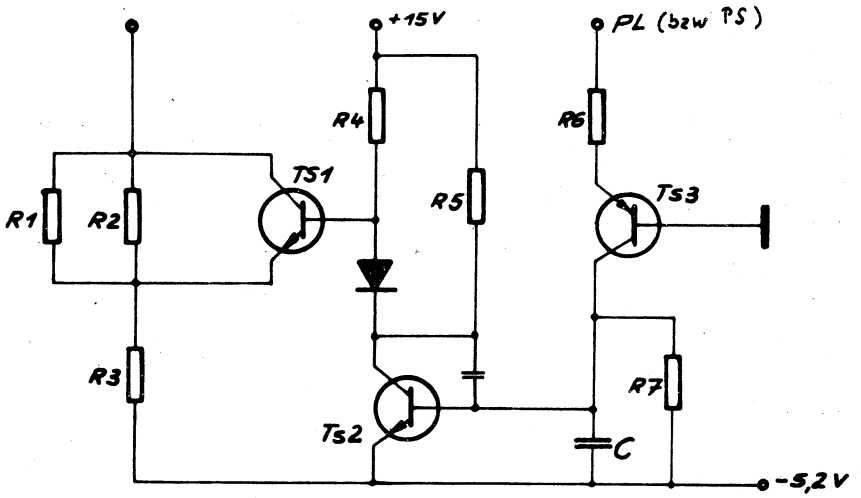
BLOCKSCHALTBILD ST1

Die Trennschalter werden über primärseitig gedämpfte Übertrager 25:5 angesteuert, der Ansteuerstrom wird durch 470 Ω Widerstände begrenzt.

Eine Adresse liegt immer an zwei Trennschaltern gleichzeitig, von denen einer mit +30 V and der andere mit der Stromeinprägung verbunden ist. Die Auswahl zwischen diesen beiden Trennschaltern wird von PL bzw. PS getroffen.

Die Kollektor- bzw. Emitterdiode nach +30 V bzw. nach 0 V dient als Überspannungsschutz für den jeweiligen Transistor (Rückschwingen der Treiberleitung), der Parallelwiderstand zur Diode **legt Sperrspannung an die Matrixdioden auf den ES 1.**

Stromeinprägung:



Die Widerstände R1 und R2 begrenzen zusammen mit R3 den Treiberstrom. R1 und R2 werden während der Vorderflanke des Treiberimpulses von Ts1 überbrückt, Ts1 sperrt, wenn der Strom seinen Nennwert erreicht hat.

Ruhezustand

PL ist 0 V, Ts3 gesperrt. Ts2 ohne Basisstrom und daher auch gesperrt. Spannung am Kondensator C 0 V. Ts1 leitet, da er über R4 angesteuert wird.

Arbeitszustand

Mit Pl wird Ts3 leitend und lädt den Kondensator C auf. Damit schaltet Ts2 verzögert ein und zieht die Basis des Ts1 auf ca. -4 V. Ts1 ist damit gesperrt, bis PL wieder 0V wird und sich C über R7 und die Basis von Ts2 entladen hat.

3.8.
Beschreibung der
IT1

Bezeichnung:	Inhibit-Trennschalter TR 440 R-IT1 55.3059.516-00
Änderungsindex:	c
Anzahl/32 k:	10
Aufgabe im Speicher:	Schalten und Begrenzen des Inhibitstromes
Ein- und Ausgänge:	
Spannungen:	Masse (0 V) +15 V +30 V

Signale

Eingänge

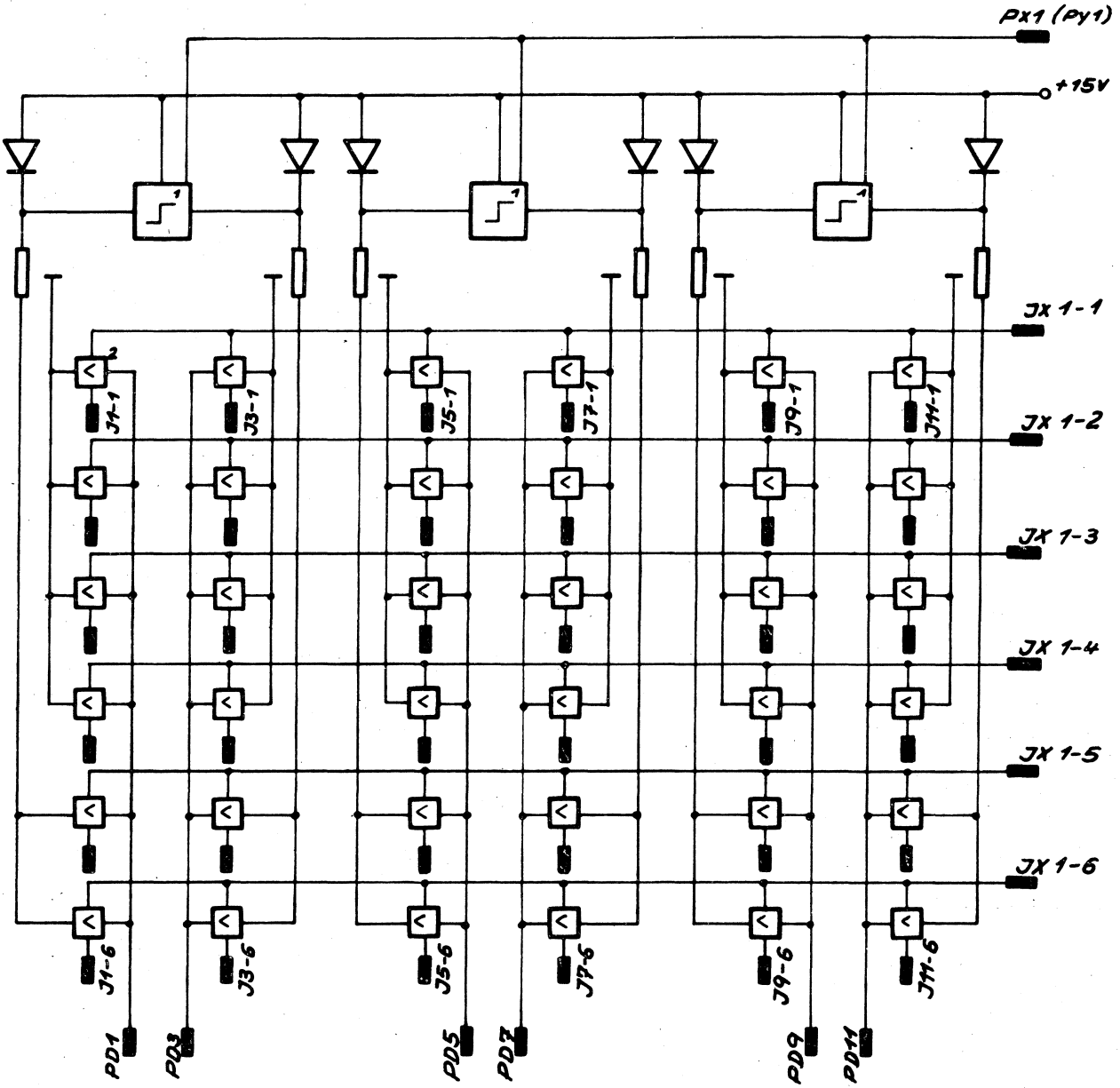
IX1-1 oder IY1-1 ⋮ ⋮ IX1-6 oder IY1-6	Schaltertreiberimpulse	von IA1	0 V auf +15 V
PX1 oder PY1	Treiberimpuls	für Spannungsverdoppelung	
PD k (k = 1...13,)	Signale vom Leseverstärker		0 V bei "0"-schreiben +15 V bei "L"-schreiben

k ungerade bei X-Inhibit,
k gerade bei Y-Inhibit

Ausgänge

Ik-1 bis Ik-6 (k wie bei PD k)	Trennschalter-Ausgänge	zum Block

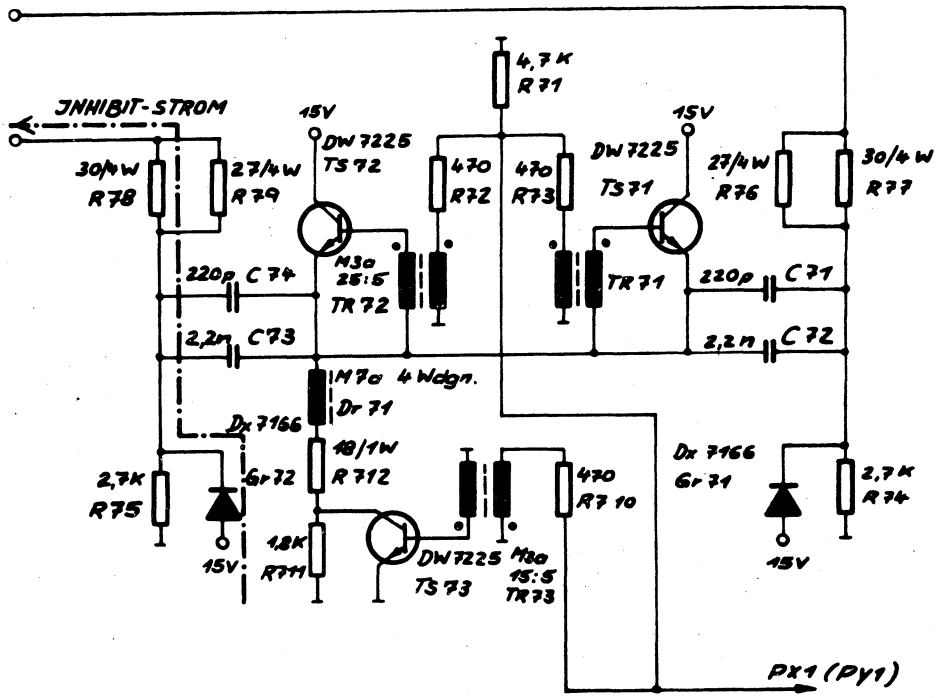
Ik-1 bis Ik-4 schalten 0 V an die Wicklung,
Ik-5 und Ik-6 die Stromeinprägung



BLOCKSCHALTBILD JT 1

1: Spannungsverdoppler - Schaltung

2: Transistorschalter



Spannungsverdoppler-Schaltung

Die Kondensatoren C71, C72, C73 und C74 werden über den Weg R711, R712, Dr71 und Gr71 bzw. Gr72 auf 15 V aufgeladen. Mit dem Impuls PX1 bzw. PY1 werden die Transistoren Ts71 und Ts72 leitend, so daß die Kondensatorspannung auf die +15 V aufgestockt wird. Damit stehen während der Vorderflanke des Inhibitimpulses ca. +30 V zur Verfügung. Die Kondensatoren werden während der Vorderflanke des Inhibitimpulses entladen, so daß während der restlichen Impulszeit der Inhibitstrom von +15 V über die Dioden Gr71 bzw. Gr72 fließt. Der Übertrager Tr73 ist so gepolt, daß während PX1 bzw. PY1 der Transistor Ts73 nicht leitend werden kann.

Ts73 wird erst mit der Rückflanke von PX-1 bzw. PY-1 durch das Rückschwingen des Übertragers angesteuert und überbrückt dann den Widerstand R711, womit die Neuaufladung der Überhöhungskondensatoren beschleunigt wird. Die Drossel Dr71 dient zur Begrenzung des Ladestromes, um den Transistor Ts73 vor Überlast zu schützen. Der Inhibitstrom wird durch die parallel geschalteten Widerstände R76 und R77 bzw. R78 und R79 begrenzt.

Die Inhibittrennschalter werden über sekundärseitig gedämpfte Übertrager 25:5 angesteuert, die 470 Ω -Widerstände dienen der Strombegrenzung. Dabei sind die IX bzw. IY1-1 bis 1-6 die Adresse und die PD k die informationsabhängige Bedingung. Die Kollektor- bzw. Emitterdiode dient als Überspannungsschutz für den jeweiligen Transistor (Rückschwingen der Inhibitleitung), der Parallelwiderstand zur Diode legt Sperrspannung an die Matrixdioden auf der R-IU1 bzw. R-IU2.

3.9.
Beschreibung
R-IV1

Bezeichnung: Informationsverstärker-Karte
R-IV1 55.3059.511

Änderungsindex: e

Anzahl der Karten/32 K: 18

Aufgabe bzw. Verwendungszweck:

Verstärkung, Ausblendung und Auswertung der Lesesignale. Weitergabe der über KE ankommenden Information. Speichern der Information in den Register-Flipflops. Anzeige der Flipflop-Stellungen durch Glimmlampen.
Erzeugung der Ansteuerimpulse für die Inhibit-Treiber.

Signale

Eingänge:

L1/1 u. L1/1- ⋮ ⋮ L3/4 u. L3/4-	Anschlüsse der Lesedrähte	vom Block	
NALV:	Ausblendimpuls für Lesesignale	von AS1	MECL-Pegel
KE1...KE3:	Informationseingänge	von IK2	MECL-Pegel
ASB1:	Signal für Übernahme von KE	von AK2	MECL-Pegel
ASB2:	Freigabesignal für D-Ausgänge	von AK2	MECL-Pegel
S0:	Löschsignal für Register-Flipflops	von AK2	MECL-Pegel

Ausgänge:

D1...D3:	Informationsausgänge	zur IK2	MECL-Pegel
PD1...PD3:	Ansteuersignal für Inhibit-Treiber	zur IT1	0 V/+15 V

Die in §103 angegebenen Zahlen beziehen sich auf das Blockschaltbild und den Übersichtsplan.

Auf der IV-Karte befinden sich die Leseverstärker und die Informationsregister-Elemente sowie die Ausgangsverstärker zum Ansteuern der Inhibitstufen für 3 Ebenen eines Speicherblocks.

Da der Lesedraht jeder Ebene vierfach unterteilt ist, sind hierfür 4 Vorverstärker vorhanden. (1) Am Eingang jedes Vorverstärkers gelangen die Lesesignale auf einen Übertrager, der zur besseren Gleichtaktunterdrückung und zur Phasenumkehr dient. Eine R-C-Kombination 1 kΩ/27 pF an den Übertragerausgängen bedämpft die Signale. Diese werden dann in zwei als Differenzverstärker geschalteten 3-Input-Gates MC 356 mit externen Gegenkopplungselementen verstärkt.

Die Wechselspannungsgegenkopplung besteht aus zwei Widerständen 22 kΩ und 820 Ω für jeden Eingang; durch das Verhältnis dieser Widerstände wird eine definierte Verstärkung erreicht. Ein Kondensator von 4,7 pF in jedem Gegenkopplungszweig unterdrückt eine u. U. vorhandene Schwingneigung. Die Gleichspannungsgegenkopplung besteht aus je einem Widerstand 470 Ω und einem Kondensator 0,1 µF zur Aussiebung der Wechselspannungskomponente der Ausgangsspannung. Der NOR-Ausgang jedes Vorverstärkers ist zu einem Prüfpunkt an der Kartenoberkante geführt.

Jeweils 2 der 4 Vorverstärker jeder Ebene sind ausgangsseitig durch ein 5-Input-Gate (MC 351) disjunktiv zusammengefaßt. (2) Hier erfolgt eine weitere Verstärkung und die Gleichrichtung der hipolaren Signale sowie eine Amplitudenbewertung durch einstellbaren Schwellwert. (Bias I, MC 354)

Über Dual-Gates (MC 360) erfolgt durch NALV die Ausblendung der Lesesignale (3); die Ausgänge dieser Stufen sind direkt zusammengeschaltet und führen zum Eingang des Register-Flip-Flops. (5) Dieses wird mit S0 beim Beginn des Lesezyklus gelöscht.

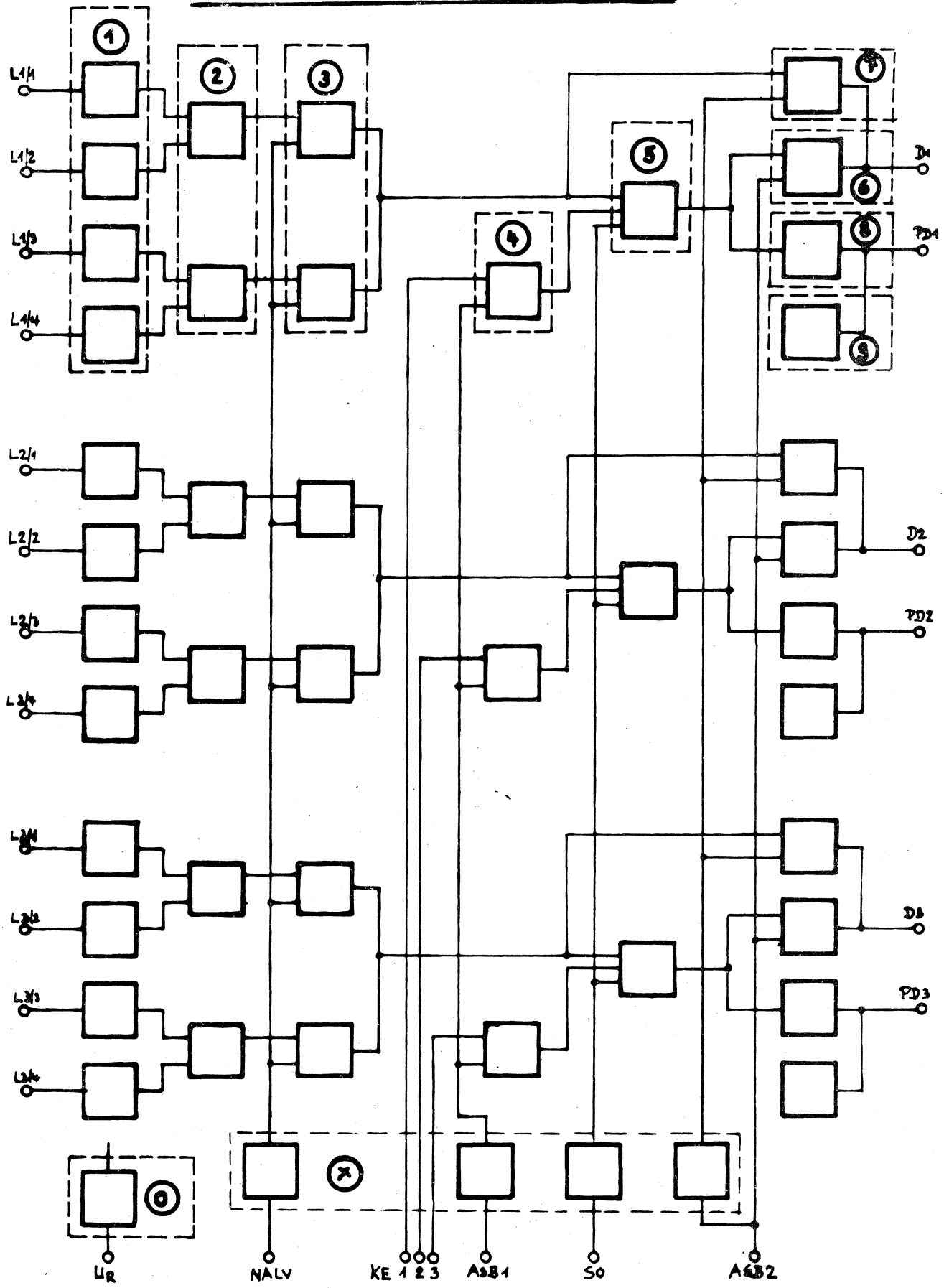
Die über KE ankommende Information beim Schreibzyklus wird mit ASB1 übernommen. (4)

ASB2 schaltet Ausgang 5 des Flip-Flops auf den Karten-Ausgang D (6), der zum Kabelsender auf der IK-Karte führt. Zur Verkürzung der Durchlaufzeit des Flip-Flops und des Gates für ASB2 werden die ausgeblendeten Lesesignale vom Flip-Flop-Eingang über ein Gate (aus diskreten Elementen) mit dem negierten ASB2-Signal direkt auf den D-Ausgang geschaltet. (7)

Ausgang 4 des Register-Flip-Flops wird verstärkt zur Ansteuerung der Inhibit-Treiber/Ausgang PD. (8) Ein Prüfpunkt für jeden PD-Ausgang befindet sich an der Kartenoberkante. Vom PD-Ausgang wird über einen Spannungsteiler die Transistor-Stufe für die Glimmlampenanzeige der Flip-Flop-Stellung angesteuert. (9)

Zur Verstärkung (Regenerierung) und/oder Invertierung der Signale NALV, SO, ASB1 und ASB2 befinden sich weitere Gates auf der Karte. (x)

Gültig ab Druckstockausführung e!

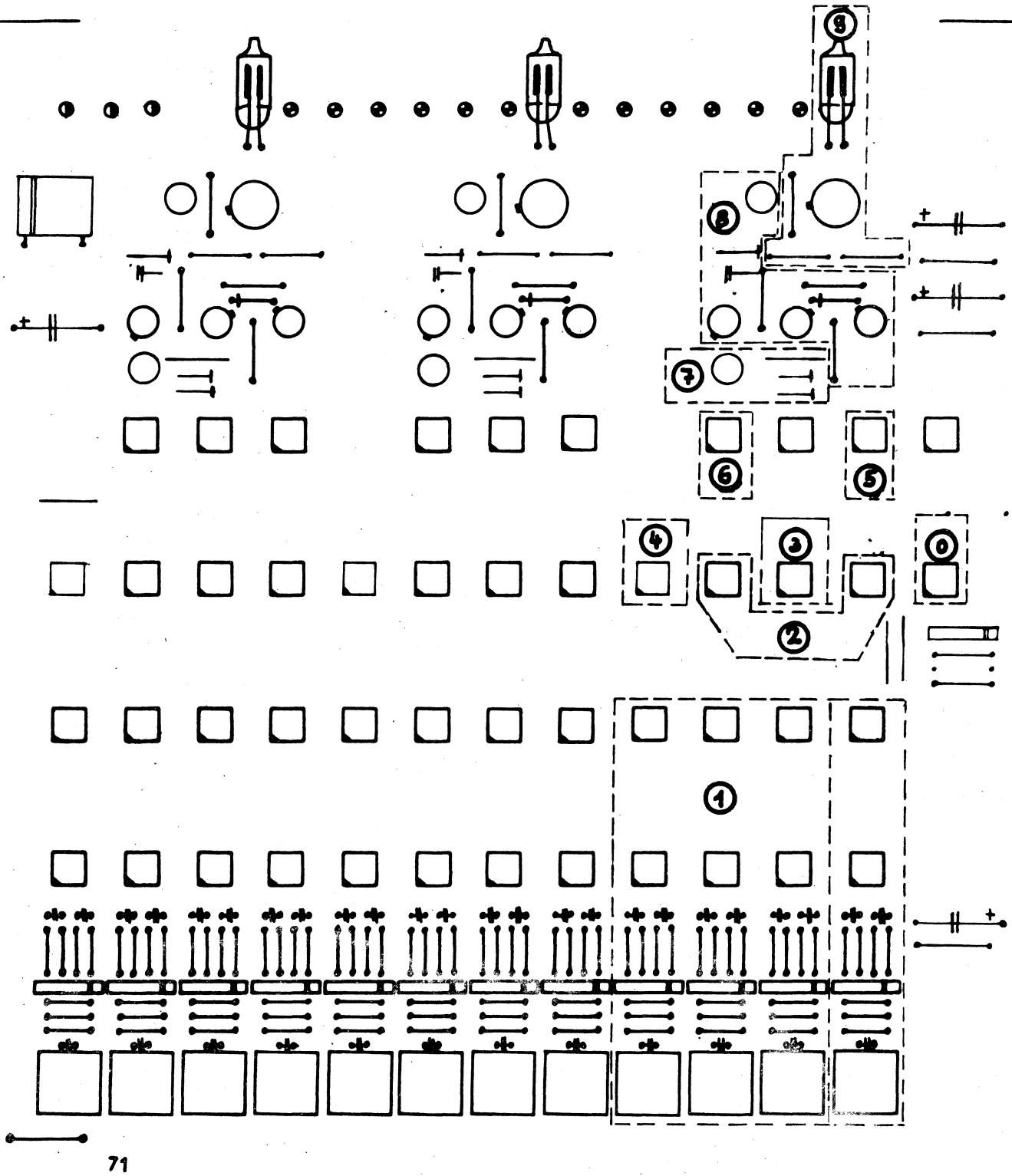


Alle Zeichnung darf weder kopiert, noch dritten Personen offgestellt, noch anderweitig mißbräuchlich benutzt werden.

		GB	Tag	Name	Beschreibung Informations-verstärker-Karte - Blockschaltbild -
		Bearb.	22.4	Fritz	
		Gepr.			
		Norm.			
		TELEFUNKEN			R - IV1 55.3059.511 - Bg
Anz.-gabe	Änderung	Tag	Name		

Bestehl aus 5 Blatt

Gültig ab Druckstockausführung e!



		68 Tag Name	Beschreibung Informations-verstärker-Karte - Übersichtsplan -		Ersetzt
		Bearb. 23.4. Fritz			
		Gepr.			
		Norm.			
		TELEFUNKEN	R-IV 1 55.3059.511 - Bg		2-75
Ausgabe	Änderung Tag Name			Ersatz für	Ersetzt durch	5

AH 3111 9. 68/5. 61 30000 (Transparentpapier 50/55 gr/qm) 081 359 Albert Klein, Stuttgart

3.10. Die Speicherblock-Steckeinheit

3.10.1. Aufbau der Speicherblocksteckeinheit

Diese Steckeinheit umfaßt den Speicherblock, die Kabelbäume, die den Block mit den Entschlüsselungskarten elektr. verbinden sowie die Mechanik, die die 9 Leiterkarten (4 ES1, 3 JU1, 1 JU2 und 1 LA1) mit den vorhergenannten Teilen zu einer Einheit verbinden. An der Vorderseite des Blockes sind zwei Hebel angebracht, die durch die Hebelwirkung ein einfaches Hineindrücken bzw. Herausziehen ermöglichen. Ferner schützen sie im geschlossenen Zustand den Block vor Beschädigungen.

3.10.2. Aufbau einer Speichermatrix (Speicherebene)

In einer Matrix sind 16 k-Kerne mit den X- und Y-Koordinatenleitungen sowie den Inhibit- und Leseleitungen verwebt (1 k = 1024 Kerne). Alle Leitungen haben einen Durchmesser von 0,06 mm.

Koordinatenleitungen (Abb. 1)

128 X- und 128 Y-Leitungen sind in einen Matrixrahmen verspannt. In jeden Kreuzungspunkt ist ein Speicherringkern gefädelt. Im Ansteuerungsfall führt je eine X- und Y-Leitung einen Halbstrom. Der im Kreuzungspunkt dieser beiden Drähte befindliche Kern wird durch Addition beider von den Halbströmen erzeugten Felder auf seine Information abgefragt.

Leseleitungen (Abb. 2)

Diese 16 k-Kerne sind aus fädelungstechnischen Gründen räumlich in 4 Quadrante zu je 4 k-Kerne aufgeteilt. Die beiden diagonal zueinander liegenden Quadranten durchlaufen entsprechend der Abb. 2 zwei völlig getrennte Leseleitungen. Mithin hat jede Matrix 4 Leseleitungen, jede Leseleitung wiederum erfaßt 4 k-Kerne. In einem Quadranten erfaßt eine Leseleitung 2 k-Kerne.

Inhibitleitungen (Abb. 3)

Die Inhibitleitung ermöglicht das Schreiben einer "0"-Information. Der Inhibitstrom ist etwa gleichgroß dem Koordinatenstrom. Das von ihr erzeugte Feld wirkt dem der Koordinatenleitungen entgegen. Das nun im angewählten Kern noch wirksame Feld einer Koordinaturleitung führt nicht zum Schalten des Kerns.

In jeder Matrix sind 8 getrennte Inhibitleitungen gefädelt. Jede Inhibitleitung durchläuft jeweils 2 nebeneinanderliegende Quadranten und erfaßt je Quadrant 1 k-Kerne, also insgesamt 2 k-Kerne pro Matrix. Die Inhibitleitung ist, wie die Abb. 3 im oberen Teil zeigt, bifilar gefädelt.

Sinn der beschriebenen Leitungsaufteilung

Es ist notwendig, den kapazitiven und induktiven Störeinfluß der Koordinatenleitungen und der Inhibitleitungen so gering wie möglich zu halten. Die beschriebene Anordnung kommt dieser Forderung weitgehend entgegen. Die Aufteilung der Inhibitwicklung war außerdem notwendig, um die Induktivität soweit herabzusetzen, daß die Inhibitschalter den notwendigen Strom bei vorgegebener Anstiegszeit und max. zulässiger Spannung an den Halbleitern ermöglichen.

Leseleitungen - Koordinatenleitungen

Eine angewählte Koordinatenleitung beeinflußt kapazitiv durch ihre Kreuzungspunkte und durch Halbanwahl der Kerne nur an 32 der 128 Kerne in einer Koordinate die Leseleitung. Eine Leseleitung wird von X- und Y-Leitungen nur an 62 Kernstellen gestört.

Leseleitungen - Inhibitleitungen

Jede Inhibitleitung beeinflußt nur mit 512 Kernen eine Leseleitung. Dies ist 1/32 der in einer Matrix enthaltenen Kerne.

Besondere Ansteuerungsbedingungen

Die aufgeteilten Leseleitungen werden disjunktiv durch den Leseverstärker zusammengefaßt. Dies ist in der Beschreibung des Leseverstärkers näher erklärt. Die Aufteilung der Inhibitleitungen hat zur Folge, daß die Inhibitansteuerung adreßabhängig erfolgt, da nur jeweils eine Inhibitwicklung beim "0"-Schreiben geschaltet wird.

3. 10. 3. Zusammenbau der Matrizen zu Speicherblöcken (Abb. 4)

Durch Zusammenfügen 13 der voran beschriebenen Matrizen setzt sich der Speicherblock zu 13 Bit **Wortlänge mit je 16** k Bit zusammen. Der Abstand zwischen den Matrizen ermöglicht die Abfuhr der Wärme, die vorwiegend aus der Verlustleistung der Inhibitleitung resultiert. Die anfangs beschriebenen Matrizen sind jeweils um 90° zueinander gedreht montiert. Dies heißt, daß die Inhibitleitungen von Matrix zu Matrix abwechselnd parallel zu X- bzw. Y-Leitung laufen. Dies hat zur Folge, daß die starke Kopplung zwischen Koordinaten- und Inhibitleitung nahezu gleichmäßig auf X- und Y-Leitung verteilt ist. Jedoch macht es diese Anordnung notwendig, je nachdem ob X- oder Y-Leitung der Inhibit-Leitung parallel läuft, mit den X- oder Y-Adreßbits (siehe Beschreibung Inhibit-Treiber, IT) die Inhibitansteuerung zu entschlüsseln. Abb. 4 zeigt wie die Matrizen hintereinandergeschaltet werden und wie X- und Y-Koordinatenansteuerung in jeder Matrix einen Kern anwählen. Von Koordinatenleitung zu Koordinatenleitung wechselt der Anfang bzw. das Ende der Anschlüsse zwischen Ober- bzw. Unterkante. Der Grund liegt einmal in der sonst kaum möglichen engen Anschlußverdrahtung, ferner in der Anordnung der Inhibitleitung, die von Koordinatenleitung zu Koordinatenleitung ihre Stromrichtung ändert. Wie unter diesen Umständen die Kernstellung die Addition der vom Strom erzeugten Felder ermöglicht, zeigt Abb. 4 an zwei verschiedenfarbigen Beispielen.

3. 10. 4. Spezifikation des Speicherblocks 16. 384 Worte zu 13 Bit

Abmessungen

auf- bzw. abgerundet

Höhe:	70 mm
Länge:	118 mm
Breite:	118 mm

Außendurchmesser des Kerns: 20 mil bzw. 0,53 mm
Durchmesser der gefädelten Leitungen: 0,06 mm

Elektrische Eigenschaften

Widerstand der X- bzw. Y-Leitungen:	8.9
Widerstand der Leseleitungen:	24.7
Widerstand der Inhibitleitungen:	8.6

3.10.5. Verdrahtung de des Blockes

Kabelbäume stellen die elektrische Verbindung zwischen Speicherblock und Steckeinheiten her. Der dazu verwendete Draht ist ein strahlungsvernetzter Draht der Firma Raychem. Diese Isolationsart weist einen geringen Kaltfluß (entgegen Teflon) auf, so daß scharfe Kanten und Spitzen am Block (Lötstifte) die Isolation nicht verletzten und damit keine Schlüsse verursachten. Die Drahtabmessungen sind durch die Maßangabe AWG 30 (American core-gauge) gegeben. Diese Angabe sagt, daß der Durchmesser des Kupferleiters 0,28 mm beträgt. Der Außendurchmesser des kompletten Drahtes beträgt maximal 0,6 mm. 8 verschiedene Farben aus der genormten Farbreihe ermöglichen eine gute Kontrolle der Anschlüsse.

Koordinaten-Kabelbaum

Dieser stellt die Verbindung zwischen den Koordinatenleitungen des Blockes und den Entschlüsselungskarten ES1 her. Die Leitungen sind einfach geführt und mit einem geeigneten Bindegarn zum Kabelbaum (wie auch alle anderen Kabelbäume) gebunden.

Leseleitungs-Kabelbaum

Als zweifach verdrillte Leitungen werden die Leseleitungen vom Block mit den zugehörigen Steckeinheiten verbunden. 9 Bits werden auf die LA1 geführt, 4 Bits auf die IU2. Die verdrillte Leitung bewirkt

a) ein nur geringes magnetisches Streufeld
b) daß äußere magnetische Störfelder (wie z.B. die der einfach geführten Koordinatenleitungen) nur einen geringen induktiven Störeinfluß haben.

Inhibitleitungs-Kabelbaum

Wie die Leseleitungen sind auch die Inhibitleitungen verdrillt in einem Kabelbaum geführt. Grund dazu ist der oben aufgeführte Punkt a). Wichtig ist, daß die 3 Kabelbaumarten getrennt geführt und abgebunden sind, um die Beeinflussung untereinander möglichst gering zu halten.

3.10.6. Koordinaten-Enschlüsselung (ES1)

Auf jeder Seite des Blockes sind 2 ES1-Steckeinheiten montiert. Eine Seite übernimmt die Entschlüsselung der X-, die andere die der Y-Koordinate (Abb. 8). Jede Koordinate führt 128 Hin- und 128 Rückleitungen in Kabelbäumen zu den Stirnseiten der Entschlüsselungskarten ES1. Hier sind jeweils Hin- und Rückleitung nebeneinander mit zugeordneten Lötanschlüssen verbunden. Beide zusammengehörigen Entschlüsselungskarten stellen eine Einheit dar. Sie entschlüsseln aus 8 Zeilen und 16 Spalten (Abb. 5 X1 - X8 und X9 - X24) 128 Koordinatenleitungen. Dabei ist eine Zeile bzw. Spalte 2 Leitungen gleichzusetzen,

nämlich eine für den Lese- und eine für den Schreibhalbstrom. Die Dioden dienen der Entschlüsselung, jede Koordinatenleitung bedarf 4 Dioden. Der Balun-Transformator übernimmt die im Abschnitt Grundschaltungen beschriebenen Aufgaben. Jedem Transformator ist ein Dämpfungswiderstand nachgeschaltet.

3.10.7. Inhibit-Entschlüsselung (Abb. 6 u. 9)

Die 8 Inhibitleitungen einer Matrix werden auf der **IÜ1** bzw. **IÜ2** entschlüsselt. Jeder Matrix ist ein völlig getrenntes Entschlüsselungssystem bestehend aus 2 Zeilen und 4 Spalten zugeordnet. Die Balun-Transformatoren, Dioden und Widerstände übernehmen die gleichen Aufgaben wie im Koordinaten-Entschlüßlungssystem. Eine **IU1** -Karte trägt 4 solcher Systeme, die **IU2** -Karte 1 System. Daher werden für die 13 Bit 3 Stck. **IU1** und 1 Stck. **IU2** benötigt. Die Steckeinheiten sind nur sehr kurz und unterhalb des Blockes montiert (Abb. 9).

3.10.8. Leseleitungs-Anschluß und -Symmetrierung (Abb. 7 u. 9)

Die Leseleitungs-Kabelbäume werden auf die Steckeinheiten LA1 und **IÜ2** geführt. Diese tragen für jede Leseleitung einen Dämpfungswiderstand. Insgesamt sind 13 x 4, also 52 Leseleitungen anzuschließen. Davon entfallen 9 x 4 = 36 auf die LA1 und 4 x 4 = 16 auf die **IU2** Vom Block wird die Leseleitung wiederum über verdrillte Leitungen auf die in der Verdrahtung montierte LV1 geführt. Die hier montierten Balun-Transformatoren und gegen Masse geschalteten Widerstände dienen der Symmetrierung der Lesesignale.

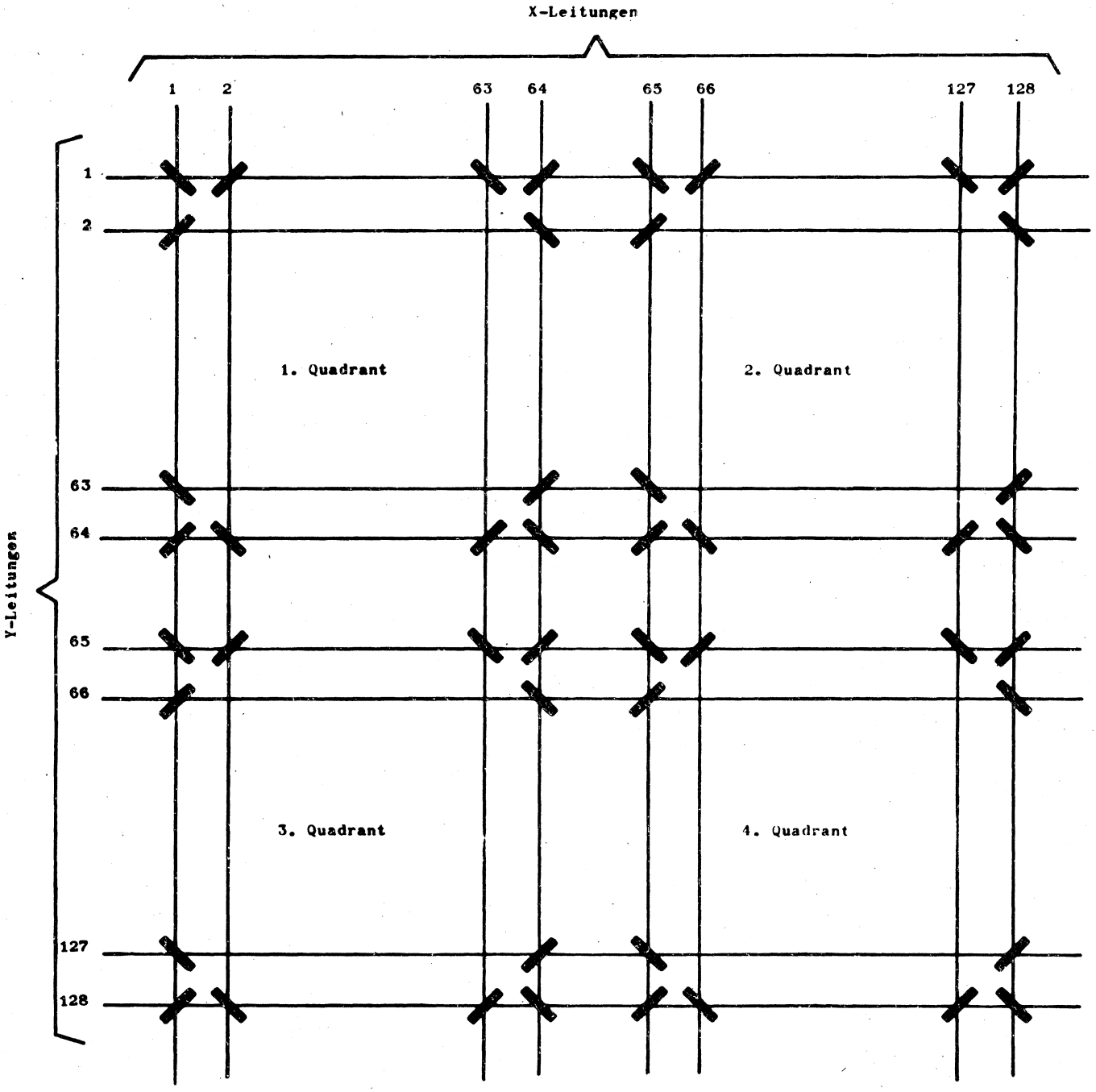


Abb. 1 Anordnung der Koordinatenleitungen :

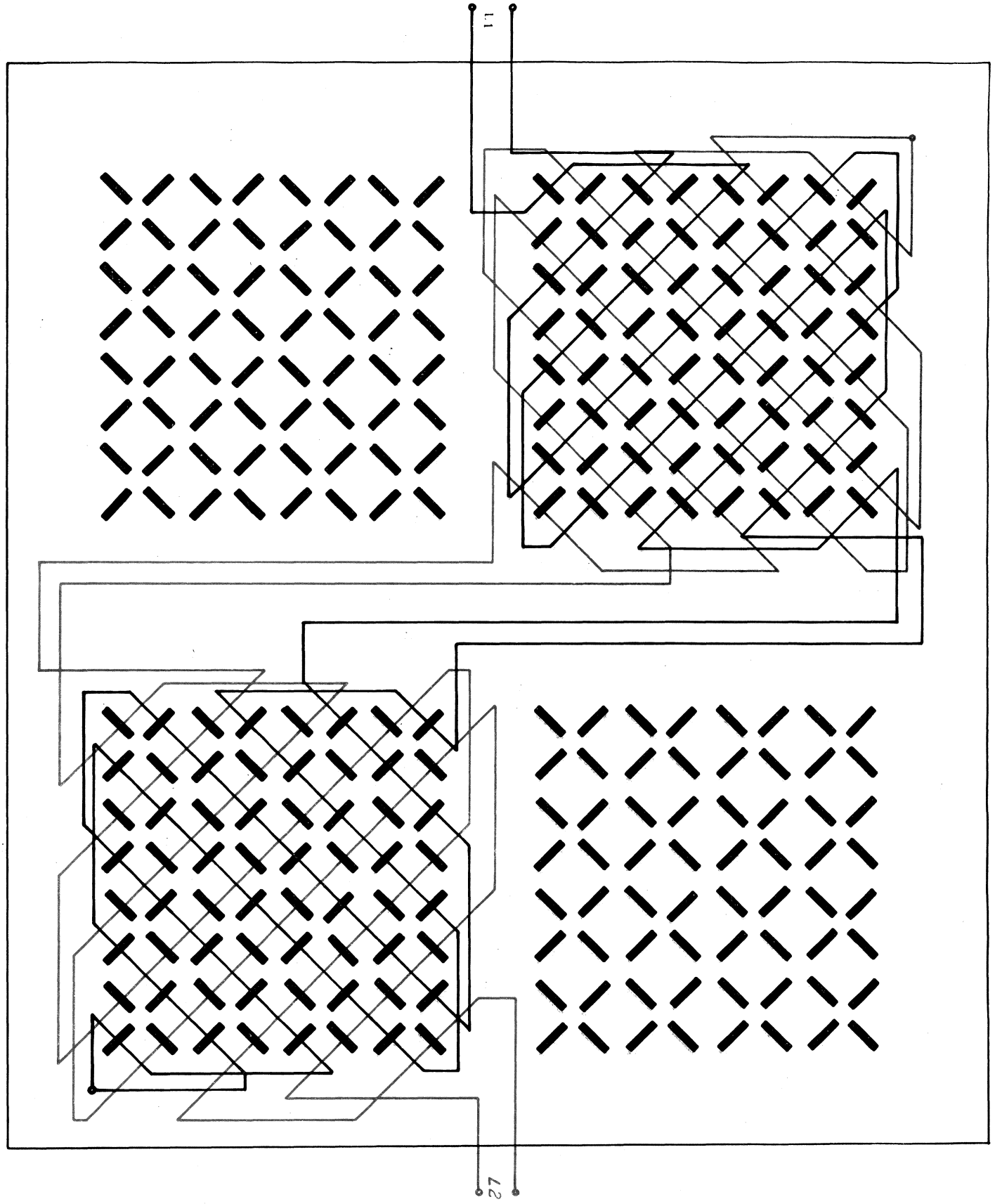
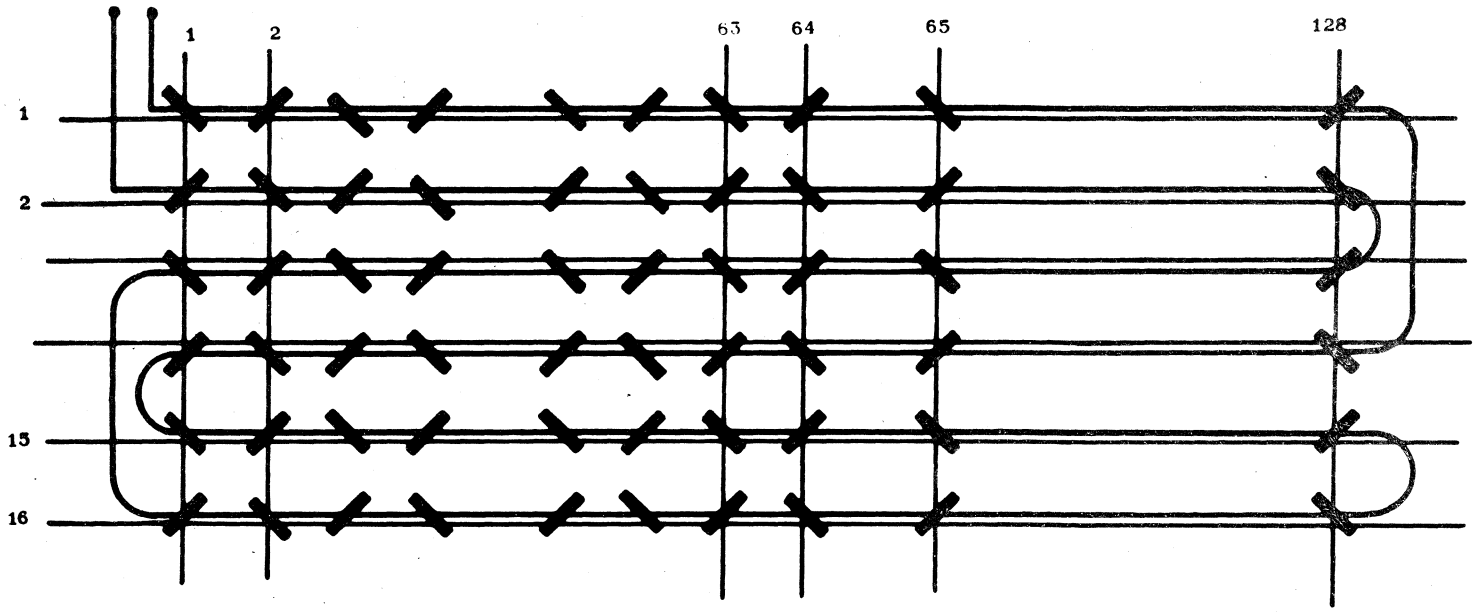


Abb. 2 Anordnung der Leseleitungen :

Dargestellt an einer Matrix 4 x 8 x 8, die TR 440 - Speichermatrix umfaßt 4 x 64 x 64.
Wie dargestellt durchlaufen zwei Leseleitungen die diagonal gegenuberliegenden Quadranten.
Dies ist nur in einer Diagonalen eingezeichnet.



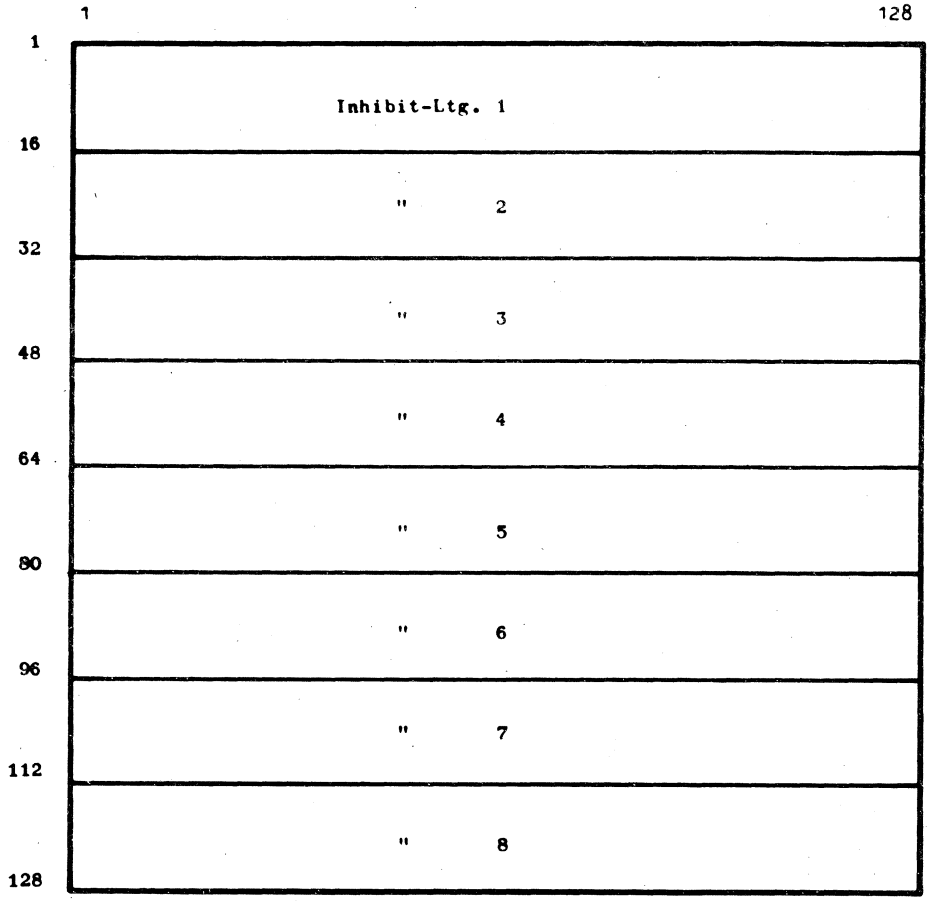


Abb. 3 Anordnung der Inhibitleitungen

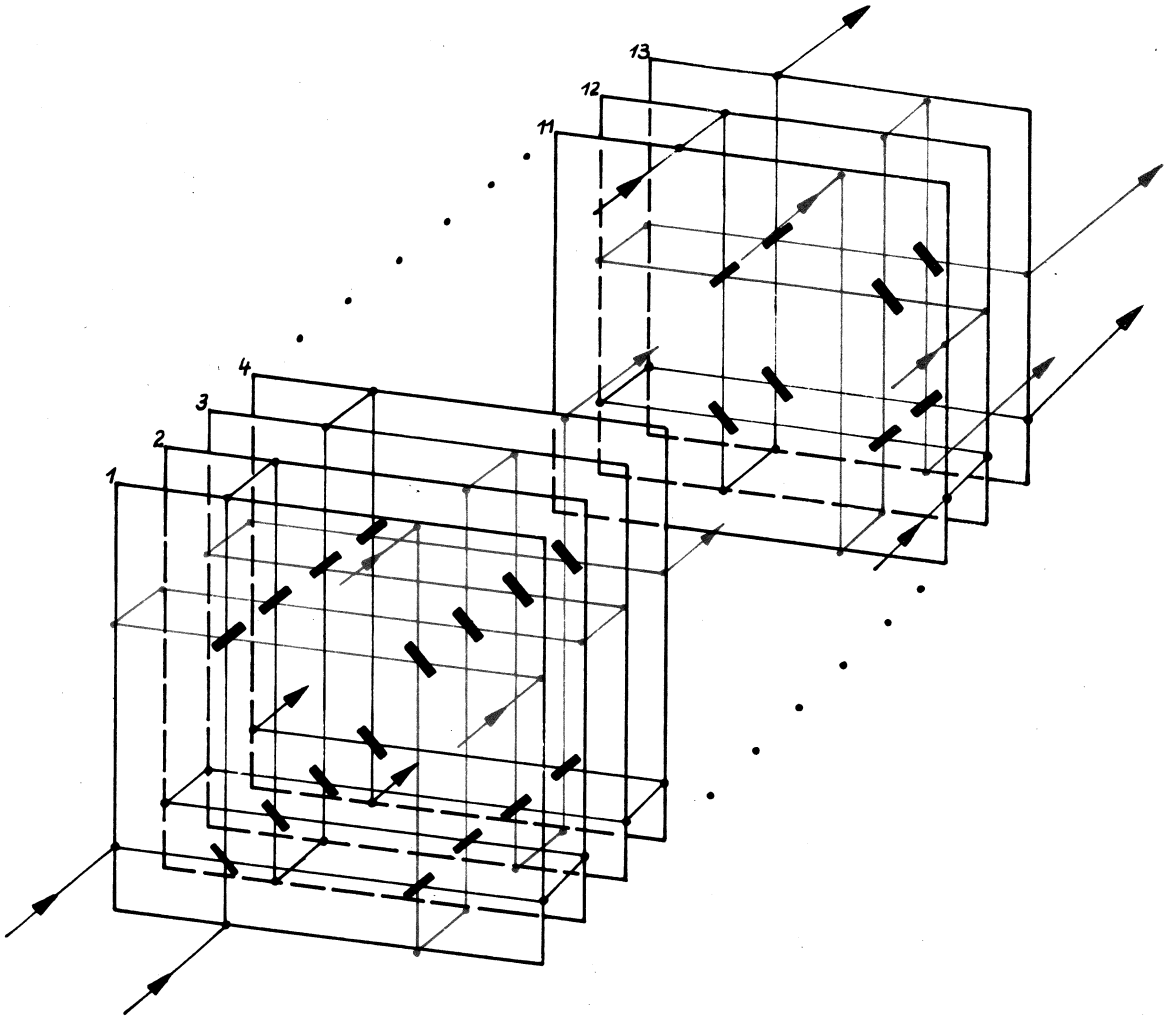


ABB. 4

Verbindung der Koordinatenleitungen beim Zusammenbau einzelner Matrizen zum Block.

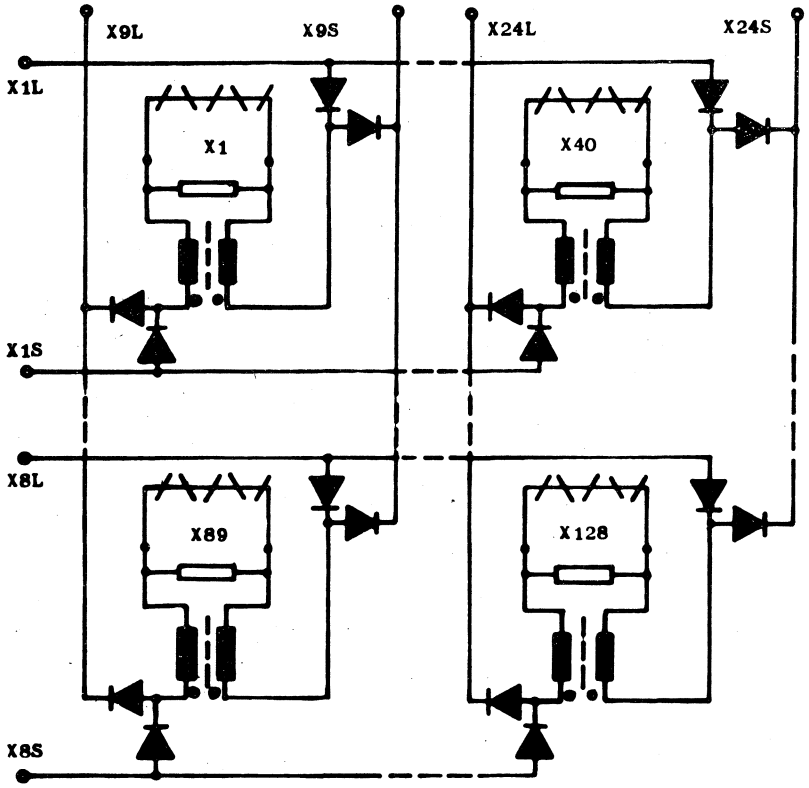


Abb. 5 Anordnung der Koordinaten-entschlüsselung

Im Beispiel wird die X-Leitung - Entschlüsselung gezeigt. 8 Zeilen gegen 16 Spalten ergeben 128 entschlüsselbare X-Leitungen. Diese Anordnung ist auf 2 ES1 - Steckeinheiten verteilt.

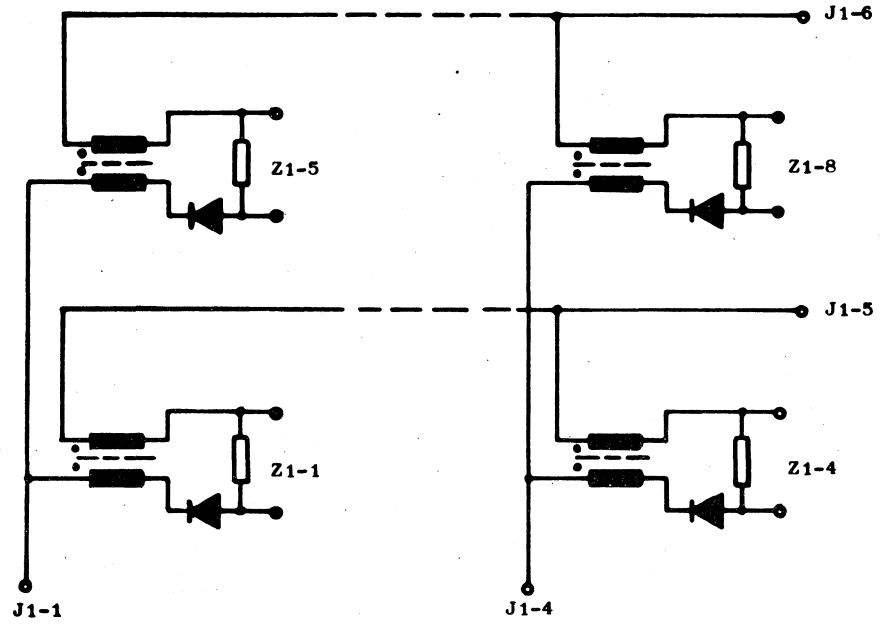


Abb. 6 Anordnung der Inhibit-Entschlüsselung

4 gegen 2 Trennschalter steuern mit der oben abgebildeten Entschlüsselung die 8 zu einer Matrix gehörenden Inhibitleitungen an. Auf einer Leiterkarte JU1 sind 4 solcher Einheiten.

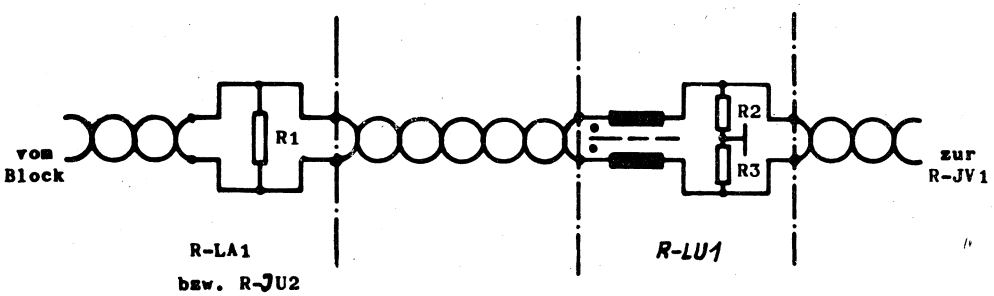


Abb. 7 Führung der Leseleitung zur R-JV1 (Informations-Verstärker)

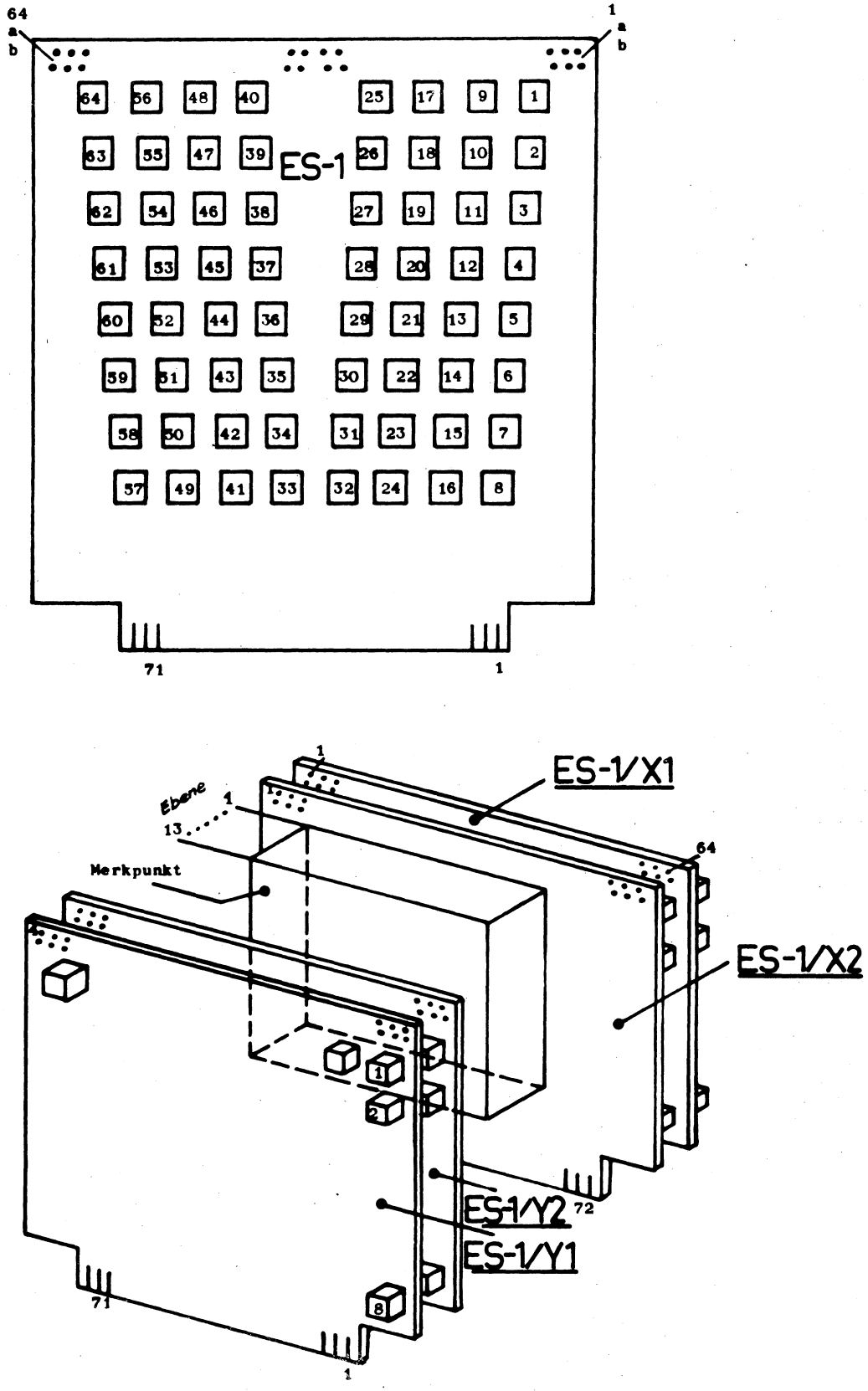


Abb 8 Anordnung der Entschlüsselungskarten ES1 am Block

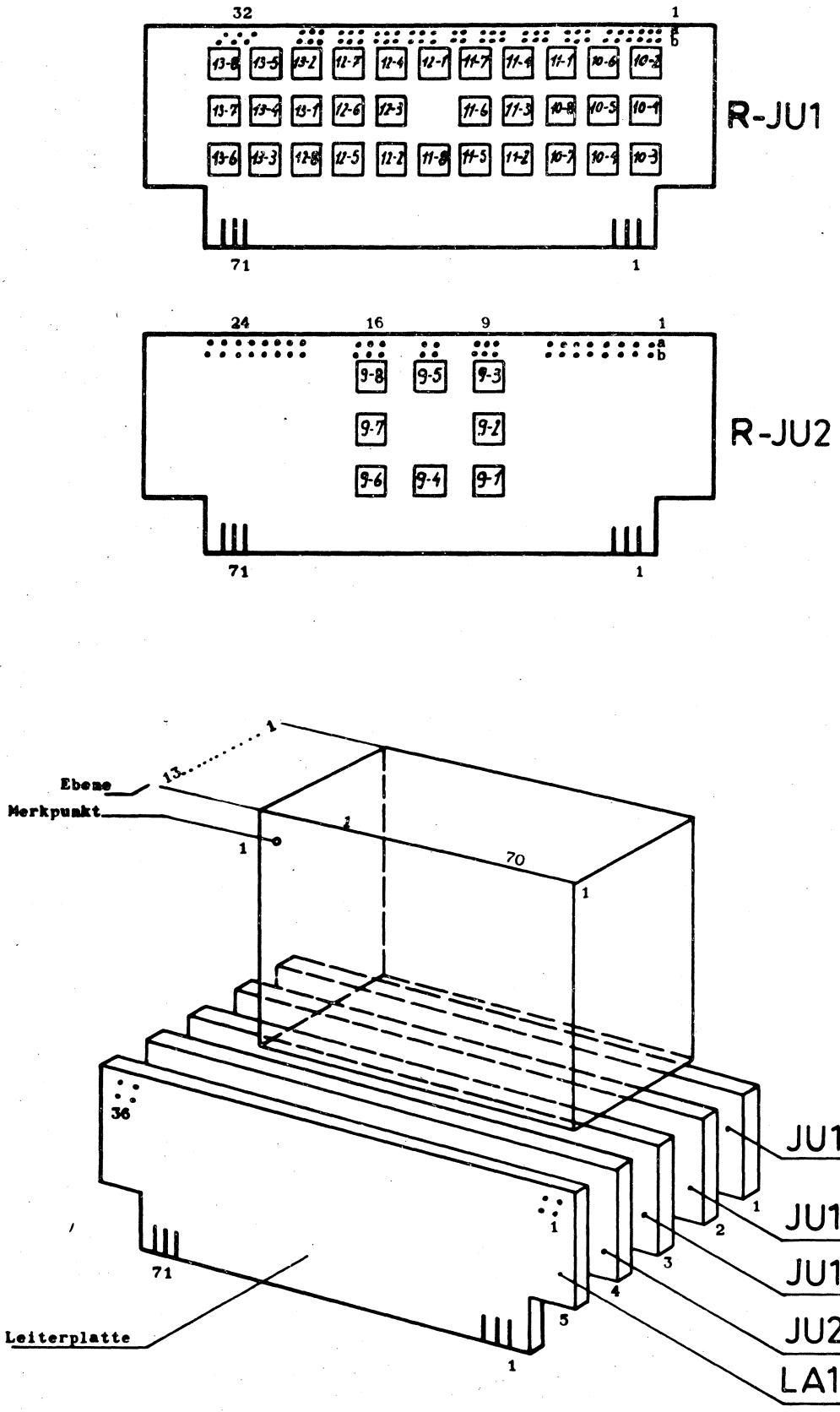


Abb. 9 Anordnung der Leiterkarten JU1, JU2 und LA 1 am Block.

3.11.
Beschreibung der
R-DP1

Bezeichnung: Dreierprobenkarte R-DP1 55.3059.561-00

Aenderungsindex: R-DP1: c

Anzahl/32k: R- DP1: 2

Aufgabe im Speicher: Pruefen bzw. Neubilden der Dreierprobenbits.

Ein- und Ausgaenge R-DP1

Spannungen: -5,2v
0V

Signale

Eingaenge PD1- 1 bis PD12-1 PD1-2 bis PD 12-2 PD13-1 und PD13-2	Informationseingaenge Eingaenge der Dreierproben-information	von R-IV1	Pegel O≙0V Pegel L≙+15V
KE13-1 und KE13-2	Informationseingaenge	von R-IK2	MECL-Pegel
DP	Dreierprobenpruefung	von R-AS1	MECL-Pegel
ASB1	Ausblend-Impuls (Bedingung zur Inf. Uebern.)	von R-AK2	MECL-Pegel
T bzw. N T	Dreierproben- Zeitvermaßung	von R-AS1	MECL-Pegel
P1 bis P4 bzw.	Pruefkontakte		
NP1 bis NP4	(duerfen nicht belegt werden)		
X1 und X2			
ASB4	Ausblend- Impuls (Bedingung zur Inf.- Uebern.)	zur R-IV1	MECL-Pegel
NE51 und NE52	gebildete oder ungepruefte Dreierprobeninf.	zur R-IV1	MECL-Pegel
DPF,NDPF	Dreierproben- Fehlermeldung	zur R-AK2	MECL-Pegel

Funktionsbeschreibung

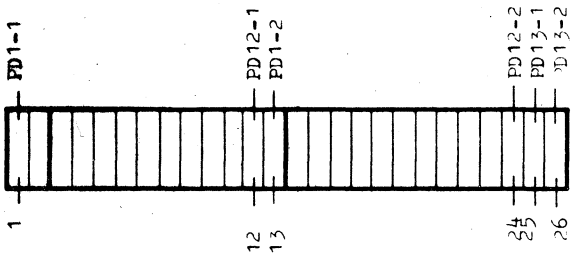
Dreierproben-Neubildung

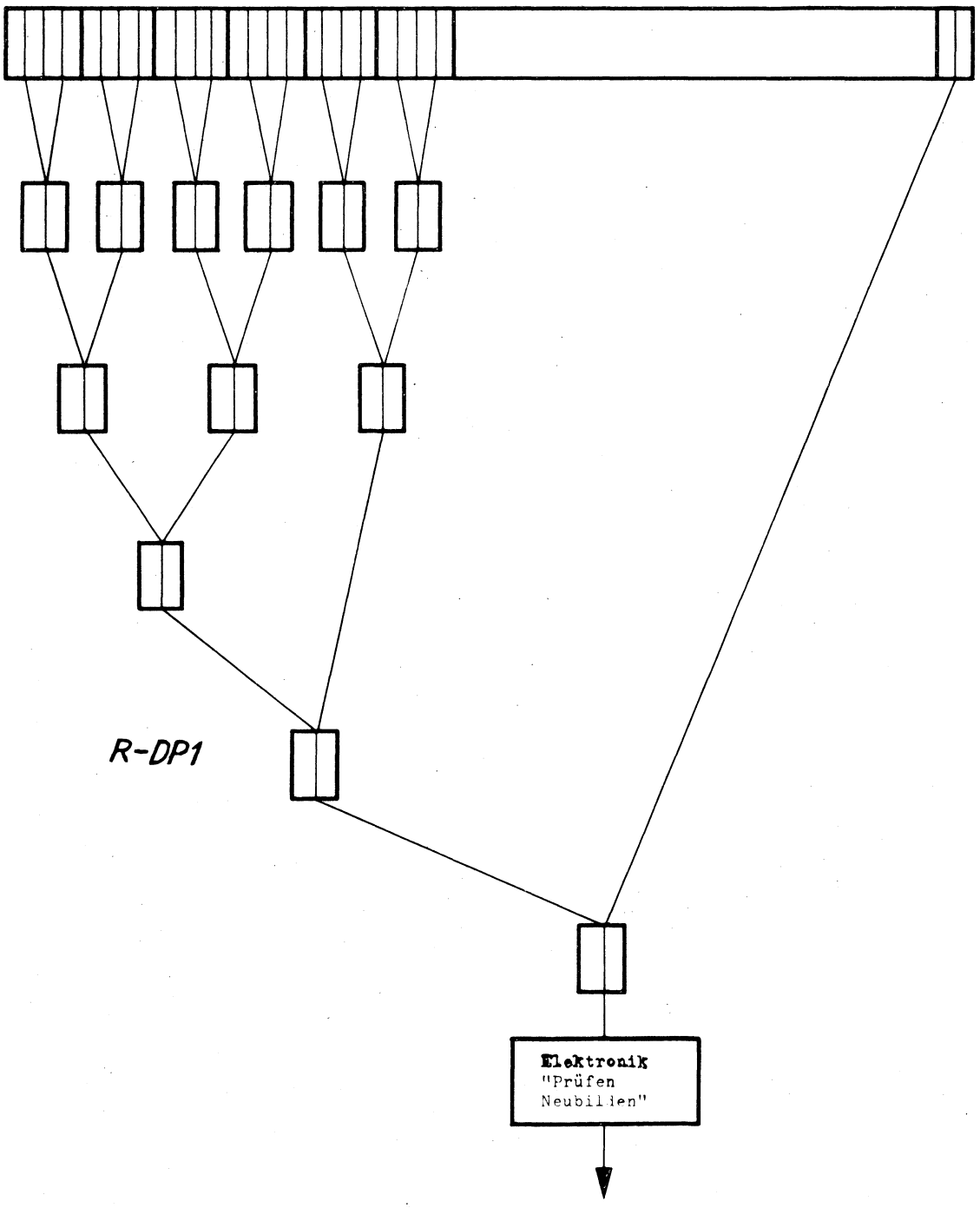
Dreierprobenneubildung erfolgt beim Einschreiben eines neuen Wortes. DP am Stecker 21 der DP 1 bleibt in "O". Das neu einzuschreibende Wort 24 Bit wird mit AGB1 in das Informationsregister der IV (Bit 1 bis 24) übernommen. ASB1 leitet den Zeitschallpunkt T auf der AS ein. Mit Übernahme des Wortes in das Informationsregister wird PD1-1 bis PD 12-1 und PD1-2 bis PD 12-2 auf die PD-Eingänge der DP 1 geschaltet. Entsprechend der Beschreibung Seite 194-197 wird das Ergebnis der Dreierprobe gebildet und liegt mit NX 1 und NX 2 an den Schaltkreisen FS D11 und FS D12 an, die freigeschaltet sind und das Ergebnis über FSD11 und FSD12 als KE 13-1 und KE 13-2 auf die Eingänge des Informationsregisters schalten. Nun erst wird mit T/NT auf der DP1 an den Kontakten 40/39 über FSD15 FSE13 und FSE5 ASB4 erzeugt, welches das anstehende Dreierprobenergebnis in das Informationsregister (Bit 25 und 26) übernimmt.

DP-Prüfung

In einem Lesezyklus, nach dem Auslesen der Informations, wird das Wort auf Dreierprobenfehler aufgeprüft. Zu diesem Zweck hat DP auf der DP1 der Zustand "L". Damit ist der Weg NX1, NX2 nach KE 13-1 und KE 13-2 gesperrt. Die ausgelesenen Dreierprobenbits Bit 25 und Bit 26 stehen durch PD 13-1 und PD 13-2 zur Verfügung. Da DP "L" ist, wird NB "O" und die Dreierprobenbits werden über FS F9 und FS G9 mit dem Ergebnis der Dreierproben aus den restlichen 24 Bits verglichen. Im Fehlerfall sind NX 1 oder NX 2 oder beide "O". Über YLS wird auf der AS 1 das Signal T erzeugt. Dieses schaltet nun über FS D 15, FS D 16 und FS D 14 im Fehlerfall den Dreierprobenfehler DPF/NDPF.

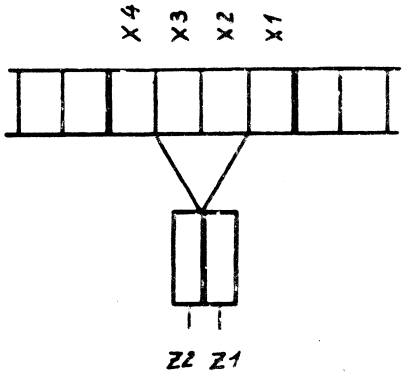
Blockschaltbild





Beschreibung der Dreierprobenbildung über 4 Bits mittels Bool'scher Algebra

Erste Stufe



f(X1,X3,X4)

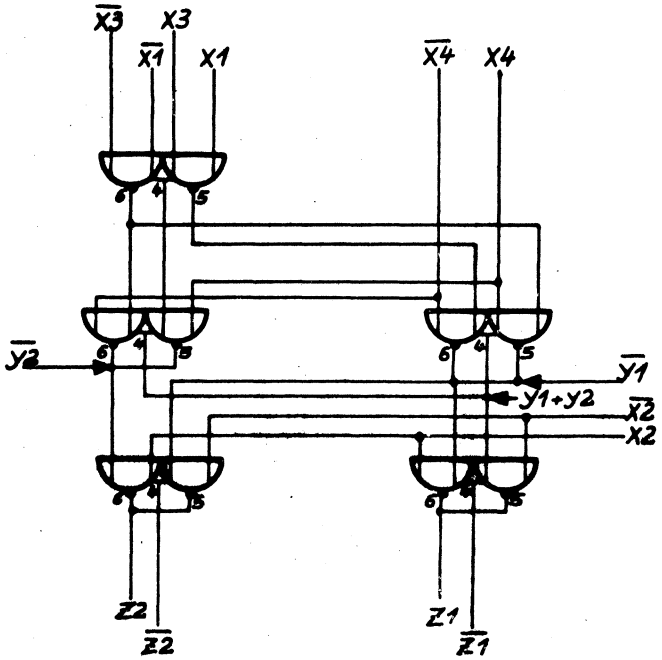
2^1	2^0	2^1	2^0	2^1	2^0	2^1	2^0
X 4	X 3	X 2	X 1	Y 1	Y 2	Z 1	Z 2
0	0	0	0	0	0	0	0
0	0	0	L	0	L	0	L
0	0	L	0	0	0	L	0
0	0	L	L	0	L	0	0
0	L	0	0	0	L	0	L
0	L	0	L	L	0	L	0
0	L	L	0	0	L	0	0
0	L	L	L	L	0	0	L
L	0	0	0	L	0	L	0
L	0	0	L	0	0	0	0
L	0	L	0	L	0	0	L
L	0	L	L	0	0	L	0
L	L	0	0	0	0	0	0
L	L	0	L	0	L	0	L
L	L	L	0	0	0	L	0
L	L	L	L	0	L	0	0

$$Y2 = X1, \overline{X3}, \overline{X4} + \overline{X1}, X3, \overline{X4} + X1, X3, X4 = \overline{X4}\,(X1, \overline{X3} + \overline{X1}, X3) + X1, X3, X4$$

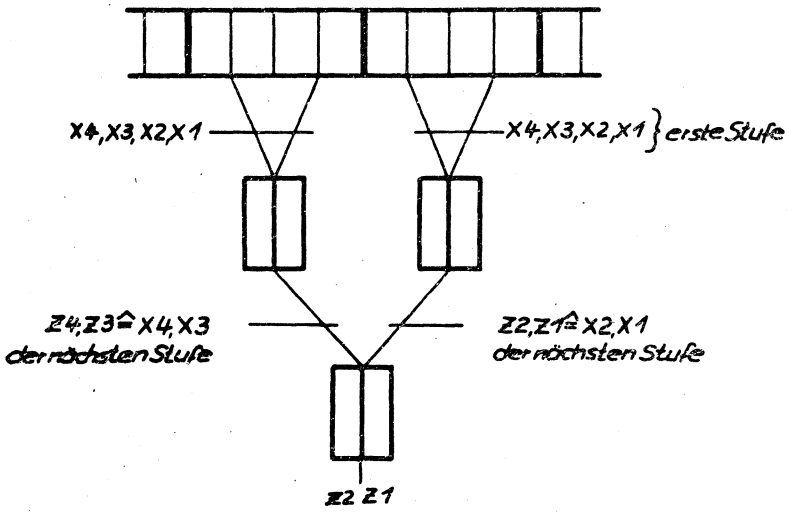
$$Y1 = X1, X3, \overline{X4} + \overline{X1}, \overline{X3}, X4 = X1, X3, \overline{X4} + \overline{X1}, \overline{X3}, X4$$

$$Z2 = \overline{X2}, \overline{Y1}, Y2 + X2, Y1, \overline{Y2} = X2, Y1 + \overline{X2}, Y2$$

$$Z1 = X2, \overline{Y1}, \overline{Y2} + \overline{X2}, Y1, \overline{Y2} = \overline{X2}, Y1 + X2, \overline{Y1}, \overline{Y2}$$

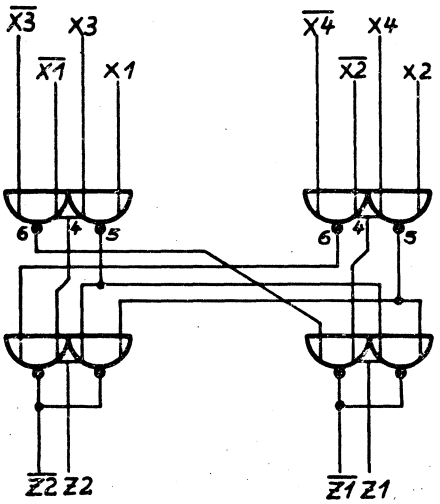


Die weiteren Stufen:



$$Z2 = X1, \overline{X2}, \overline{X3}, \overline{X4} + \overline{X1}, \overline{X2}, X3, \overline{X4} + \overline{X1}, X2, \overline{X3}, X4$$
$$= \overline{X2}, \overline{X4}\,(X1, \overline{X3} + \overline{X1}, X3) + \overline{X1}, X2, \overline{X3}, X4$$

$$Z1 = \overline{X1}, X2, \overline{X3}, \overline{X4} + X1, \overline{X2}, X3, \overline{X4} + \overline{X1}, \overline{X2}, \overline{X3}, X4$$
$$= \overline{X1}, \overline{X3}\,(X2, \overline{X4} + \overline{X2}, X4) + X1, \overline{X2}, X3, \overline{X4}$$

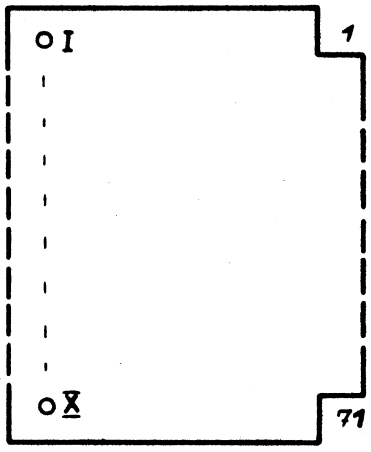


4. PRÜFMÖGLICHKEITEN

4.1. R-AK 2

An der Stirnseite sind folgende Signale und Lötstützpunkte **herangeführt:**

I	1 ASB 1
II	1 SZ 7
III	2 YAL
IV	2 NSZ 7
V	1 YAL
VI	SZ 6
VII	S S
VIII	1 ASB 2
IX	2 ASB 2
X	2 ASB 1

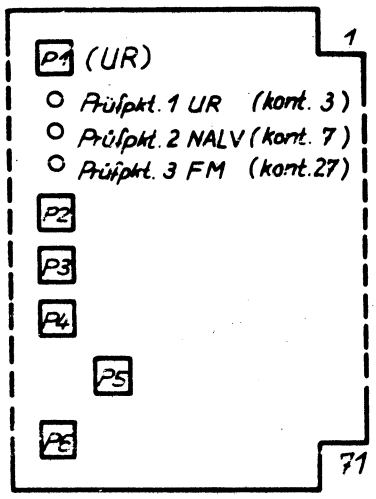


4.2. R-AS 1

Prüfpunkt 1 : UR
Prüfpunkt 2 : NALV
Prüfpunkt 3 : FM

Potentiometer:

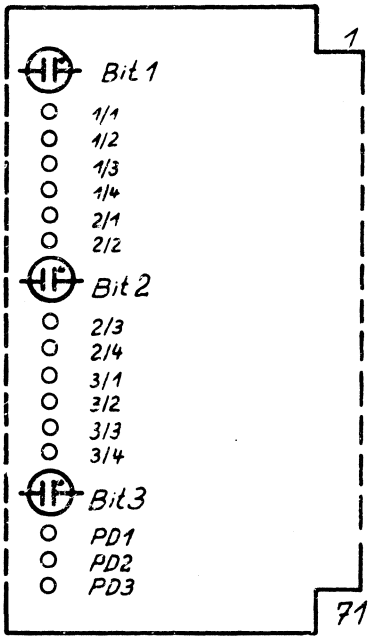
P1 50 Ω Referenzspannung
P2 5 kΩ Einsatzpunkt NALV
P3 5 kΩ Länge Schreibimpuls
P4 5 kΩ Vorlauf von TJ gegenüber Schreibimpuls
P5 5 kΩ Verzögerung YAS wegen Dreierprobenbildung
P6 5 kΩ Länge Leseimpuls



4.3.
R-JV 1

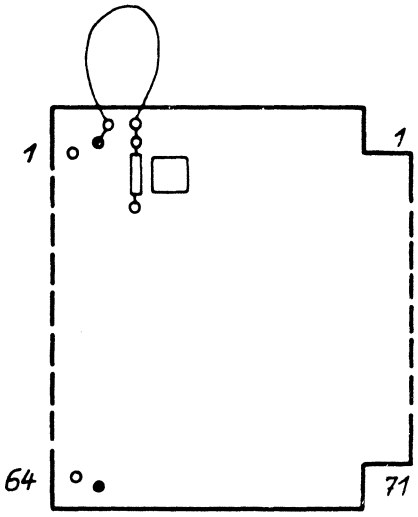
Prüfpunkte:

1/1 ... 3/4 Ausgänge der Vorverstärker
PD1 ... PD3 Inf.-Ausgänge nach Pegel umsetzung
Glimmlampen Leuchten, wenn Inf.-Flip-Flop auf "L"



4.4.
R-ES 1

Hier ist jeweils die Zuleitung zum ersten Treiberdraht als Schlaufe für eine Stromzange ausgebildet.



4.5.

R Dr.

Signal	Kontext	Bezeichnung
P1	57	Zwischenergebnis von 8 bit
NP1	58	
P2	59	Pd 9-1 PD12-1,PD1-2..PD4-2
NP2	60	
P3	56	Zwischenergebnis von 8 bit
NP3	55	
P4	54	PD1-1..PD8-1.
NP4	53	
V3	4	Zwischenergebnis aus 8bit
NV3	3	
V4	6	PD5-2....PD12-2
NV4	5	
X1	37	Ergebnis der Dreierprobe gebildet aus den Zwischenergebnissen
X2	38	

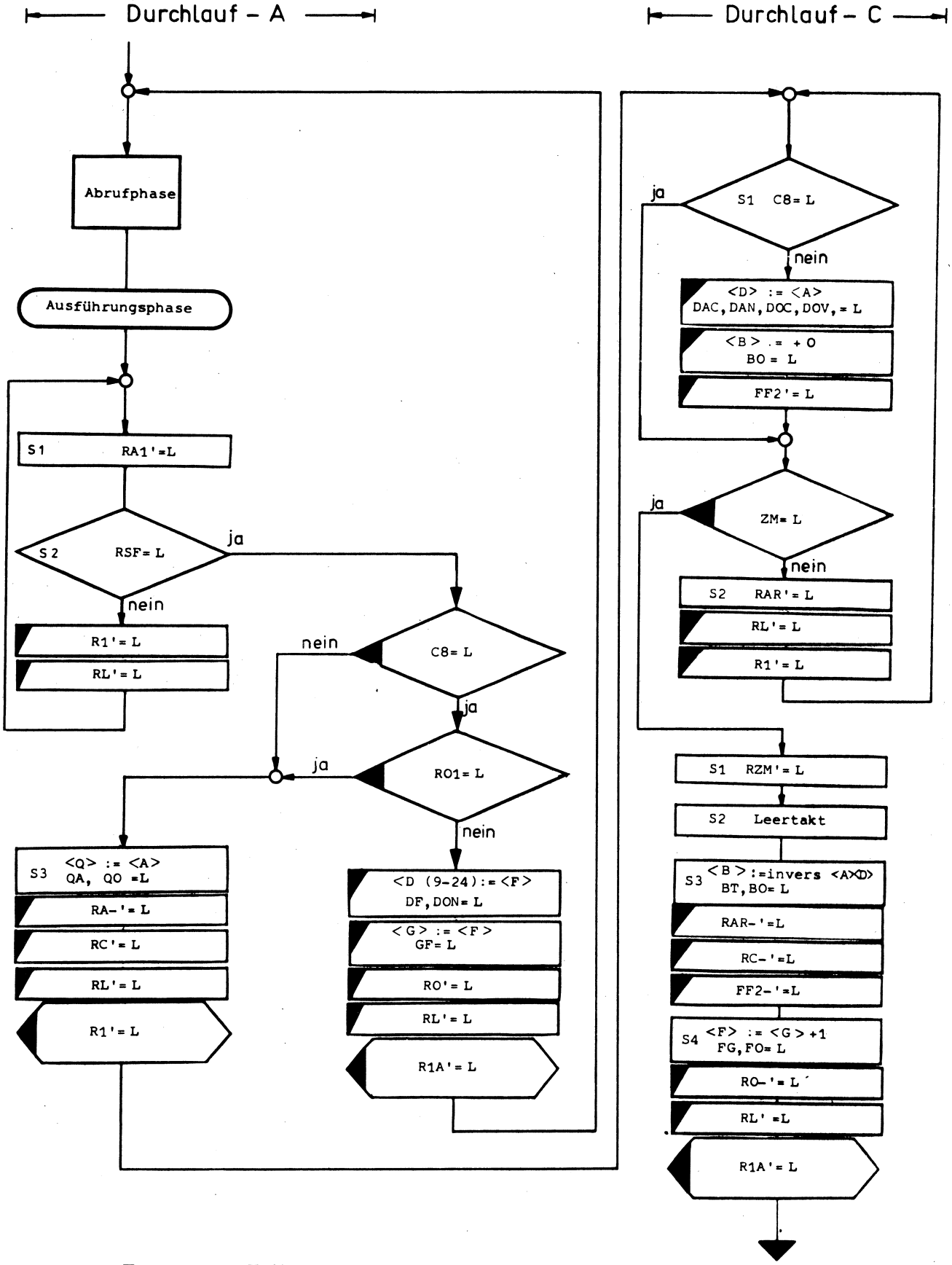
Diverse Flußdiagramme TR 86

1. Auflage

Stand vom 1. 7. 69

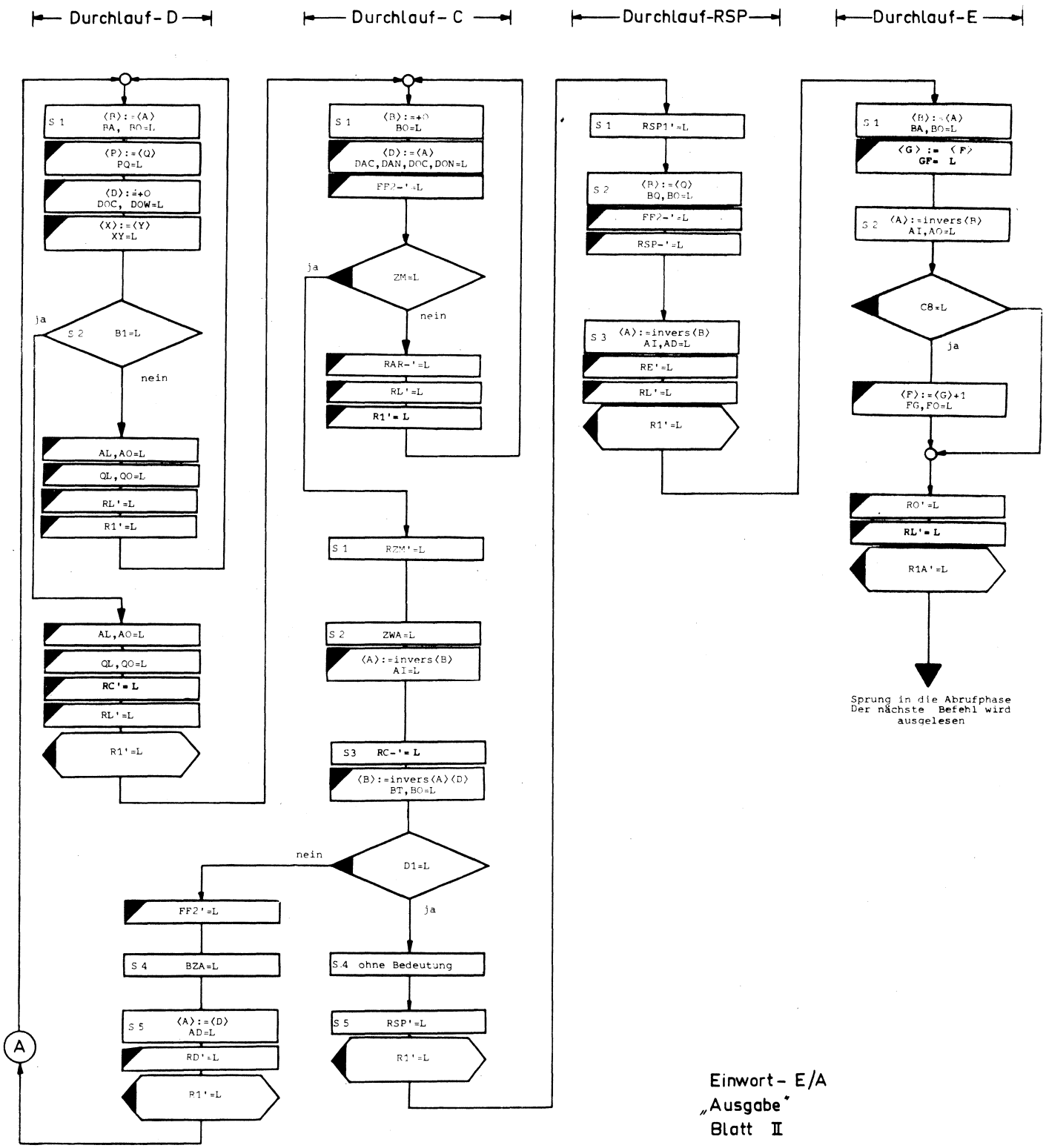
umfaßt 18 Sonderdrucke von GR/E1/VU

Die Sonderdrucknummern sind im linken unteren Eck ersichtlich.

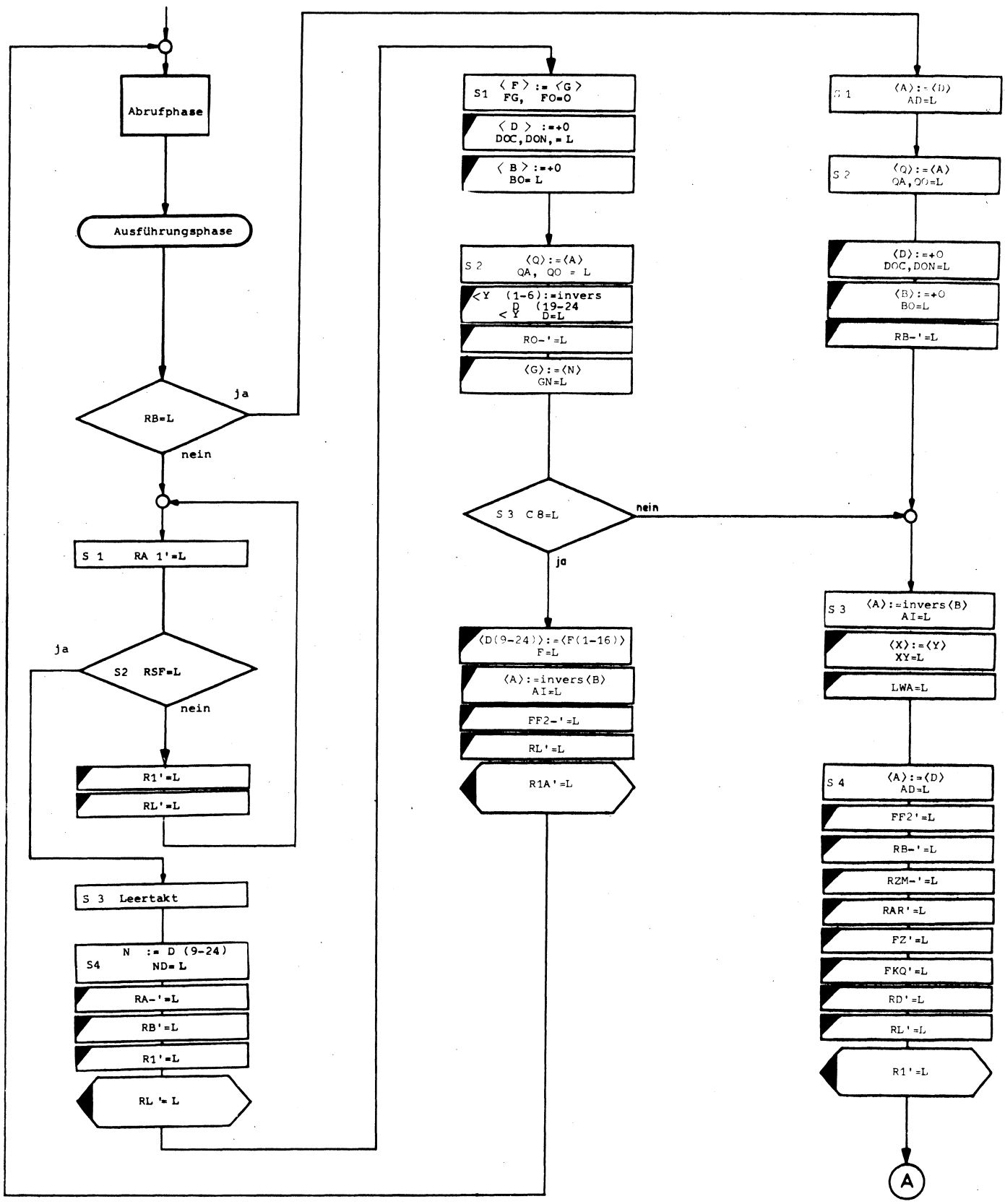


Einwort - E/A
„Ein Zeichen pro Wort"
(EZW)

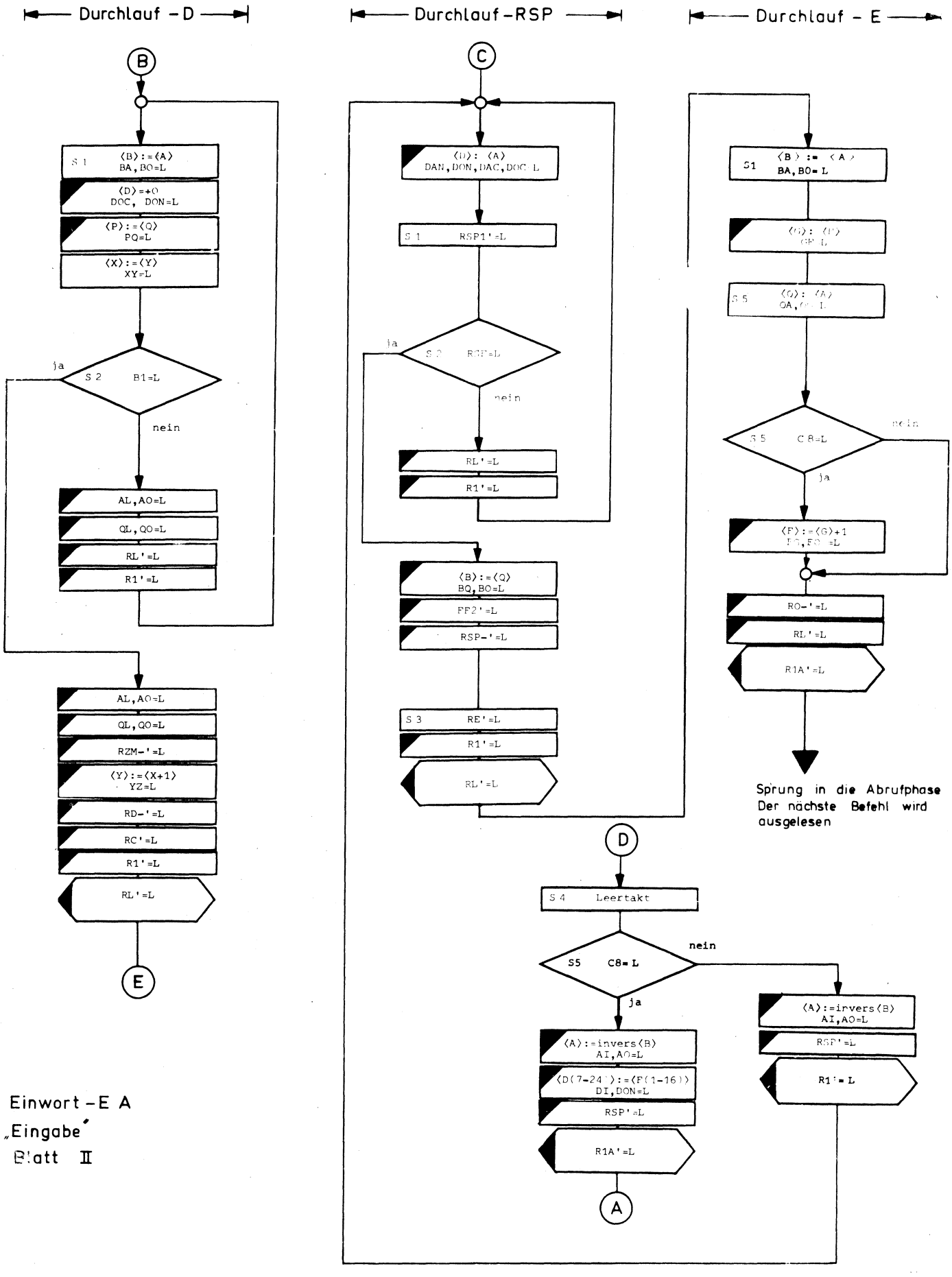
Sprung in die Abrufphase
(Auslesen des nächsten Befehls)



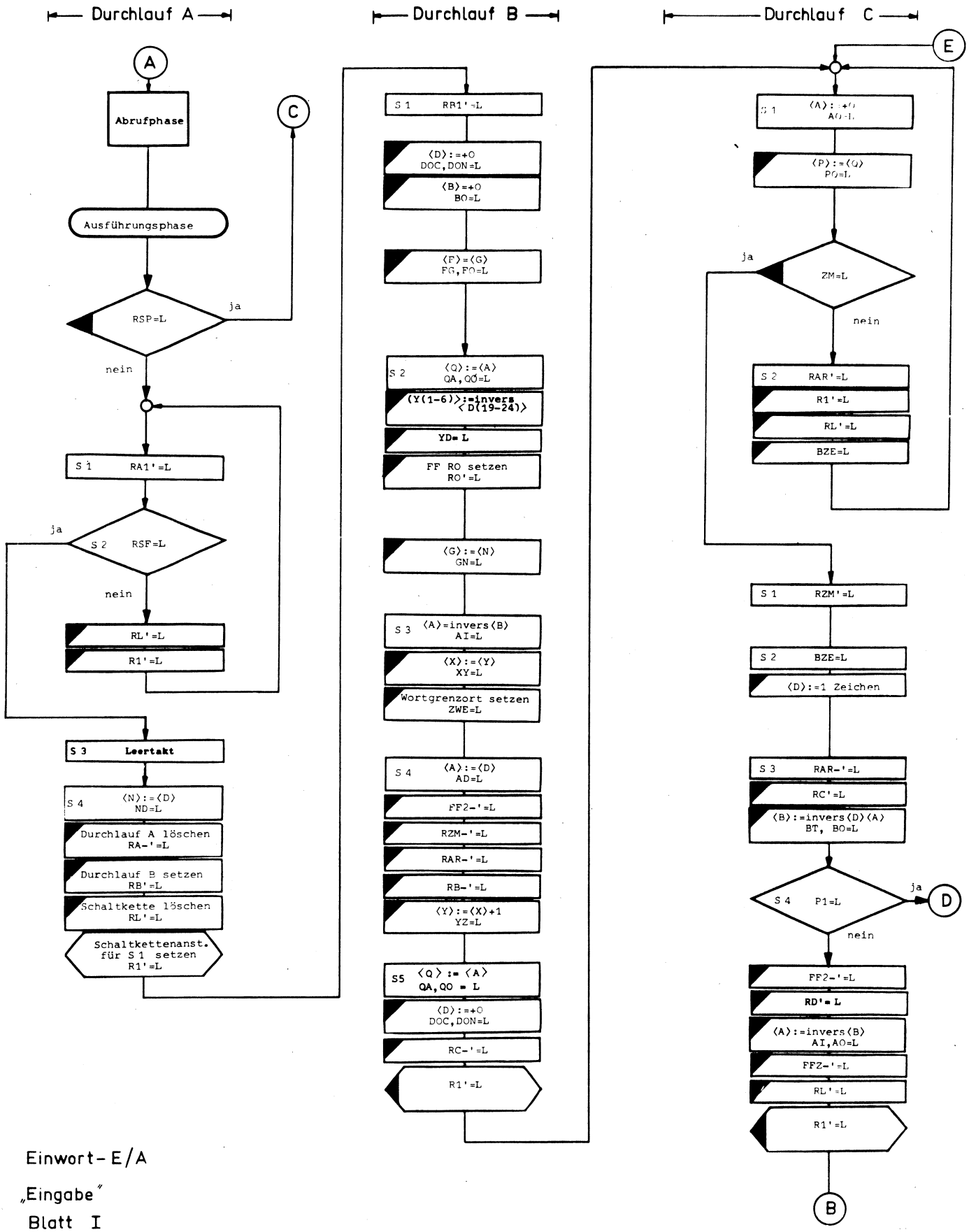
Einwort- E/A
„Ausgabe"
Blatt II



Einwort - E/A
„Ausgabe"
Blatt I



Einwort - E A
„Eingabe"
Blatt II

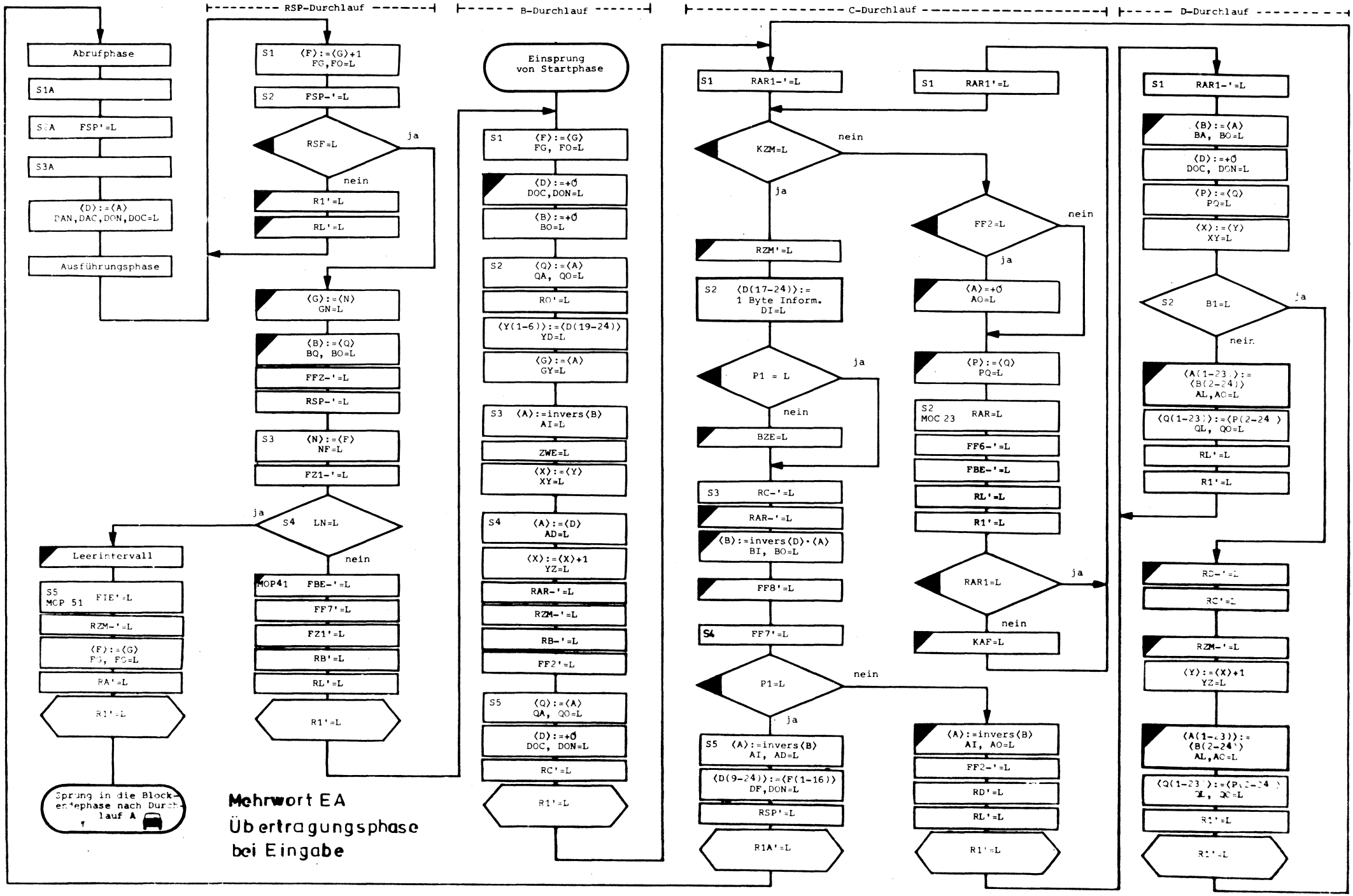


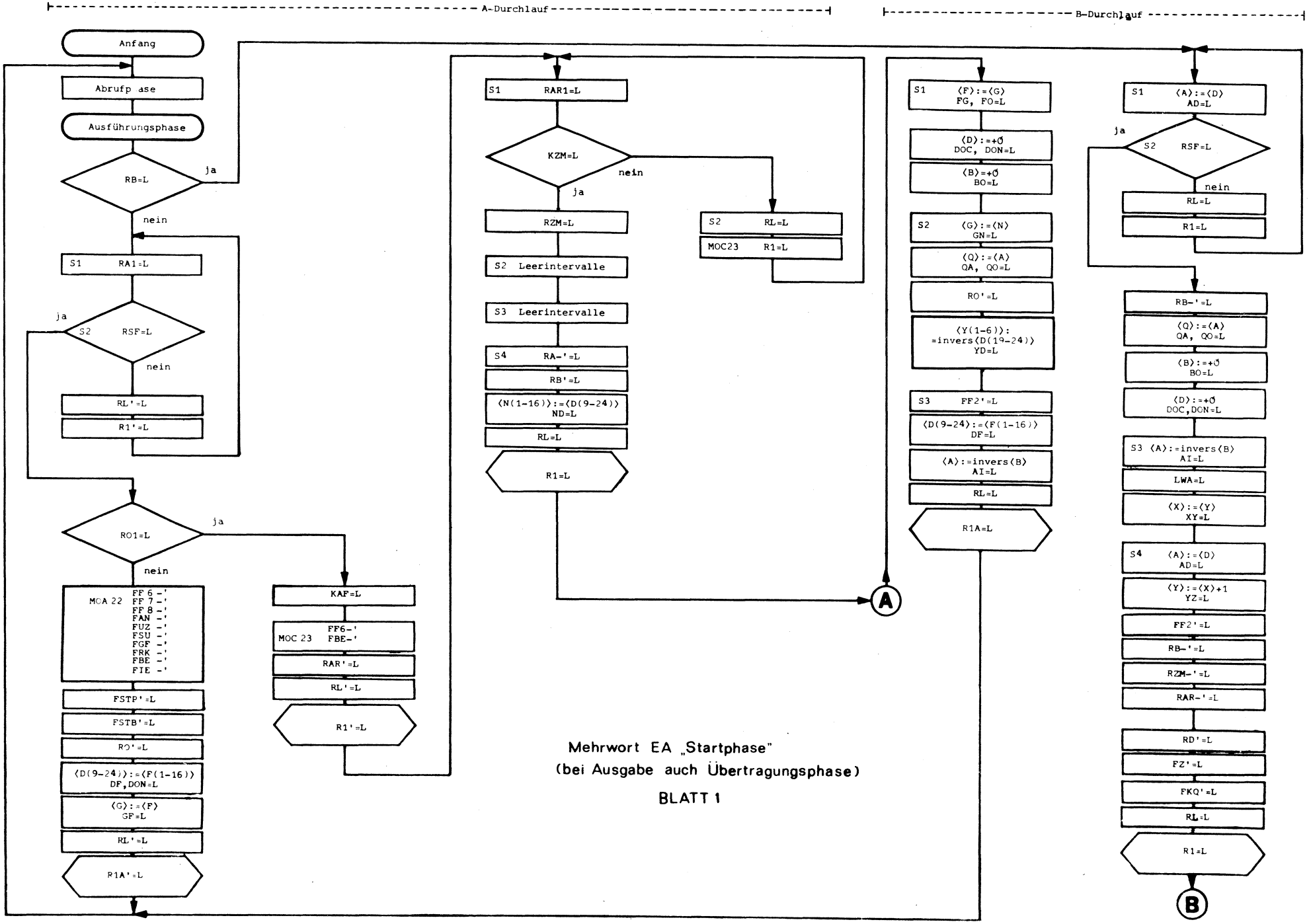
Einwort-E/A

„Eingabe"

Blatt I

U 5769-C


RSP-Durchlauf
B-Durchlauf
C-Durchlauf
D-Durchlauf
Abrufphase
S1A
S2A FSP'=L
S3A
⟨D⟩:=⟨A⟩ DAN,DAC,DON,DOC=L
Ausführungsphase
S1 ⟨F⟩:=⟨G⟩+1 FG,FO=L
S2 FSP-'=L
RSF=L
ja
nein
R1'=L
RL'=L
⟨G⟩:=⟨N⟩ GN=L
⟨B⟩:=⟨Q⟩ BQ, BO=L
FFZ-'=L
RSP-'=L
S3 ⟨N⟩:=⟨F⟩ NF=L
FZ1-'=L
S4 LN=L
ja
nein
Leerintervall
S5 MCP 51 FIE'=L
RZM-'=L
⟨F⟩:=⟨G⟩ FG, FO=L
RA'=L
R1'=L
Sprung in die Blockendephase nach Durchlauf A
MOP41 FBE-'=L
FF7'=L
FZ1'=L
RB'=L
RL'=L
R1'=L
Einsprung von Startphase
S1 ⟨F⟩:=⟨G⟩ FG, FO=L
⟨D⟩:=+0 DOC,DON=L
⟨B⟩:=+0 BO=L
S2 ⟨Q⟩:=⟨A⟩ QA, QO=L
RO'=L
⟨Y(1-6)⟩:=⟨D(19-24)⟩ YD=L
⟨G⟩:=⟨A⟩ GY=L
S3 ⟨A⟩:=invers⟨B⟩ AI=L
ZWE=L
⟨X⟩:=⟨Y⟩ XY=L
S4 ⟨A⟩:=⟨D⟩ AD=L
⟨X⟩:=⟨X⟩+1 YZ=L
RAR-'=L
RZM-'=L
RB-'=L
FF2'=L
S5 ⟨Q⟩:=⟨A⟩ QA, QO=L
⟨D⟩:=+0 DOC, DON=L
RC'=L
R1'=L
S1 RAR1-'=L
KZM=L
nein
ja
RZM'=L
S2 ⟨D(17-24)⟩:= 1 Byte Inform. DI=L
P1 = L
ja
nein
BZE=L
S3 RC-'=L
RAR-'=L
⟨B⟩:=invers⟨D⟩·⟨A⟩ BI, BO=L
FF8'=L
S4 FF7'=L
P1=L
nein
ja
S5 ⟨A⟩:=invers⟨B⟩ AI, AD=L
⟨D(9-24)⟩:=⟨F(1-16)⟩ DF,DON=L
RSP'=L
R1A'=L
S1 RAR1'=L
FF2=L
nein
ja
⟨A⟩:=+0 AO=L
⟨P⟩:=⟨Q⟩ PQ=L
S2 MOC 23 RAR=L
FF6-'=L
FBE-'=L
RL'=L
R1'=L
RAR1=L
ja
nein
KAF=L
⟨A⟩:=invers⟨B⟩ AI, AO=L
FF2-'=L
RD'=L
RL'=L
R1'=L
S1 RAR1-'=L
⟨B⟩:=⟨A⟩ BA, BO=L
⟨D⟩:=+0 DOC, DON=L
⟨P⟩:=⟨Q⟩ PQ=L
⟨X⟩:=⟨Y⟩ XY=L
S2 B1=L
ja
nein
⟨A(1-23)⟩:= ⟨B(2-24)⟩ AL,AO=L
⟨Q(1-23)⟩:=⟨P(2-24)⟩ QL, QO=L
RL'=L
R1'=L
RD-'=L
RC'=L
RZM-'=L
⟨Y⟩:=⟨X⟩+1 YZ=L
⟨A(1-23)⟩:= ⟨B(2-24)⟩ AL,AO=L
⟨Q(1-23)⟩:=⟨P(2-24)⟩ QL, QO=L
R1'=L
R1'=L
Mehrwort EA
Übertragungsphase
bei Eingabe

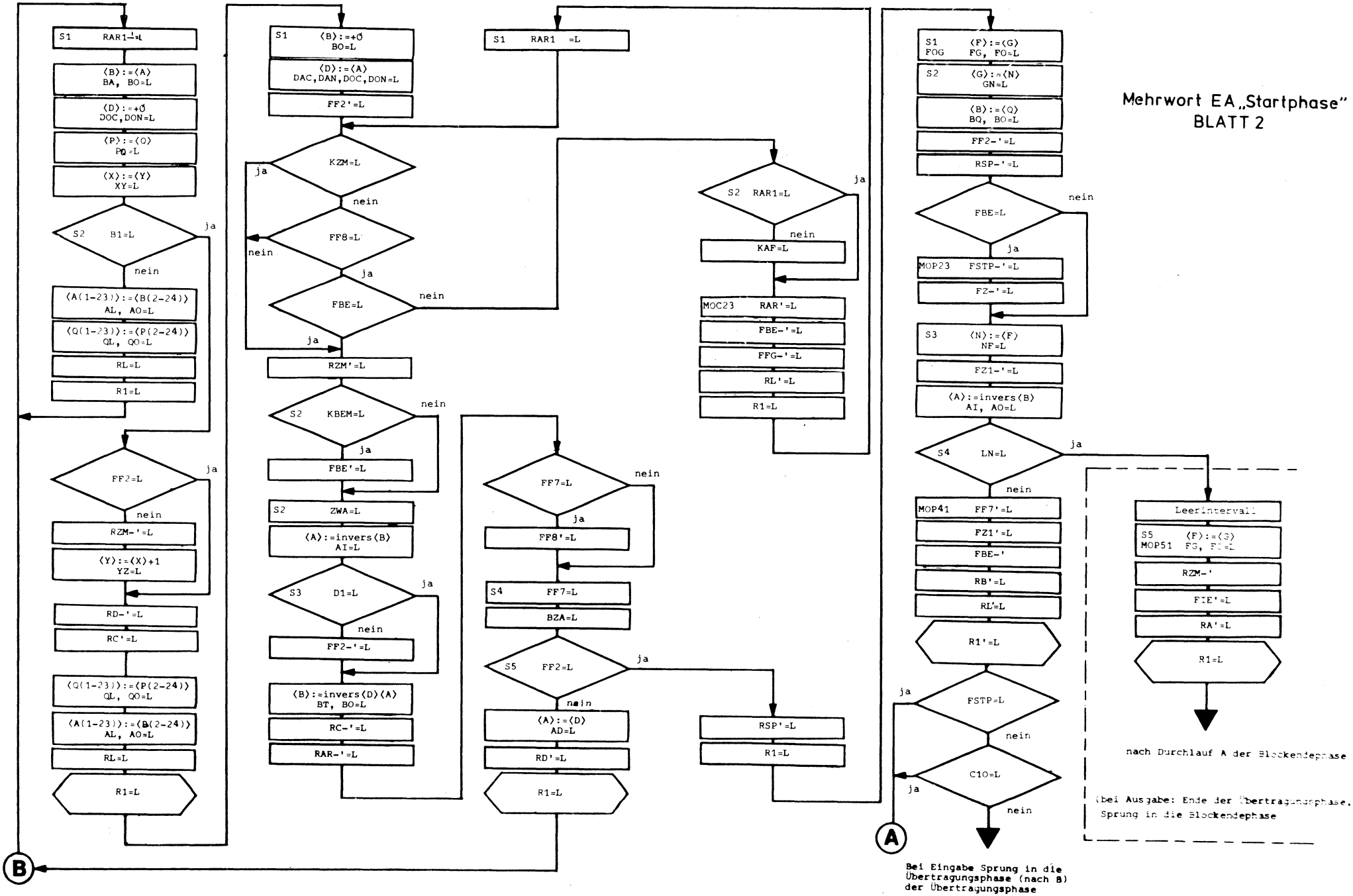


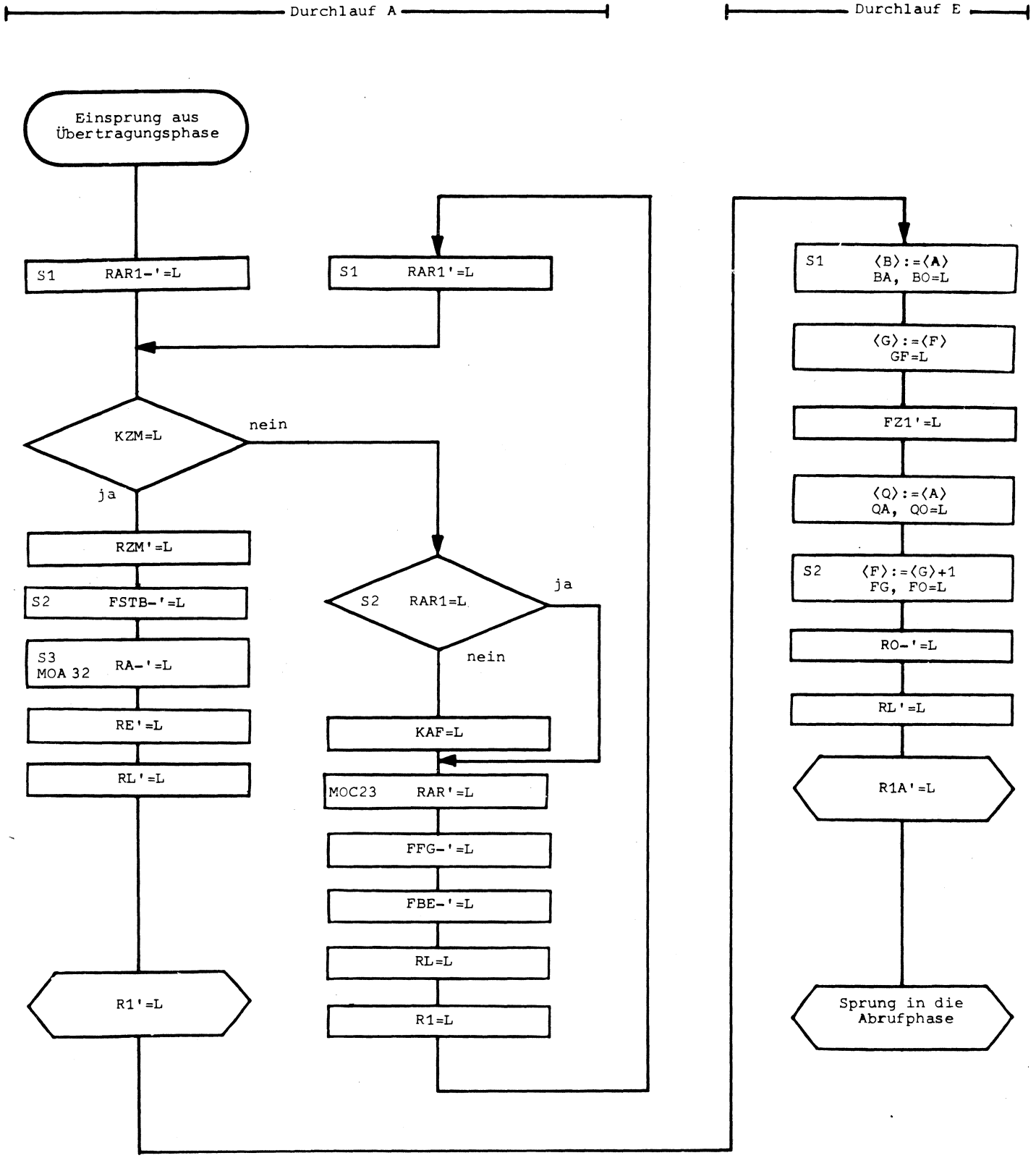
Mehrwort EA „Startphase"
(bei Ausgabe auch Übertragungsphase)

BLATT 1

D-Durchlauf | C-Durchlauf | RSP-Durchlauf

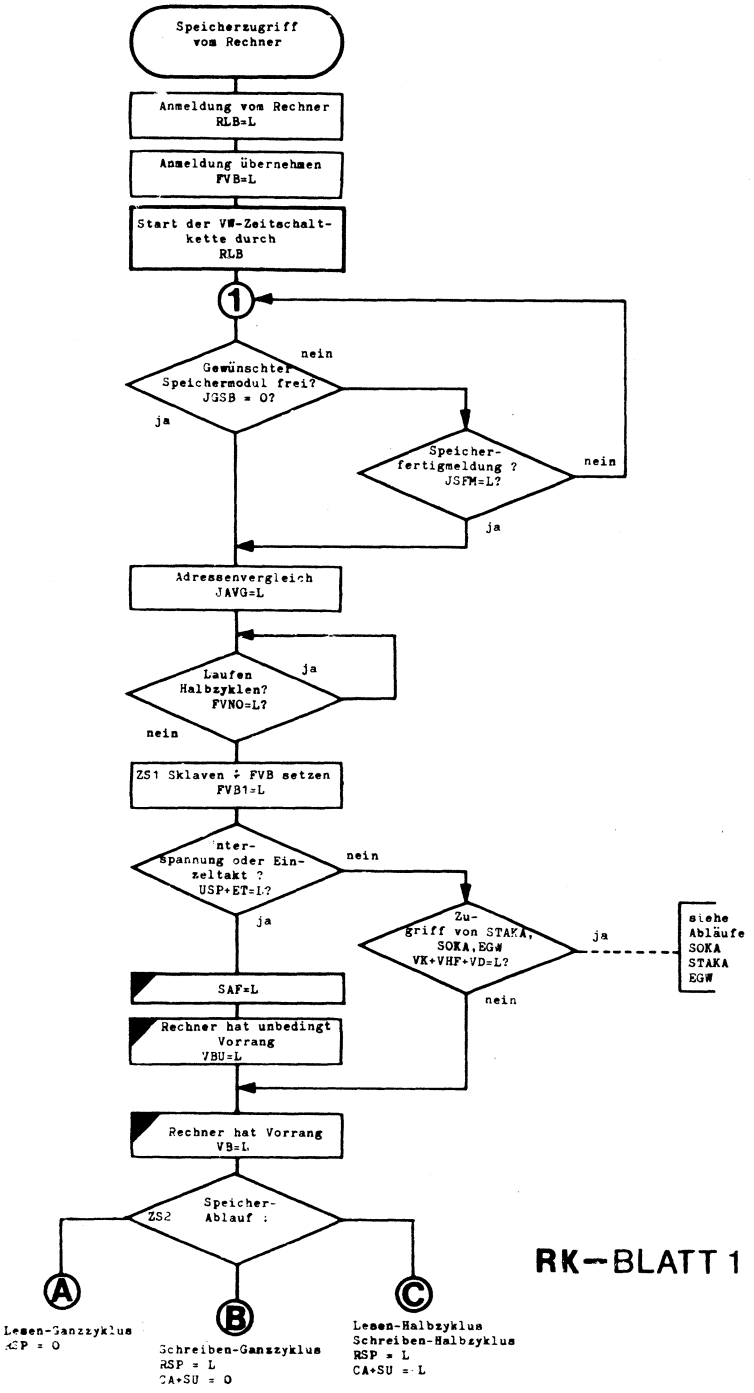
Mehrwort EA „Startphase" BLATT 2



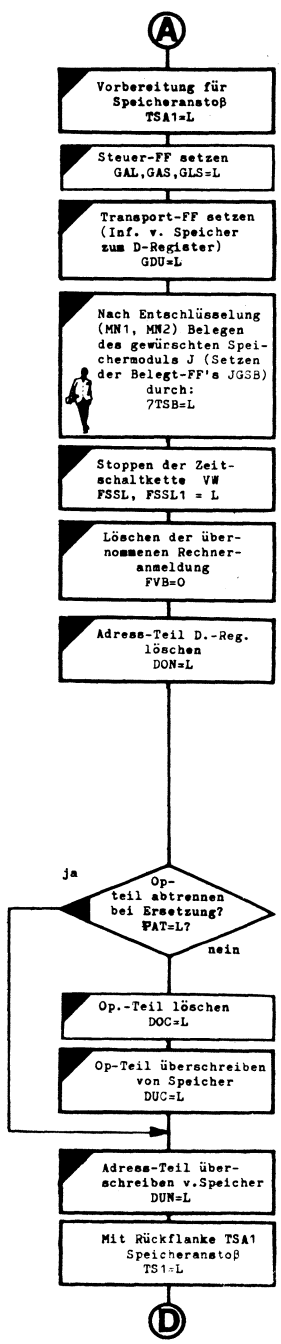


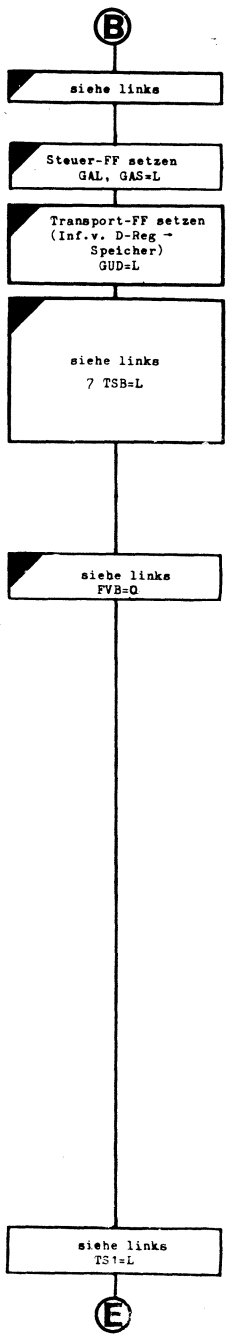
Blockendephase

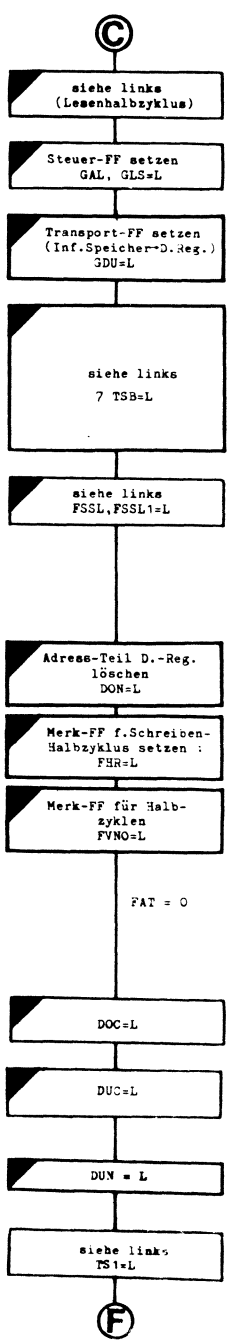
bei Mehrwort-
Ein- und Ausgabe

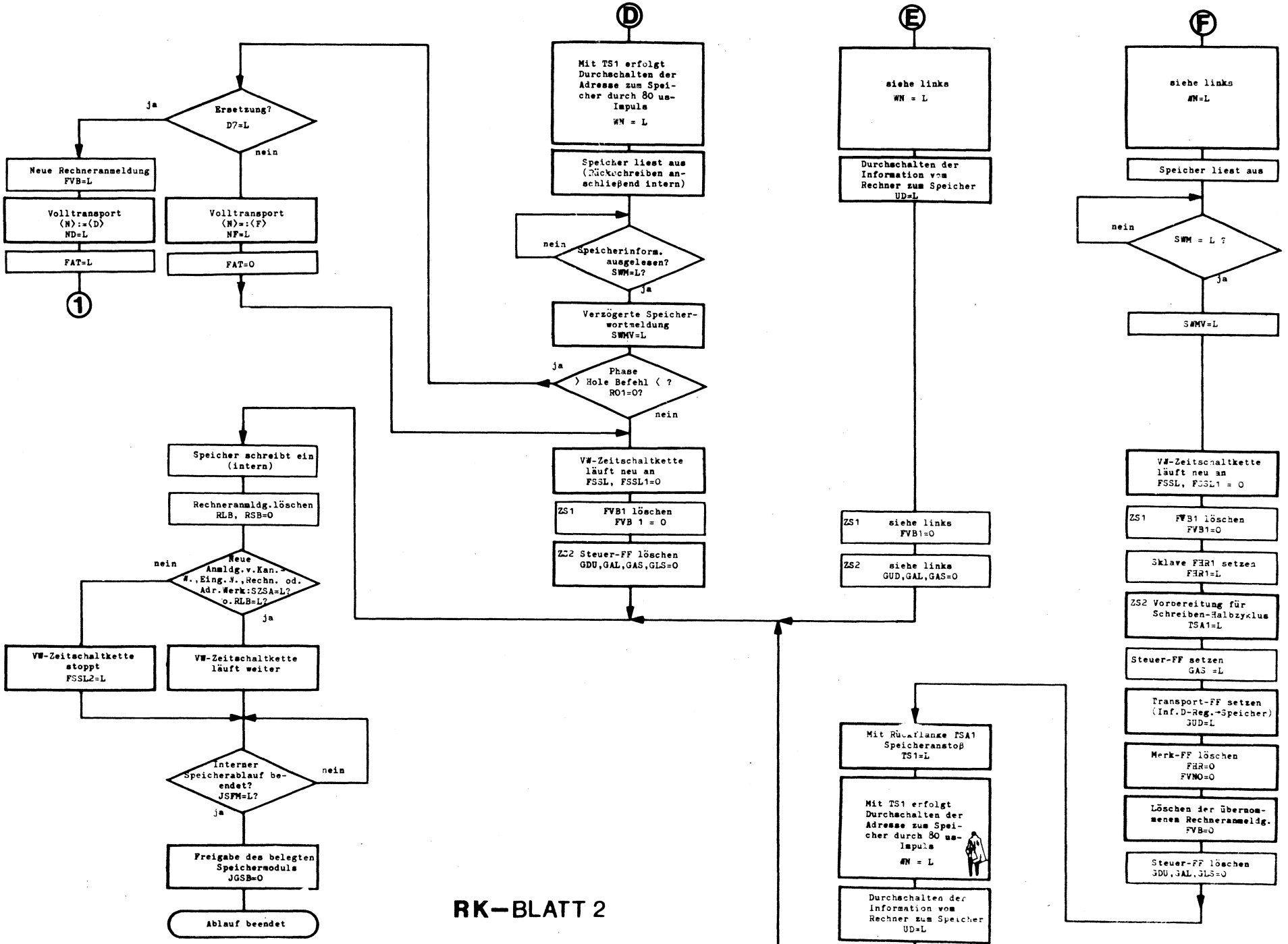

Speicherzugriff vom Rechner
Anmeldung vom Rechner RLB=L
Anmeldung übernehmen FVB=L
Start der VW-Zeitschaltkette durch RLB
1
Gewünschter Speichermodul frei? JGSB = 0?
nein
ja
Speicher-fertigmeldung ? JSFM=L?
nein
ja
Adressenvergleich JAVG=L
Laufen Halbzyklen? FVNO=L?
ja
nein
ZS1 Sklaven ÷ FVB setzen FVB1=L
Inter-Spannung oder Einzeltakt ? USP+ET=L?
nein
ja
Zugriff von STAKA, SOKA, EGW VK+VHF+VD=L?
ja
siehe Abläufe SOKA STAKA EGW
nein
SAF=L
Rechner hat unbedingt Vorrang VBU=L
Rechner hat Vorrang VB=L
Speicher-Ablauf : ZS2
A
B
C
Lesen-Ganzzyklus RSP = 0
Schreiben-Ganzzyklus RSP = L CA+SU = 0
Lesen-Halbzyklus Schreiben-Halbzyklus RSP = L CA+SU = L

RK–BLATT 1

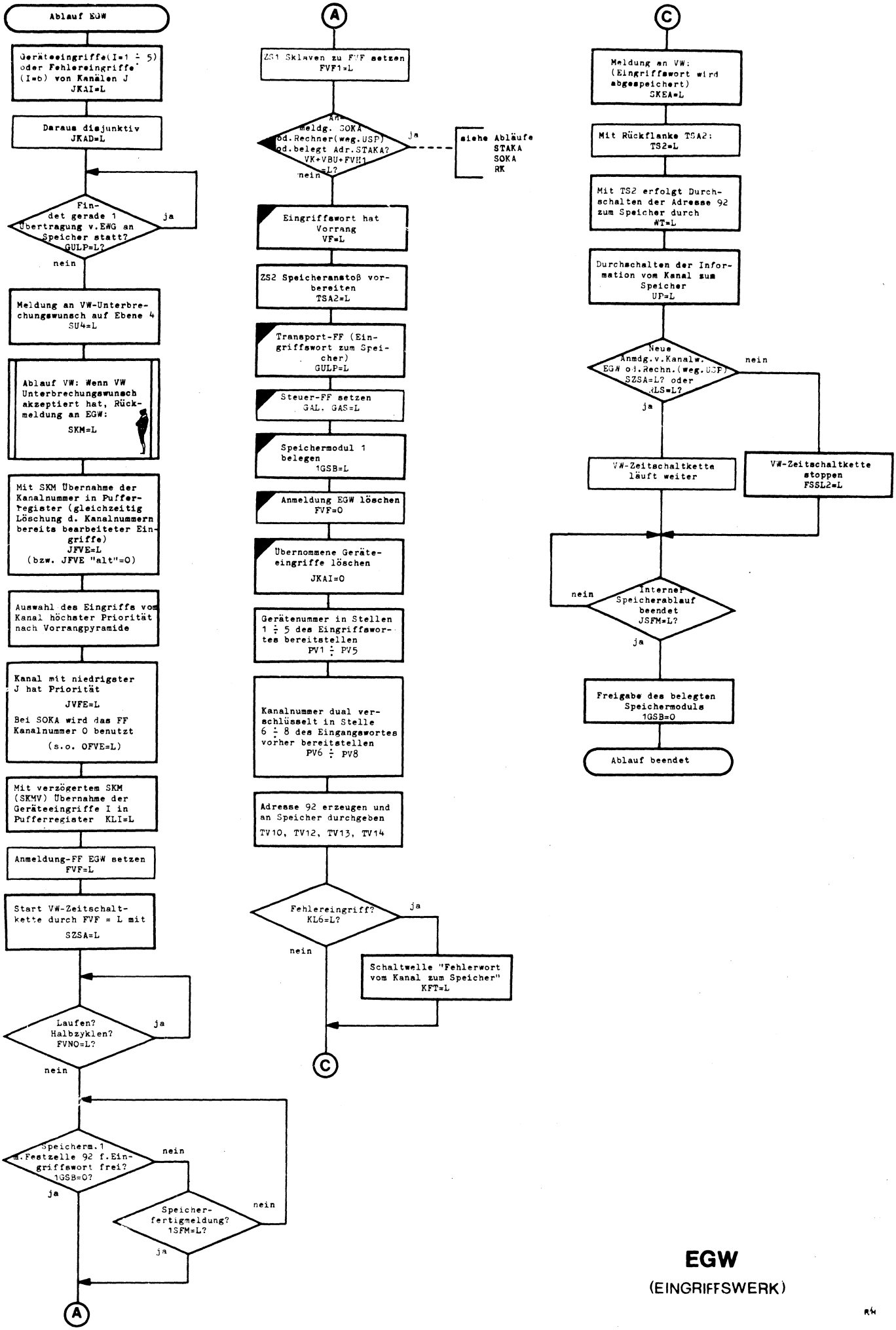

A
Vorbereitung für Speicheranstoß TSA1=L
Steuer-FF setzen GAL,GAS,GLS=L
Transport-FF setzen (Inf. v. Speicher zum D-Register) GDU=L
Nach Entschlüsselung (MN1, MN2) Belegen des gewürschten Speichermoduls J (Setzen der Belegt-FF's JGSB) durch: 7TSB=L
Stoppen der Zeitschaltkette VW FSSL, FSSL1 = L
Löschen der übernommenen Rechneranmeldung FVB=0
Adress-Teil D.-Reg. löschen DON=L
ja
Op-teil abtrennen bei Ersetzung? FAT=L?
nein
Op.-Teil löschen DOC=L
Op-Teil überschreiben von Speicher DUC=L
Adress-Teil überschreiben v.Speicher DUN=L
Mit Rückflanke TSA1 Speicheranstoß TS1=L
D


B
siehe links
Steuer-FF setzen GAL, GAS=L
Transport-FF setzen (Inf.v. D-Reg → Speicher) GUD=L
siehe links 7 TSB=L
siehe links FVB=0
siehe links TS1=L
E


C
siehe links (Lesenhalbzyklus)
Steuer-FF setzen GAL, GLS=L
Transport-FF setzen (Inf.Speicher→D.Reg.) GDU=L
siehe links 7 TSB=L
siehe links FSSL,FSSL1=L
Adress-Teil D.-Reg. löschen DON=L
Merk-FF f.Schreiben-Halbzyklus setzen : FHR=L
Merk-FF für Halbzyklen FVNO=L
FAT = 0
DOC=L
DUC=L
DUN = L
siehe links TS1=L
F


Ersetzung?
D7=L
ja
nein
Neue Rechneranmeldung
FVB=L
Volltransport
(N):=(D)
ND=L
FAT=L
1
Volltransport
(N)=:(F)
NF=L
FAT=0
D
Mit TS1 erfolgt Durchschalten der Adresse zum Speicher durch 80 us-Impuls
WN = L
Speicher liest aus (Rückschreiben anschließend intern)
Speicherinform. ausgelesen? SWM=L?
nein
ja
Verzögerte Speicherwortmeldung
SWMV=L
Phase) Hole Befehl (? RO1=O?
ja
nein
VW-Zeitschaltkette läuft neu an
FSSL, FSSL1=0
ZS1 FVB1 löschen
FVB 1 = 0
ZS2 Steuer-FF löschen
GDU,GAL,GAS,GLS=0
E
siehe links
WN = L
Durchschalten der Information vom Rechner zum Speicher
UD=L
ZS1 siehe links
FVB1=0
ZS2 siehe links
GUD,GAL,GAS=0
F
siehe links
WN=L
Speicher liest aus
nein
SWM = L ?
ja
SWMV=L
VW-Zeitschaltkette läuft neu an
FSSL, FSSL1 = 0
ZS1 FVB1 löschen
FVB1=0
Sklave FHR1 setzen
FHR1=L
ZS2 Vorbereitung für Schreiben-Halbzyklus
TSA1=L
Steuer-FF setzen
GAS =L
Transport-FF setzen (Inf.D-Reg.→Speicher)
GUD=L
Merk-FF löschen
FHR=0
FVMO=0
Löschen der übernommenen Rechneranmeldg.
FVB=0
Steuer-FF löschen
GDU,GAL,GLS=0
Speicher schreibt ein (intern)
Rechneranmldg.löschen
RLB, RSB=0
Neue Anmldg.v.Kan.-#.,Eing.-N.,Rechn. od. Adr.Werk:SZSA=L? o.RLB=L?
nein
ja
VW-Zeitschaltkette stoppt
FSSL2=L
VW-Zeitschaltkette läuft weiter
Interner Speicherablauf beendet? JSFM=L?
nein
ja
Freigabe des belegten Speichermoduls
JGSB=0
Ablauf beendet
Mit Rückflanke TSA1 Speicheranstoß
TS1=L
Mit TS1 erfolgt Durchschalten der Adresse zum Speicher durch 80 us-Impuls
WN = L
Durchschalten der Information vom Rechner zum Speicher
UD=L

RK–BLATT 2



EGW

(EINGRIFFSWERK)

R4

zu Durchlauf A (Abschnittslänge)

GWS1 = L

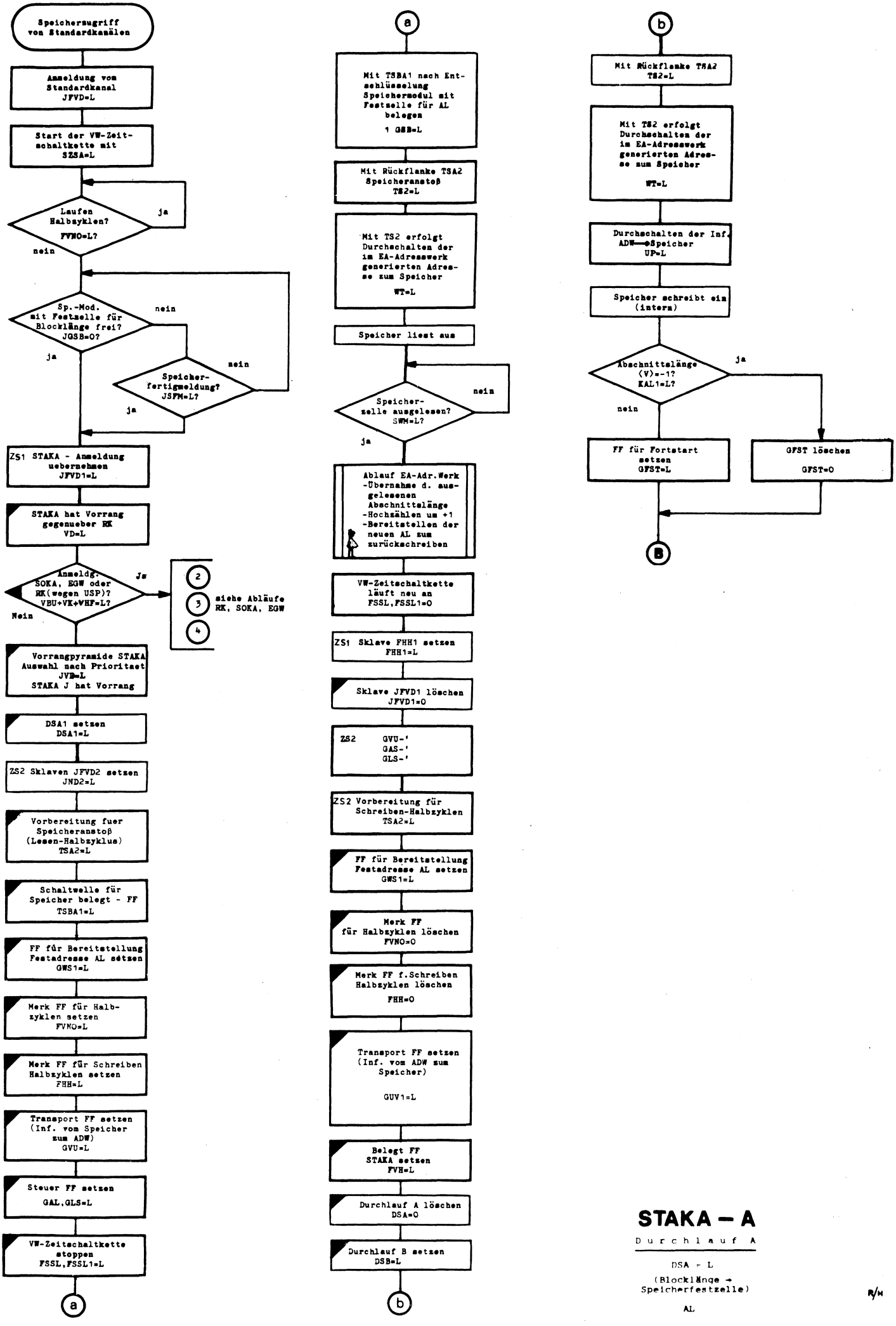
zu Durchlauf B (Datenadresse)

GWS2 = L

zu Durchlauf C (Information)

GWV = L

EA—ADW



STAKA – A

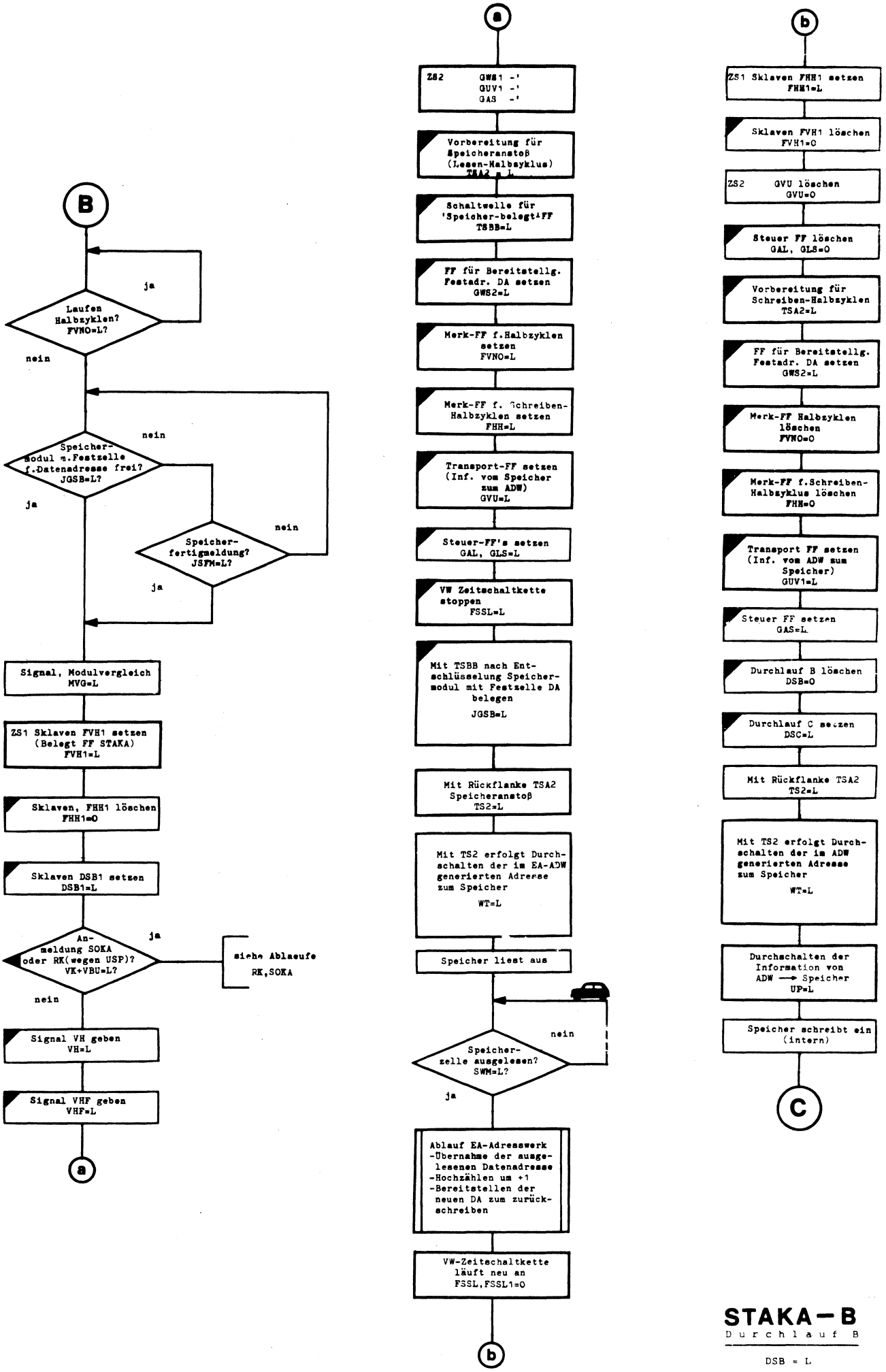
Durchlauf A

DSA = L

(Blocklänge → Speicherfestzelle)

AL

R/H



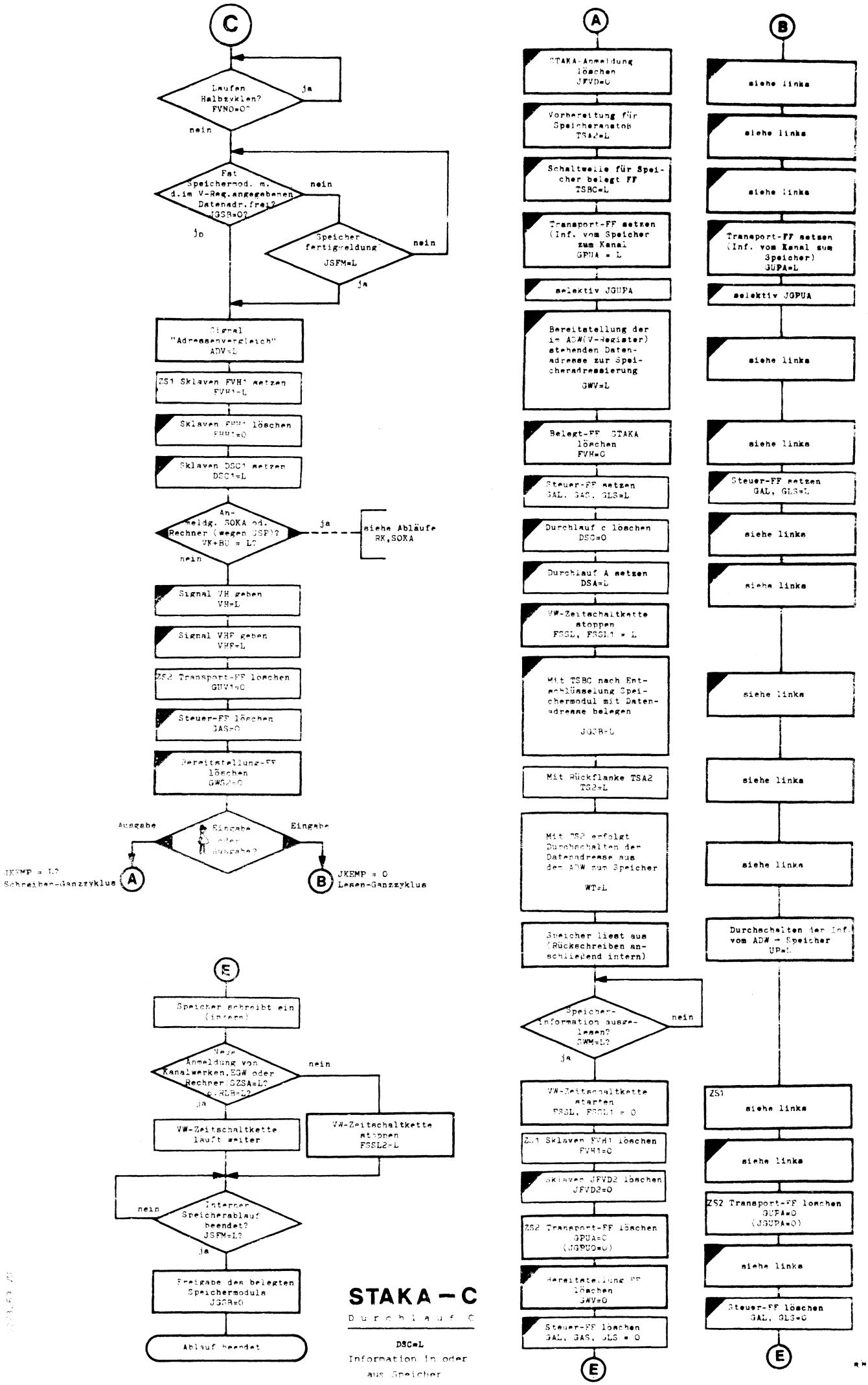
STAKA – B

Durchlauf B

DSB = L

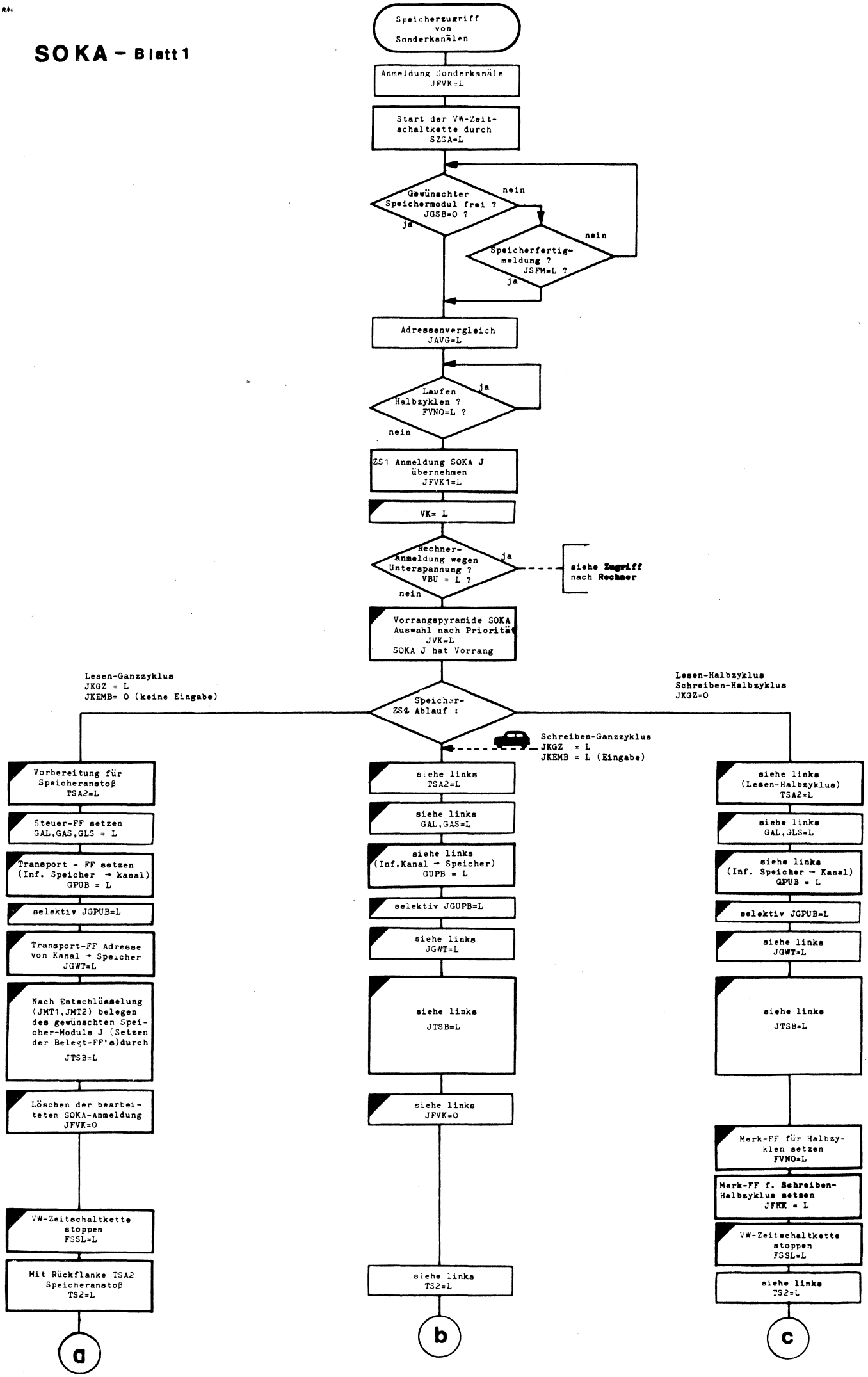
(Datenadresse ⇔ Speicherfestzelle)DA

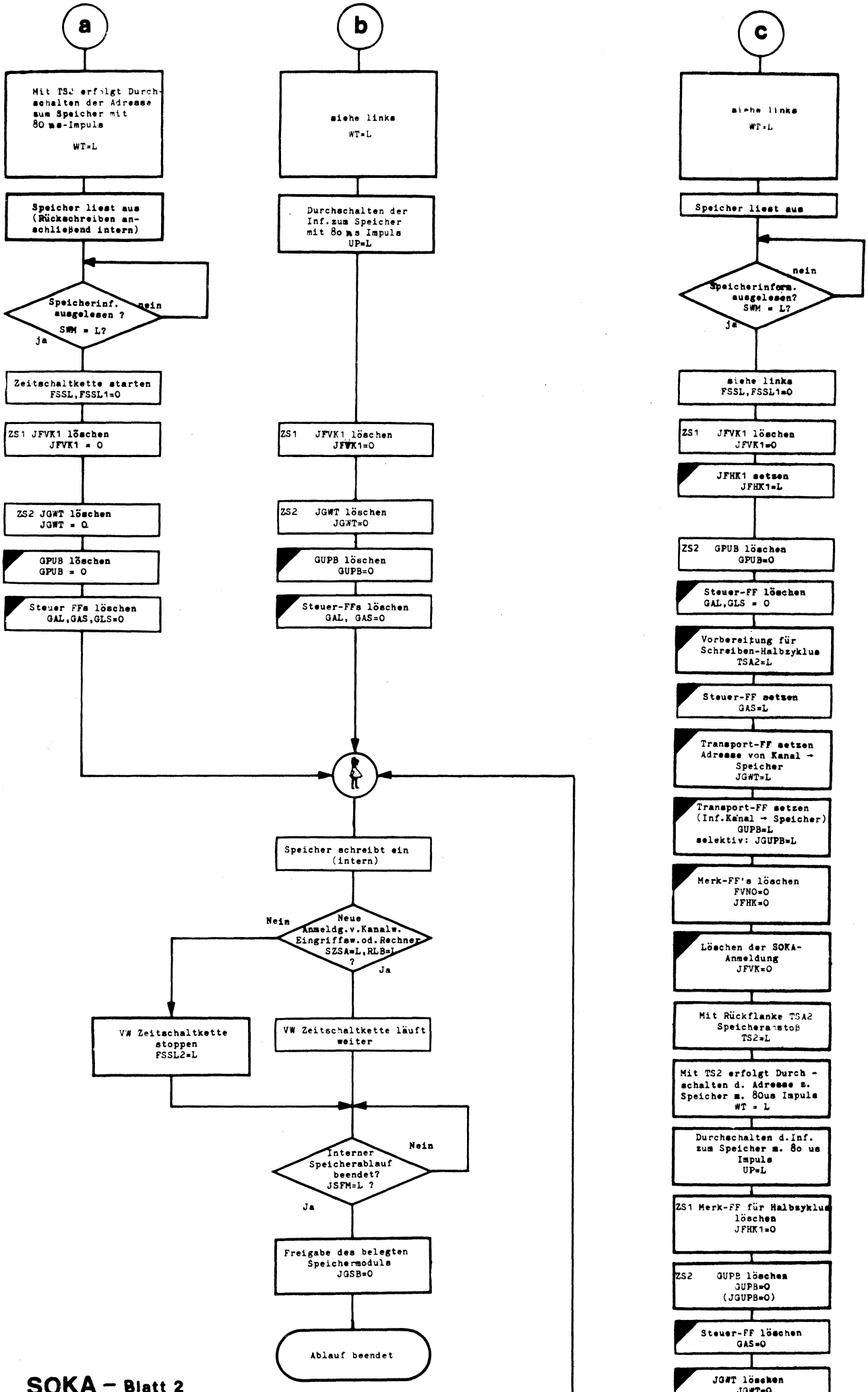
SO/3169/VU


C
Laufen Halbzyklen? FVNO=0?
ja
nein
Fst Speichermod. m. d.im V-Reg.angegebenen Datenadr.frei? JGSB=0?
nein
ja
Speicher fertigmeldung JSFM=L
nein
ja
Signal "Adressenvergleich" ADV=L
ZS1 Sklaven FVH1 setzen FVH1=L
Sklaven FVH1 löschen FVH1=0
Sklaven DSC1 setzen DSC1=L
An-meldg. SOKA od. Rechner (wegen GSP)? VK+BU = L?
ja
siehe Abläufe RK,SOKA
nein
Signal VH geben VH=L
Signal VHF geben VHF=L
ZS2 Transport-FF loschen GUV1=0
Steuer-FF löschen GAS=0
Bereitstellung-FF löschen GWG2=0
Ausgabe
Eingabe
JKEMP = L? Schreiben-Ganzzyklus
A
B
JKEMP = 0 Lesen-Ganzzyklus
A
STAKA-Anmeldung löschen JFVD=0
Vorbereitung für Speicheranstoß TSA2=L
Schaltwelle für Speicher belegt FF TSBC=L
Transport-FF setzen (Inf. vom Speicher zum Kanal GPUA = L
selektiv JGUPA
Bereitstellung der im ADW(V-Register) stehenden Datenadresse zur Speicheradressierung GWV=L
Belegt-FF STAKA löschen FVH=0
Steuer-FF setzen GAL, GAS, GLS=L
Durchlauf c löschen DSC=0
Durchlauf A setzen DSA=L
VW-Zeitschaltkette stoppen FSSL, FSSL1 = L
Mit TSBC nach Entschlüsselung Speichermodul mit Datenadresse belegen JGSB=L
Mit Rückflanke TSA2 TS2=L
Mit TS2 erfolgt Durchschalten der Datenadresse aus dem ADW zum Speicher WT=L
Speicher liest aus (Rückschreiben anschließend intern)
Speicher-Information ausgelesen? GWM=L?
nein
ja
VW-Zeitschaltkette starten FSSL, FSSL1 = 0
ZS1 Sklaven FVH1 löschen FVH1=0
Sklaven JFVD2 löschen JFVD2=0
ZS2 Transport-FF löschen GPUA=0 (JGPUO=0)
Bereitstellung FF löschen GWV=0
Steuer-FF löschen GAL, GAS, GLS = 0
E
B
siehe links
siehe links
siehe links
Transport-FF setzen (Inf. vom Kanal zum Speicher) GUPA=L
selektiv JGPUA
siehe links
siehe links
Steuer-FF setzen GAL, GLS=L
siehe links
siehe links
siehe links
siehe links
siehe links
siehe links
Durchschalten der Inf. vom ADW → Speicher UP=L
ZS1
siehe links
siehe links
ZS2 Transport-FF loschen GUPA=0 (JGUPA=0)
siehe links
Steuer-FF löschen GAL, GLS=0
E
E
Speicher schreibt ein (intern)
Neue Anmeldung von Kanalwerken, EGW oder Rechner (SZSA=L? & RLB=L?
nein
ja
VW-Zeitschaltkette läuft weiter
VW-Zeitschaltkette stoppen FSSL2-L
nein
Interner Speicherablauf beendet? JSFM=L?
ja
Freigabe des belegten Speichermoduls JGSB=0
Ablauf beendet
STAKA – C
Durchlauf C
DSC=L
Information in oder aus Speicher

RH

SOKA – Blatt 1





SOKA – Blatt 2

3669/VU

TR 86
ZENTRALER RECHNER

6.0 Korrespondenzeinrichtung

1. Auflage

6.0 Korrespondenzeinrichtung

3. verbesserte Auflage

Stand vom 20. Juli 1969

umfaßt Blatt

6.0 - 1 bis 6.0 - 1220

AEG DATENVERARBEITUNG MP17

TECHNISCHE MITTEILUNG: TM VU 440/86-1

Datum: 31. 7. 69

von: N3/TDI G. Ranfft

betrifft: Korrektur zur Beschreibung
TR440/86
Korrespondenzeinrichtung
(2. Auflage v. 10. 4. 69)

In der Beschreibung der Korrespondenzeinrichtung TR 440/86 stellten wir die im Folgenden aufgeführten Fehler fest.
Alle genannten Änderungen wurden mit dem Labor (H. Goerges) abgesprochen und werden in einer späteren Auflage berücksichtigt. Wir bitten Sie, diese Änderungen in Ihren Unterlagen nachzutragen.

S 220 Zeile 3, Spalte E zusätzlich INF
" 8, " D " INFS

S 250 1. Zeile statt IF, EMP, INFS jetzt IF, $\overline{EMP}$, INFS

S 400 Zusatz: Alle Signale mit Ausnahme v. ANE und NORM werden negiert übertragen (siehe S 160 unten).

S 440 Konjunktionen zur Informationsverteilung
muß heißen

$NZST1 = \overline{Z1H} \cdot \overline{Z2H} \cdot \overline{Z3H}$
$NZST2 = Z1H \cdot \overline{Z2H} \cdot \overline{Z3H}$
$NZST3 = Z1H \cdot Z2H \cdot \overline{Z3H}$
$NZST4 = \overline{Z1H} \cdot Z2H \cdot \overline{Z3H}$
$NZST5 = \overline{Z1H} \cdot \overline{Z2H} \cdot Z3H$
$NZST6 = Z1H \circ \overline{Z2H} \circ Z3H$
$NZST7 = Z1H \cdot Z2H \circ Z3H$
$NZST8 = \overline{Z1H} \cdot Z2H \cdot Z3H$

S 470 1. Zeile statt 1. Steuerzeichen jetzt 1. Startinformationsz.
10. " " 1. " " 1. "

SO/69/12/VU

AEG TELEFUNKEN **DATENVERARBEITUNG**

TM VU 440/86-1	Datum 31. 7. 69	von G. Ranfft	Blatt 2

S 480	6.	Zeile	statt 1.	Steuerzeichen	jetzt 1.	Startinformationsz.
	7.	"	" 1.	"	" 1.	"
	13.	"	"	"	"	"
	25.	"	" 2.	"	" 2.	"
	26.	"	" 2.	"	" 2.	"
S 500	11.	"	" 2.	"	" 2.	"
	12.	"	" 2.	"	" 2.	"
S 520	6.	"	" 1.	"	" 1.	"
S 530	15.	"	" 2.	"	" 2.	"
S 650	1.	"	" 1.	"	" 1.	"
	10.	"	" 1.	"	" 1.	"
	12.	"	" 1.	"	" 1.	"
S 660	1.	"	" 1.	"	" 1.	"
	19.	"	" 2.	"	" 2.	"
	25.	"	" 2.	"	" 2.	"
	27.	"	" 2.	"	" 2.	"
S 670	3.	"	" 2.	"	" 2.	"
	4.	"	" 2.	"	" 2.	"
	9.	"	"	"	"	"

S 780 R-KE 12 enthält — muß heißen

Teil d. Kabelsenders, — Teil d. .....

Anschlußmöglichkeit, — .....

f. 6 Koax-Leitungen, — .....

6 Kabelsender u. empf. — 6 Anrufsender u. empf.

..... — .....

S 790 Dual-Gate 352 A Platz F 9 Mitte oben

Eingang	10	wird	7
"	9	"	8
"	1	"	6
"	6	"	10
"	8	"	1

Ausgang 4 wird 5

" 5 " 4

Dual-Gate C 13 links über Flip-Flop FZ
untere Reihe
Type ist statt 365 Typ 360

S 820 Zeichnungsmitte Gate J 1
Ausgang 1 muß sein 10
" 10 " " 1

S 850 oben links Stecker 40 bekommt Bez. FAIS

S 870 Dual-Gate J 11 obere Reihe

Ausgang 4 wird 5	Eingang 1 wird 6
" 5 " 4	" 9 " 8
	" 10 " 7
	" 8 " 1
	" 6 " 10

S 930 6. Zeile 1. Halbwelle eines .....
muß heißen
negativen 1. Halbwelle des 1. Bipolimpulses
vom Aufruf (OL00) von einer Koaxialleitung
das Flip-Flop B setzt und damit sofort jeden
Ein-.....

S 970 Impulsdiagramme des Kabelsenders
19 Sprung von -0,7V auf -1,5V erst bei 90 ns

S 980 Zeile 20 Welle liegt ..... muß heißen
Welle liegt am Element G 15 Klemmen 7 (Punkt 4),
10 (Punkt 8) eine L,

S 990 links beim Trafo
der BSX 29 Punkt 12 als Basis ist T 6
" " 29 " 3 " " " T 5

S 1000 muß weiß sein

AEG DATENVERARBEITUNG

TM VU 440/86-1	Datum 31. 7. 69	von G. Ranfft	Blatt 4

S 1071 muß grün sein

S 1090 " " "

S 1101 " " "

S 1190 " " "

S 1210 Überschrift zu Tabelle 7 Klammerinhalt wie folgt erweitern
..... (= vierte Oktade im ersten SI-Wort bei TR 440)
(= erste " " zweiten SI-Wort bei TR 86)

S 1220 Überschrift zu Tabelle 8 Klammerinhalt wie folgt erweitern
..... (=zweite Oktade im Eingriffswort bei TR 440)
(=dritte " " " " TR 86)

G. Ranfft

(G. Ranfft)

Beschreibung der **Korrespondenzeinrichtung für TR 440**

1. Einführung

1.1. Bezeichnungen und Abkürzungen

1.2. Verwendungszweck der KE

1.2.1. Standard - KE, Aufgabe

1.2.2. Schnelle KE, Aufgabe und Steckeinheiten

2. Ausführliche Beschreibung der Funktion

2.1. Schaltkreissystem

2.2. Steuersignale und Meldungen

2.2.1. Standard - KE

2.2.2. Schnelle KE

2.3. Reaktionen der KE
Reaktionstabelle, Flußdiagramm

2.4. Beispiel eines Übertragungsablaufes

2.5. Anschlußbedingungen, Zeitbedingungen, Impulsdiagramm

2.5.1. für Standard - KE

2.5.1.1. Geräteseite

2.5.1.2. Kanalseite

2.5.2. für schnelle KE

2.5.2.1. Geräteseite

2.5.2.2. Kanalseite

2.6. Fehlerbehandlungen der KE (Mit Zeitbedingungen)

2.6.1. Standard - KE

2.6.1.1. Fehler im Grundzustand

2.6.1.2. Fehler im Betrieb

2.6.2. Schnelle KE

2.6.2.1. Fehler im Grundzustand

2.6.2.2. Fehler im Betrieb

2.7. Beschreibung der Logik der Steckeinheiten

2.7.1. Standard - KE

2.7.1.1. Mikroprogramm

2.7.1.2. Mikroprogrammbeschreibung anhand einiger Funktionsabläufe, Stromlaufpläne, Zustände der Steuerflipflops.

2.7.2. Schnelle KE (Stromlaufpläne)

2.7.2.1. Mikroprogramm

2.7.2.2. Mikroprogrammbeschreibung anhand des Übertragungsablaufes unter 2.4.

3. Technische Realisierung

3.1. Standard - KE, Ausführungen, Stromlaufpläne, Steckerbelegungen

3.1.1. R-KE1 und R-KE11

3.1.2. R-KE2 und R-KE6

3.1.3. R-KE12

3.1.4. R-KE3

3.1.5. R-KE4 und R-KE5

3.1.6. R-KE13, Aufgabe und Funktion

3.1.7. Kabelsender

3.1.8. Kabelempfänger

3.1.9. Anrufsender und -empfänger

3.1.10. Bit-Zähler

3.1.11. Prüfpunkte

3.2. Schnelle KE, Stromlaufpläne, Steckerbelegungen, Bestückungszeichnung

3.2.1. Kabelsender

3.2.2. Kabelempfänger

3.2.3. Anrufsender und -empfänger (Abweichungen)

4. Prüfmethode (Ausnutzung der Reflexion am leerlaufenden Kabel)

4.1. Standard - KE

4.2. Schnelle KE

5.0 Startinformations- und Fehlerzeichen (dazu 3 Tabellen 6,7,8)

Verzeichnis der Abbildungen und Tabellen der Standard KE

Bild 1: Übertragungsweg Rechner-Peripheriegerät

Bild 2: Bipolimpulse

Bild 3: Definition von t_r und t_f

Bild 4: Signal- und Meldungsleitungen

Bild 5: Flußdiagramm der KE mit geräteseitigem Signalnamen

Bild 6: Zeitbedingungen der KE

Bild 7: Zeitbedingungen der KE bei Fehlerabhandlung

Bild 8: Impulsbild. Oben: Aussenden eines Informationszeichens
Unten:Aussenden eines Blockendecodes mit Fehler

Bild 9: Impulsbild. Zeitunterschied zwischen Quittung, KZM und Aussenden der Antwort bei Betrieb mit AF ("langsam") und IF ("schnell")

Bild 10: Impulsbild. Zeitverhältnisse bei IF-Betrieb

Bild 11: Impulsbild. Zeitverhältnisse bei IF-Betrieb

Bild 12: Impulsdiagramm des Kabelsenders, idealisierte Darstellung

Bild 13: Kabelsender

Bild 14: Impulsdiagramm des Kabelempfängers, idealisierte Darstellung

Bild 15: Kabelempfänger

Bild 16: Impulsdiagramm des Anrufsenders

Bild 17: Impulsdiagramm des Anrufempfängers (idealisiert)

Bild 18: Anrufsender und -empfänger

Bild 19: Bit-Zähler der R-KE1, R-KE11 und R-KE3

Tabelle 1: mögliche Codierungen

Tabelle 2: Logische Pegel der Signal- und Meldungsleitungen

Tabelle 3: Meldungen der KE

Tabelle 4: Reaktionen der KE

Tabelle 5: Ausführungen der KE

Tabelle 6: Erstes Startinformationszeichen für die PE

Tabelle 7: Zweites Startinformationszeichen für die PE

Tabelle 8: Fehler-(oder Status-) zeichen von der PE

1.0. Einführung

Zwei **Korrespondenzeinrichtungen bilden ein symmetrisches Übertragungssystem zwi**schen Rechner und Ein/Ausgabegerät bzw. zwischen zwei Rechnern. Davon gehört **eine Korrespondenzeinrichtung zu dem Ein/Ausgabe-Kanalwerk des Rechners, die ande**re zu dem Anpaßwerk des E/A-Gerätes. Den eigentlichen Übertragungsweg bilden ein bzw. zehn Koaxialkabel (Standard-Kanalwerk bzw. Schnell-Kanalwerk). Die erste KE transformiert die Schnittstelle des E/A-Kanalwerkes potentialfrei auf Koaxialkabel und die zweite KE führt die entsprechende Rücktransformation durch. Insgesamt wird also die Schnittstelle des E/A-Kanalwerkes auf einen vom Rechner entfernten Ort, dem Standort des E/A-Gerätes, abgebildet. Aufgrund der Symmetrie gilt auch die Umkehrung.

Der Zeichenvorrat der KE setzt sich aus vier verschiedenen Gruppen zusammen: Informationszeichen, Startinformationszeichen und Fehlerzeichen, die aus 8 Bit bestehen; Steuerzeichen, die aus 4 Bit bestehen und der Quittung, die aus einem einzigen Bit besteht. Diese verschiedenen Zeichen werden als Bipolimpulse, bei der Standard-KE seriell, bei der Schnell-KE parallel, über Koaxialkabel übertragen. Die vierte Gruppe, der Anruf, nimmt eine Sonderstellung ein. Er gestattet, bei der Standard-KE als langsame Umladung des Koaxialkabels, bei der Schnell-KE als Bipolimpuls über ein gesondertes Koaxialkabel, das Ansprechen des Rechners vom Gerät aus. Der Rechner wird daraufhin mit einem Startbefehl an das Gerät reagieren, der eine Ausgabe bzw. eine Eingabe einleiten kann.

Die Übertragung selbst erfolgt blockweise und jeder Block weist eine bestimmte Struktur auf. Im fehlerfreien Fall besteht er aus drei Teilen: einer Startphase, einer Datenphase und einer Abschlußphase.
In der Startphase werden dem Gerät ein oder mehrere Startinformationszeichen zu 8 Bit übertragen.Das erste enthält die Gerätespezifikation und die wichtigsten Operationsangaben,das zweite ausführlichere Operationsangaben für spezielle Geräte.(Siehe 5.0 Startinformations-und Fehlerzeichen).Das Gerät beendet diese erste Phase eines Blocks mit einem "Blockende"-Zeichen,wenn es seine feste Anzahl von Startinformationszeichen empfangen hat und diese sinnvolle Befehle beinhalten.Andernfalls sendet es ein "Blockende-mit-Fehler"-Zeichen,übergibt eine Fehlerspezifikation (s.Kap.5.0) und bricht die Übertragung ab.In der Datenphase spielt sich die eigentliche Informationsübertragung ab.Bei Ausgabe (vom Rechner aus gesehen) wird auf jedes ausgesendete 8 Bit-Zeichen eine Quittung vom Gerät erwartet,bei Eingabe wird entsprechend jedes empfangene 8 Bit-Zeichen mit einer Quittung bestätigt.Das Ende einer Übertragung wird im Regelfall mit einem Blockende-Zeichen vom Rechner eingeleitet.Im fehlerfreien Ablauf antwortet das Gerät mit Blockende und bricht die Übertragung ab.Ist während der Übertragung ein Fehler aufgetreten,so kann das Gerät dies dem Rechner unmittelbar oder erst nach Beendigung der Datenphase durch Übergabe eines Fehlerzeichens mitteilen.
An jeder Stelle der Übertragung können sog. GA - Schleifen eingefügt

werden, die den Kontakt zwischen Rechner und Gerät bei langen Verarbeitungszeiten der einzelnen Zeichen nicht abreißen lassen. Wird ein Gerät bereits wieder gestartet, wenn es den vorhergehenden Block noch nicht abgearbeitet hat, so muß das Gerät GA-Schleifen einfügen, bis es wieder ansprechbar ist.

In jedem Fall bleibt das Frage-Antwortprinzip gewahrt, weil jedes Zeichen bzw. Steuerzeichen mit einer Quittung bzw. einem anderen Steuerzeichen beantwortet wird und umgekehrt.

1.1. Bezeichnungen und Abkürzungen der Standard-KE

A	:	Sende-Flipflop (aus 2 NOR-Gattern); öffnet den Rückkopplungsweg im Sendetaktgenerator.
ADR1, ADR2	:	Unterkanalauswahl auf KE6 durch Auswahlschaltung auf KE12
AF	:	Antwort-Freigabe. Signal vom Anpaßwerk oder dem Kanal (TR 86) für KE1 bzw. KE11.
AH	:	Sende-Hilfs-Flipflop, wird in verschiedenen Konjunktionen der Steuerkarte verwendet; es sperrt im wesentlichen eine neue ZM bei sehr langem AF.
ANE	:	Meldung "Anruf Empfangen" auf KE6 und KE12
AW	:	Anpaßwerk (früher Zwischenelektronik ZE)
B	:	Flipflop "Senden Ende". Erfüllung der Setzkonjunktionen nach Aussenden von 1 Bit-, 4-Bit- oder 8 Bit-Zeichen. Beendet das Schwingen des Sende-Taktgenerators.
BEK	:	Setzansteuerung für Flipflop BM, wenn Blockendecode empfangen wurde.
BM	:	Flipflop "Blockende-Meldung". Wird gesetzt, wenn Blockendecode oder Blockende mit Fehler empfangen wird.
C	:	Empfangs-Flipflop. Meldet den Empfang eines Zeichens (Setzen durch TE).
CK	:	Codekontrolle für 4-Bit-Zeichen wie Stop, Aufruf, Blockende
CKZ	:	Codekontrolle für Information (8-Bit-Zeichen) und Quittung (1-Bit-Zeichen).
EMP	:	Empfang: wenn auf "L" bedeutet dies Eingabe in die betreffende KE. Wird angelegt vom Kanal oder Anpaßwerk.
EA EB	:	Verbindungsleitungen zwischen KE6 und der Erweiterungskarte KE12 (Kabelempfänger).
FAIS	:	Meldung an Eingriffswerk, daß Anruf empfangen wurde oder anderer Eingriff gemacht werden soll.
FM	:	Flipflop "Fehlermeldung". Wird gesetzt bei Erkennen eines falschen Codes oder auf der Kanalseite auch bei Empfang von Blockende mit Fehler.

FRE	:	Signal "Freigabe Empfang". Wenn "0", kann empfangen werden.
FZ	:	Flipflop "Fehlerzeichen", wird gesetzt vor dem Senden eines Fehlerzeichens auf der Geräteseite und vor dem Senden eines Stopps auf der Kanalseite im Fehlerfall.
I1S	:	Flipflop für 1. zu sendendes Informationsbit
I1SK	:	Setzbedingung für I1S.
I3K	:	Setzbedingung für Informations-Flipflop I3 zum Senden eines Blockendecodes.
IG	:	Integrierglied. Anstoß, wenn Senden beendet. Liefert nach ca.2µs ein Ausgangssignal,wenn nicht zuvor ein Empfang erkannt wurde.
INFS (NINFS)	:	Übergabeleitungen an den Kabelsender für die aus dem Informationsregister seriell ausgelesene Information.
IZ	:	Flipflop "Informationszeichen". Wird gesetzt, wenn ein 8-Bit-Zeichen gesendet werden soll.
KAS1...KAS8	:	Meldung "Anruf Empfang" auf einem der 8 Unterkanäle auf KE5 (KE4).
KE	:	Impulse bei Empfang.
KOAXA	:	Außenleiter des Koaxial-Kabels zur KE.
KOAXI	:	Innenleiter des Koaxial-Kabels zur KE.
LF	:	Lückenfinder. Spricht verzögert an, wenn ca. 100 ns nach dem zuletzt empfangenen Bipolimpuls kein weiterer folgt (Lücke: LF = L). Die Verzögerung überbrückt die Abstände zwischen den Bipolimpulsen eines Zeichens.
LOE	:	Löschimpuls für das Informationsregister.
NANS	:	Signal "Anruf Senden" auf KE2, KE6 und KE12.
NFIF	:	Signal vom Kanal zur schnelleren Informationsübertragung (auf KE3).
NFE	:	Vom Anpaßwerk erkannter Fehler.
NFANS	:	Signal "Anruf Senden" auf KE4.
NGA (GA)	:	Nullsignal "Gerät arbeitet" angelegt vom AW.
NIE	:	Nullsignal "Informationsende". Signal vom Kanal oder Anpaßwerk

NIF	:	Signal vom Kanal oder Anpaßwerk zur schnellen Informationsübertragung auf KE1 und KE11.
NINF1...8	:	Übergabeleitungen der empfangenen Information auf KE2 und KE6.
NINFS1...8	:	Informationsleitungen für Sendeinformation auf KE2 und KE6.
NKAF	:	Antwort-Freigabe-Signal vom Kanal für KE3
NKC/1...NKC/3	:	Signale vom Kanalwerk zur Auswahl Unterkanäle (max. 8 Kanäle).
NKK1...8	:	Empfangene und an Kanalwerkspufferspeicher weitergeleitete Information.
NKO1...8	:	Ausgabeinformation aus Kanalwerks-Pufferspeicher.
NORM	:	Normierung
NTSS	:	Negierter Sendetakt, wird auf der die Kabelsender tragenden Karte zur Bildung der Bipolimpulse verwendet.
NZST1...NZST8	:	8 Zählerstellungen gebildet aus der Stellung der Hilfs-Flipflops Z1H...Z3H.
NRE (RE)	:	"Rechner nicht". Erhält festes Potential NRE = 0 ≙ Rechnerseite.
RS	:	Bedingung zum Einschreiben der zu sendenden Information in das Informationsregister.
SA SB	:	Verbindungsleitungen zwischen KE6 und der Erweiterungskarte KE12 (Kabelsender).
SADR1 bzw. SADR2	:	(KE13 - Mehrfachzugriff auf ein Gerät). Verhindert, daß 2 Rechner gleichzeitig mit einem Gerät arbeiten.
SPK	:	Setzansteuerung für Flipflop SPM, wenn Stopcode empfangen wurde.
STB	:	**Startbefehl**
STK	:	Setzansteuerung für Flipflop STM, wenn Aufrufcode empfangen wurde.
STM	:	Flipflop "Startmeldung" wird gesetzt bei Erkennen eines Aufrufs.
SPM	:	Flipflop "Stopmeldung" wird gesetzt nach Empfang einer Stopmeldung.
TE	:	Empfangstakt. Wird aus den empfangenen Bipolimpulsen gebildet und steuert den Lückenfinder.

TS : Sendetakt, wird verwendet auf der Steuerkarte.

$\overline{TSK}$: Setzansteuerung des Flipflops "Zeichenmeldung" FZM im IF-Betrieb.

Z1...Z3 : Haupt-Flipflop des Bit-Zählers

Z1H...Z3H : Hilfs-Flipflop des Bit-Zählers (wegen Aufbau in Master-Slave-Technik).

ZM : Flipflop "Zeichenmeldung" wird nach jedem Zeichenempfang gesetzt.

NKZM : Disjunktive Zusammenfassung der Setzansteuerungen für ZM, invertiert.

1.2. Verwendungszweck der KE

1.2.1. Standard - KE

Die Verbindung zwischen den Normal-Ein/Ausgabekanälen des TR 440 und den Peripheriegeräten erfolgt über eine bis zu 50 m lange 75 Ohm-Koaxialleitung. Die Übergaberate beträgt maximal 800 000 Zeichen/s und verringert sich pro 10 m Kabellänge um etwa 5 %. Die zur Korrespondenz mit einem Gerät notwendigen Meldungen werden auf der Koaxialleitung durch Bipolimpulskombinationen dargestellt.

Die Erzeugung und Auswertung dieser Impulsfolgen wird durch je eine Korrespondenzeinrichtung (KE) **auf der Rechnerseite und auf der Geräteseite des Koaxialkabels vorgenommen.**
Das folgende Blockschaltbild zeigt einen Übertragungsweg:

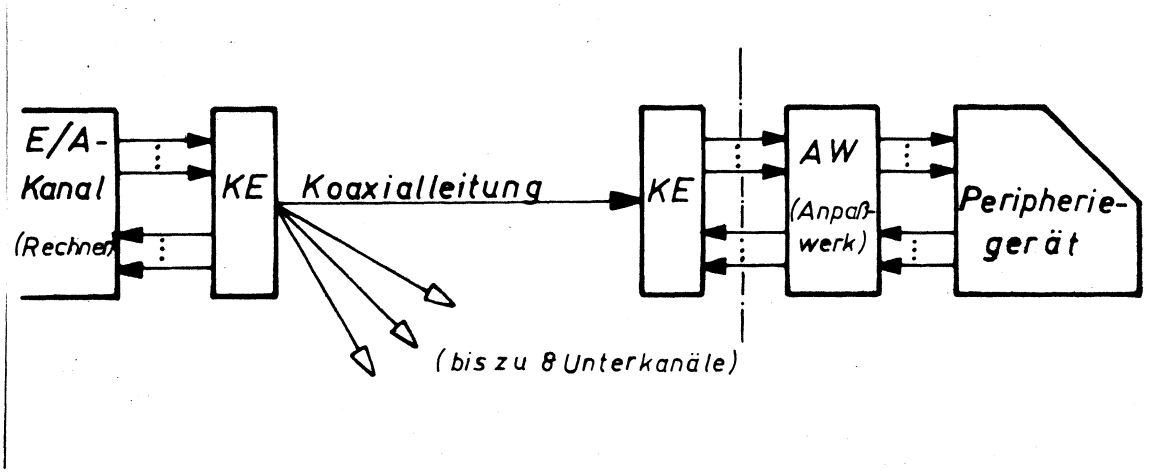
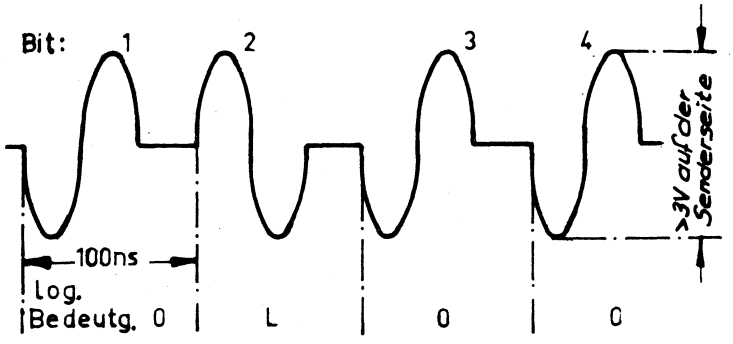


Bild 1: Übertragungsweg Rechner - Peripheriegerät



Die Bipolimpulsfolgen haben folgendes Aussehen, z.B. Aufrufcode (Start):

Bild 2: Bipolimpulse

Es können folgende Kombinationen von Bipolimpulsen erzeugt werden:

Bit	1	2	3	4	5	6	7	8
Aufruf (Start)	0	L	0	0				
Stop	0	0	0	0				
Blockende	0	0	L	0				
Blockende mit Fehler	0	0	L	L				
Information	X	X	X	X	X	X	X	X
Quittung	L							

Tab. 1: mögliche Codierungen x = beliebig

Das Ende einer Impulsfolge stellt die KE im AF-Betrieb durch einen Lückenfinder fest. Im IF-Betrieb wird dieses Ende bereits erkannt, wenn bei 1-Bit-Zeichen Bit = L bzw. wenn bei 8-Bit-Zeichen der Zählerstand "8" erreicht ist.

2.0. Ausführliche Beschreibung der Funktion

2.1. Schaltkreissystem

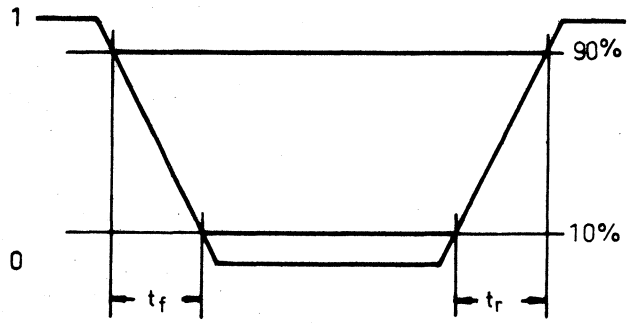
Die logischen Schaltungen der KE sind aus integrierten Schaltkreisen der MECL-Gruppe aufgebaut und arbeiten mit folgenden Pegeln:
An den Ausgängen (Meldungsleitungen) der KE entsprechen -0,75 V der logischen L, -1,55 V der logischen 0. Dies sind charakteristische Werte. Die Pegel können wie folgt schwanken:

	Umgebungstemperatur							
	0°C		+25°C		+75°C			
	min.	max	min	max	min	max		
logische 1	-0,715	-0,850	-0,670	-0,795	-0,590	-0,725	V	unbelastet
	-0,78	-0,915	-0,735	-0,860	-0,665	-0,800	V	max.Belastung
logische 0	-1,510	-1,880	-1,465	-1,750	-1,395	-1,730	V	unbelastet
	-1,575	-1,945	-1,530	-1,815	-1,470	-1,805	V	max.Belastung

Tab. 2:

Die **Anstiegszeit** t_r der Signale kann zwischen 6 und 25 ns liegen, die Abfallzeit t_f zwischen 6 und 50 ns.

Bild 3: Definition von t_r und t_f:



t_r und t_f sind sowohl von der Temperatur als auch von der Belastung mit Transistor-Eingängen bzw. Kapazität abhängig. Steigende Temperatur und steigende Zahl der Eingänge verlangsamen die Flanken.

Die Belastung der Ausgänge darf maximal 1,5 mA betragen.
An den Eingängen (Steuerleitungen) sind folgenden Pegel zulässig:

logische L: -0,6 bis -0,8 V
logische 0: -1,45 bis
-1,8 V evtl. bis -5,2 V bei $t_f \gtrsim$ 100 nsec

Bei den Signaleingängen der KE können Belastungen von max. 0,5 mA auftreten.

2.2. Steuersignale und Meldungen

2.2.1. Standard - KE

KE und AW sind durch folgende Signal- und Meldungsleitungen verbunden:

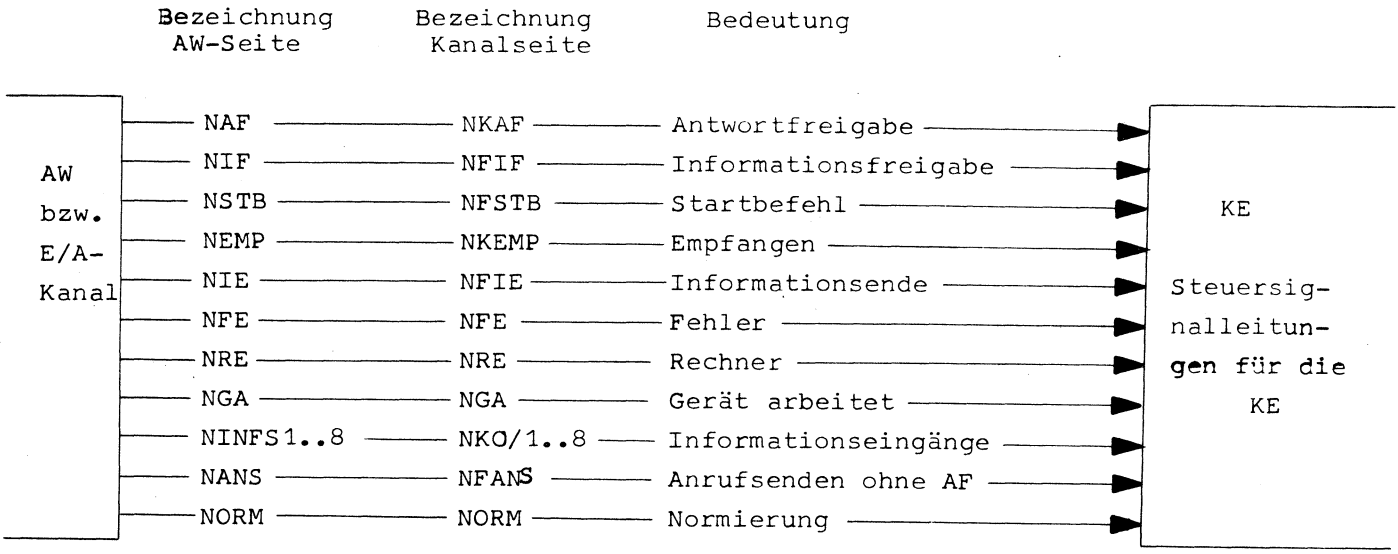


Bild 4: Signal- und Meldungsleitungen

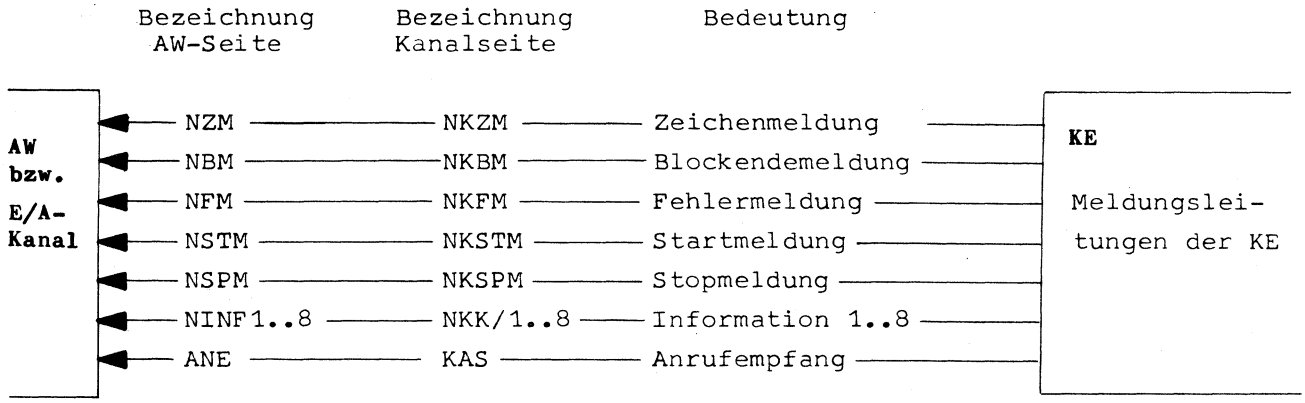


Bild 4: Signal- und Meldungsleitungen

Mit Ausnahme von ANE und NORM werden alle Signale und Meldungen negiert übertragen (daher NAF, NIF usw.). Wenn es also im weiteren Verlauf der Beschreibung heißt "AF angelegt" oder "ZM gesetzt", so liegt auf der Leitung "NAF" bzw. "NZM" die logische 0. Eine Ausnahme bildet ANE, das als ca. 30 ns langer positiver Impuls gemeldet wird.
Die Meldungsleitungen zeigen an, welche Art von Bipolimpulskombinationen die KE über die Koax-Leitung empfangen hat (Aufruf, Stop usw.).
Die Steuersignale veranlassen die KE zum Aussenden von Bipolimpulskombinationen.

Nachstehende Tabelle zeigt die möglichen Kombinationen von Meldungen und ihre Bedeutung:

ZM	STM	BM	FM	SPM	INF(1..8)	
L	L	0	0	0	X	Startmeldung (Aufruf)
L	0	L	0	0	X	Blockendemeldung
L	0	0	L	0	X	Übertragungsfehlermeldung
L	0	0	L	L	X	Störung im Grundzustand oder nicht erkannter Aufruf auf d. AW-Seite; Fehler "keine Antwort" auf d. Rechner-Seite
L	0	L	L	0	X	Blockende und Fehlermeldung
L	0	0	0	L	0	Stopmeldung
L	0	0	0	0	X	Informationszeichen bei Empfang od. Quittung bei Senden durch die KE (NEMP = 0 bzw. NEMP = L)
L	L	0	L	0	X	Fehlermeldung im Grundzustand wurde nicht richtig abgehandelt
0	0	0	0	L	0	Grundzustand

Tab. 3:

Meldungen der KE x = beliebig

Sobald von der KE eine Zeichenmeldung ZM gegeben wird, dürfen die übrigen Meldungsleitungen abgefragt werden (d.h. diese sind kurz vor ZM gesetzt). Jede Zeichenmeldung muß durch eine Antwortfreigabe AF beantwortet werden, ausgenommen bei Betrieb mit Informationsfreigabe IF. Bei Betrieb mit IF und Empfang von Information sendet die KE sofort nach Empfang derselben eine Quittung aus (ohne AF), bei IF und Senden ($\overline{EMP}$) wird sofort nach Empfang einer Quittung das nächste Informationszeichen ausgesendet.

AF leitet das Aussenden einer Antwort ein, die übrigen Signalleitungen müssen bei der Vorderflanke von AF bereits richtig gestellt sein. AF darf nur impulsförmig gegeben werden, weil bei anstehender AF im AF-Betrieb keine neue ZM erfolgen kann. Falls bei anstehender AF bereits ein neuer Empfang abgeschlossen ist, kommt ZM unmittelbar nach Wegnahme von AF.

Die Nullausgänge des für Senden und Empfangen gemeinsamen 8-stelligen Registers sind direkt herausgeführt. Sie zeigen nicht nur nach Empfang eines Informationszeichens einen von Null verschiedenen Inhalt an, sondern auch bei Blockende, Fehlermeldung und Startmeldung.

Das Senden eines Anrufes (Interrupt) geschieht unabhängig von den übrigen Vorgängen mit niedriger Frequenz. Zwischen Senden, eingeleitet durch ANS, und Empfang ANE auf der anderen Seite des Kabels können abhängig von der Kabellänge bis ca. 50 µs vergehen.

2.3. Reaktionen der KE

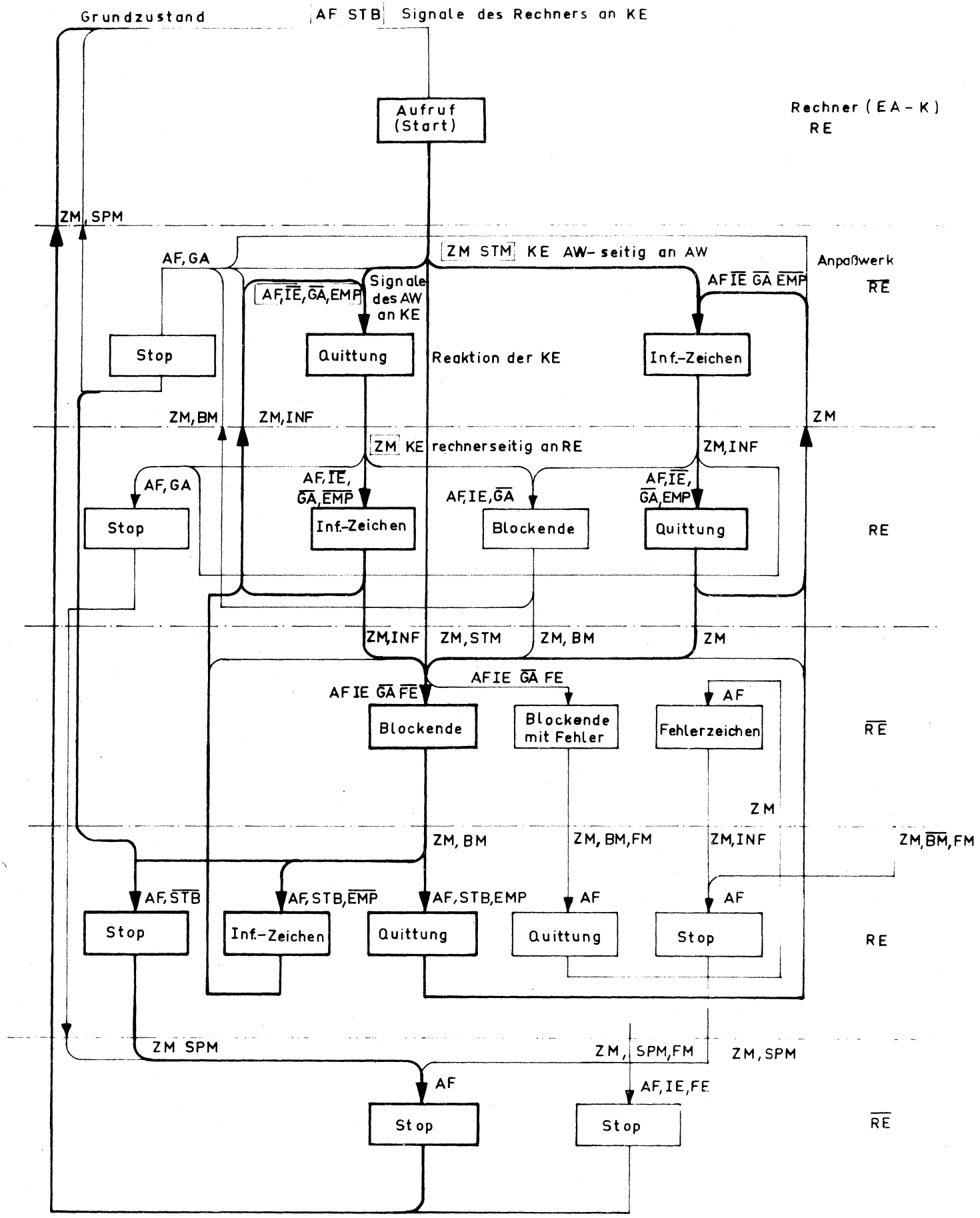
Alle Reaktionen der KE gehen aus der Tab. 4 sowie aus dem KE-Flußdiagramm hervor.

Beispiel für das Lesen der Reaktionstabelle:

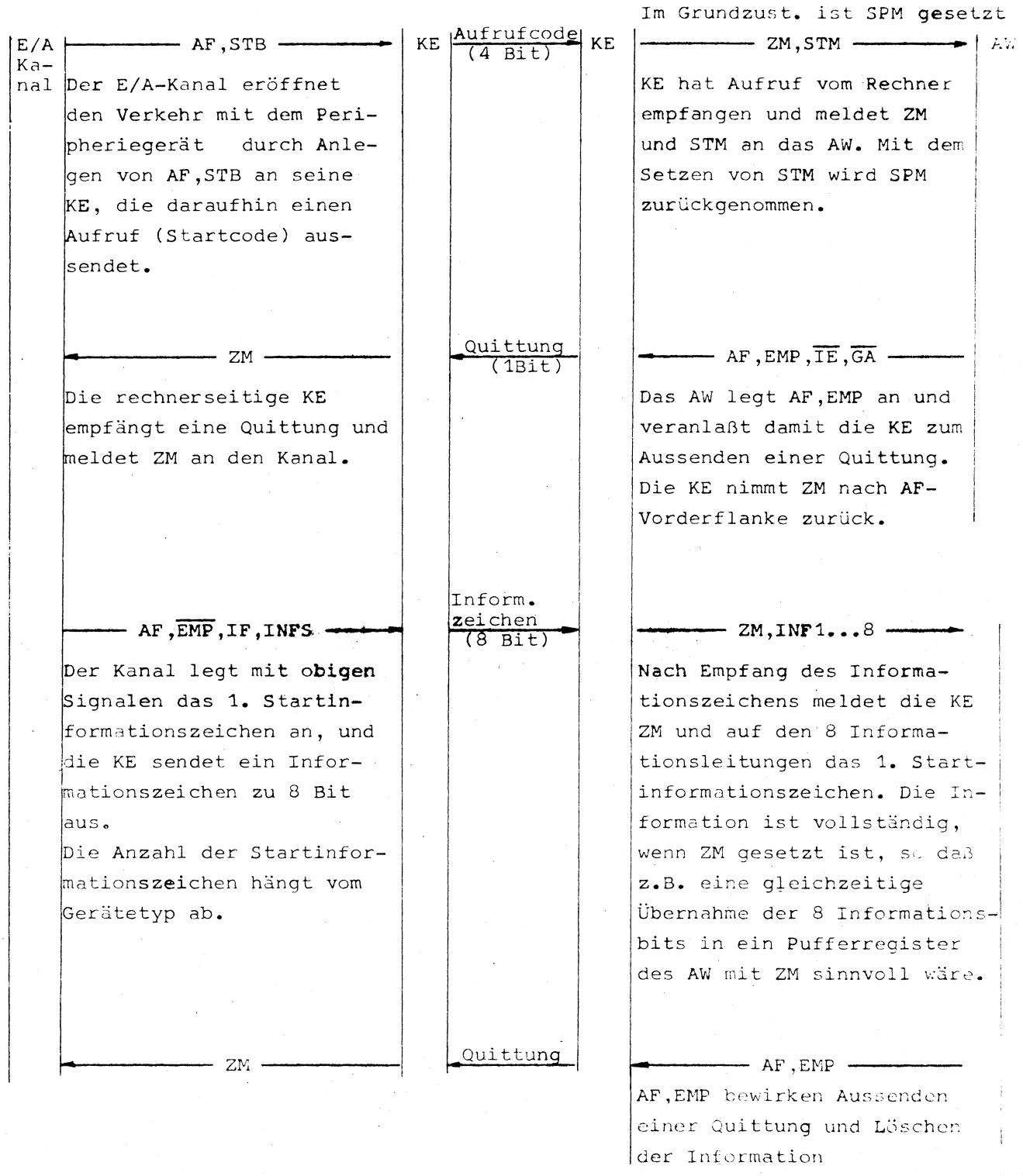
Die KE hat ein Informationszeichen empfangen (E1). Danach meldet sie ZM (E2, Signal EMP ist angelegt) und auf den 8 Informationsleitungen (NINF1..8) das empfangene Zeichen (E3).
Wenn der Kanal oder das AW daraufhin AF, $\overline{IE}$, $\overline{GA}$, EMP anlegt (in der KE sind SPM, BM und FZ nicht gesetzt, s. E7), sendet die KE eine Quittung aus (A7).

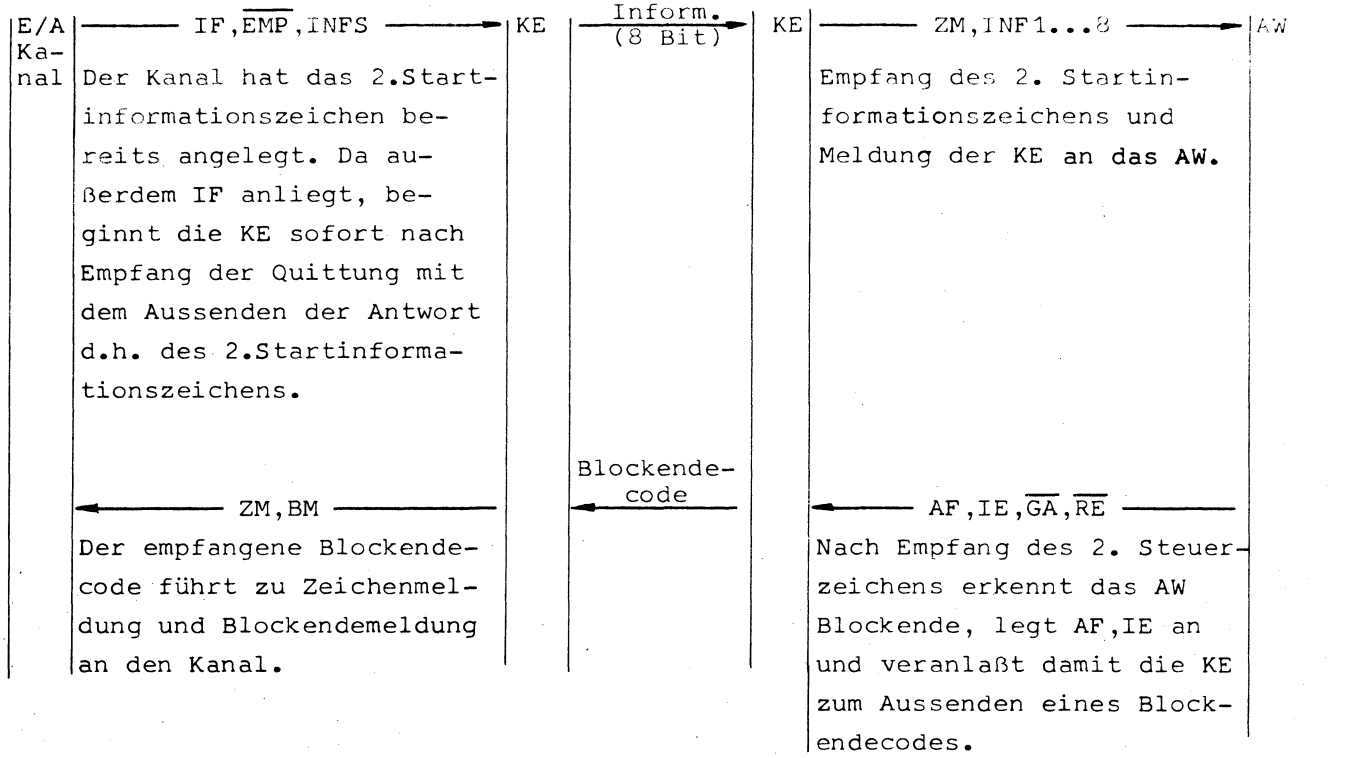
	A	B	C	D	E	F	G	H
1	Empfangen wurde:	ein Start-code	ein Stop-code	eine Quittung	ein Inf.-zeichen zu 8Bit	ein Blockende-code	ein Blockende m.Fehler	ein Übertra-gungs-fehler
2	danach sind gesetzt:	ZM STM	ZM, SPM, (FM)	ZM (bei EMP)	ZM(bei EMP)	ZM,BM	ZM,BM,FM	ZM.$\overline{BM}$, FM
3	das bedeutet:	Start-meldg	Stop-meldg	Quittung	Informa-tion	Blockende-meldung	Blockende-meldg m.Fe	Übertragg-fehler
4	nach Anlegen von:	⇩	⇩	⇩	⇩	⇩	⇩	⇩
5	wird gesendet: Aufruf-Code(Start)	--	AF,STB (SPM)	--	--	--	--	--
6	Stopcode	AF,GA	AF,$\overline{STB}$, (SPM) (bei ZM, SPM,FM AF,IE, FE,$\overline{STB}$ (SPM))	AF,GA ($\overline{FZ}$ bei ZE)	AW:AF,GA ($\overline{FZ}$) Kanal: AF,GA oder AF,(FZ)	AW:AF,GA, ($\overline{FZ}$) Kanal: AF,$\overline{STB}$ (BM)	--	AW:AF,GA, ($\overline{FZ}$) Kanal: AF,(FZ) (immer, da FZ'=$\overline{BM}$•FM•RE
7	Quittung	AF,$\overline{IE}$, GA,EMP ($\overline{SPM}$, $\overline{BM}$,$\overline{FZ}$)	--	nicht erlaubt! AF,$\overline{IE}$,GA, EMP ($\overline{SPM}$, $\overline{BM}$,$\overline{FZ}$)(od. statt AF:IF)	AF,$\overline{IE}$,$\overline{GA}$, EMP ($\overline{SPM}$,$\overline{BM}$, $\overline{FZ}$)	AF,STB, EMP (BM)	AF,(BM, FM) FZ'=$\overline{BM}$, FM,RE $\overline{BM}$ vor $\overline{FM}$'	Nur AW: AF,$\overline{IE}$,GA, EMP ($\overline{SPM}$,$\overline{BM}$, $\overline{FZ}$)
8	Informa-tionszei-chen zu 8 Bit:	AF,$\overline{IE}$, GA,EMP $\overline{SPM}$,$\overline{BM}$, $\overline{FZ}$)	--	AF,$\overline{IE}$,$\overline{GA}$, EMP ($\overline{SPM}$,$\overline{BM}$, $\overline{FZ}$) oder AF, $\overline{RE}$(FZ)(od. statt AF:IF)	nicht erlaubt! AF,$\overline{IE}$,$\overline{GA}$, EMP ($\overline{SPM}$,$\overline{BM}$, $\overline{FZ}$) oder AF,$\overline{RE}$,(FZ)	AF,STB, EMP (BM)	--	nur AW AF,$\overline{IE}$,$\overline{GA}$ EMP ($\overline{SPM}$,$\overline{BM}$,$\overline{FZ}$)
9	Blockende-code	AW:AF, IE,GA, $\overline{RE}$ ($\overline{SPM}$, $\overline{FZ}$) Kanal: AF,IE, $\overline{GA}$ ($\overline{SPM}$, $\overline{FZ}$,$\overline{BM}$)	--	AW:AF,IE, $\overline{GA}$,$\overline{RE}$, ($\overline{SPM}$,$\overline{FZ}$) Kanal: AF,IE,$\overline{GA}$ ($\overline{SPM}$,$\overline{BM}$, $\overline{FZ}$)	AW:AF,IE, $\overline{GA}$,$\overline{RE}$ ($\overline{SPM}$,$\overline{FZ}$) Kanal: AF,IE, $\overline{GA}$ ($\overline{SPM}$, $\overline{BM}$,$\overline{FZ}$)	AF,IE,$\overline{GA}$, $\overline{RE}$ ($\overline{SPM}$,$\overline{FZ}$)	--	nur AW: AF,IE, $\overline{GA}$,$\overline{RE}$ ($\overline{SPM}$,$\overline{FZ}$)
10	Blockende mit Fehler-code	AF,IE, $\overline{GA}$,FE ($\overline{SPM}$,$\overline{FZ}$) FZ'=B• IE•FE B=Senden-Ende	--	AF,IE,$\overline{GA}$, FE ($\overline{SPM}$,$\overline{FZ}$)	AF,IE, $\overline{GA}$,FE ($\overline{SPM}$,$\overline{FZ}$)	AF,IE,$\overline{GA}$, FE ($\overline{SPM}$,$\overline{FZ}$)	--	AF,IE, $\overline{GA}$,FE ($\overline{SPM}$,$\overline{FZ}$)

Tab. 4: Reaktionen der KE

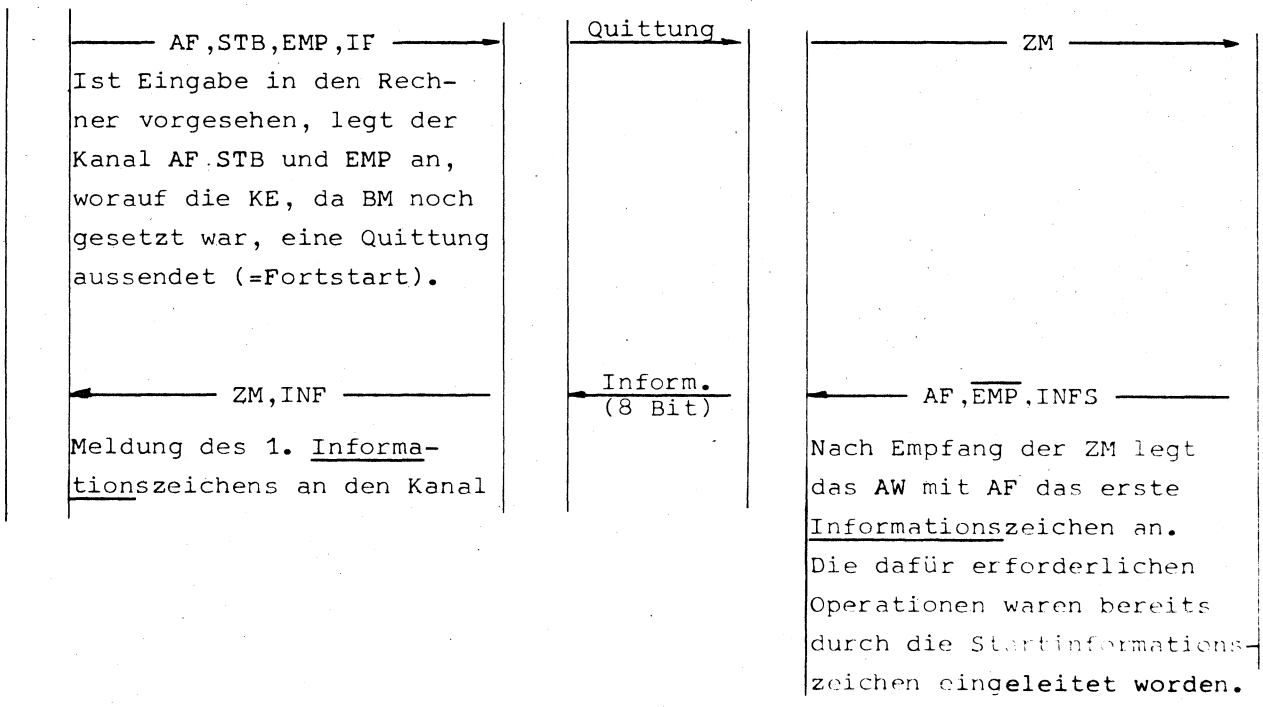

Grundzustand
AF STB
Signale des Rechners an KE
Aufruf (Start)
Rechner (EA-K)
RE
ZM, SPM
ZM STM KE AW-seitig an AW
Anpaßwerk
AF, GA
AF, IE, GA, EMP
Signale des AW an KE
AF IE GA EMP
RE
Stop
Quittung
Reaktion der KE
Inf.-Zeichen
ZM, BM
ZM, INF
ZM
ZM KE rechnerseitig an RE
ZM, INF
AF, GA
AF, IE, GA, EMP
AF, IE, GA
AF, IE, GA, EMP
Stop
Inf.-Zeichen
Blockende
Quittung
RE
ZM, INF
ZM, STM
ZM, BM
ZM
AF IE GA FE
AF IE GA FE
AF
Blockende
Blockende mit Fehler
Fehlerzeichen
RE
ZM
ZM, BM
ZM, BM, FM
ZM, INF
ZM, BM, FM
AF, STB
AF, STB, EMP
AF, STB, EMP
AF
AF
Stop
Inf.-Zeichen
Quittung
Quittung
Stop
RE
ZM SPM
ZM, SPM, FM
ZM, SPM
AF
AF, IE, FE
Stop
Stop
RE

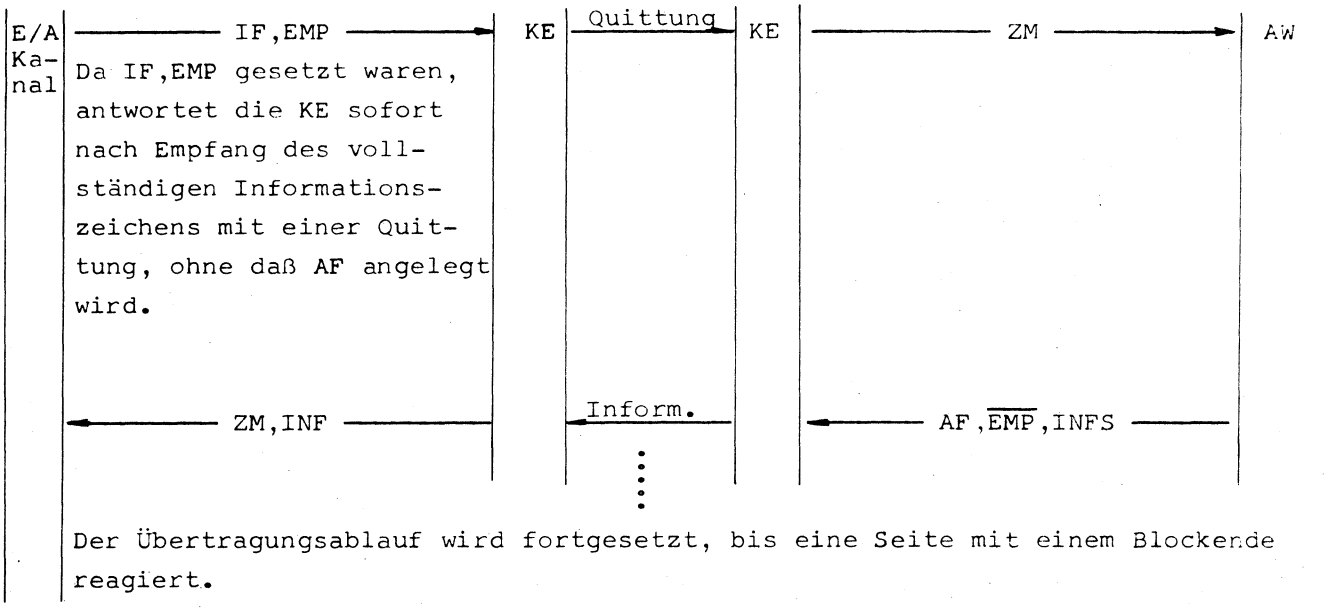
2.4. Beispiel eines Übertragungsablaufes mit geräteseitigen Signalnamen



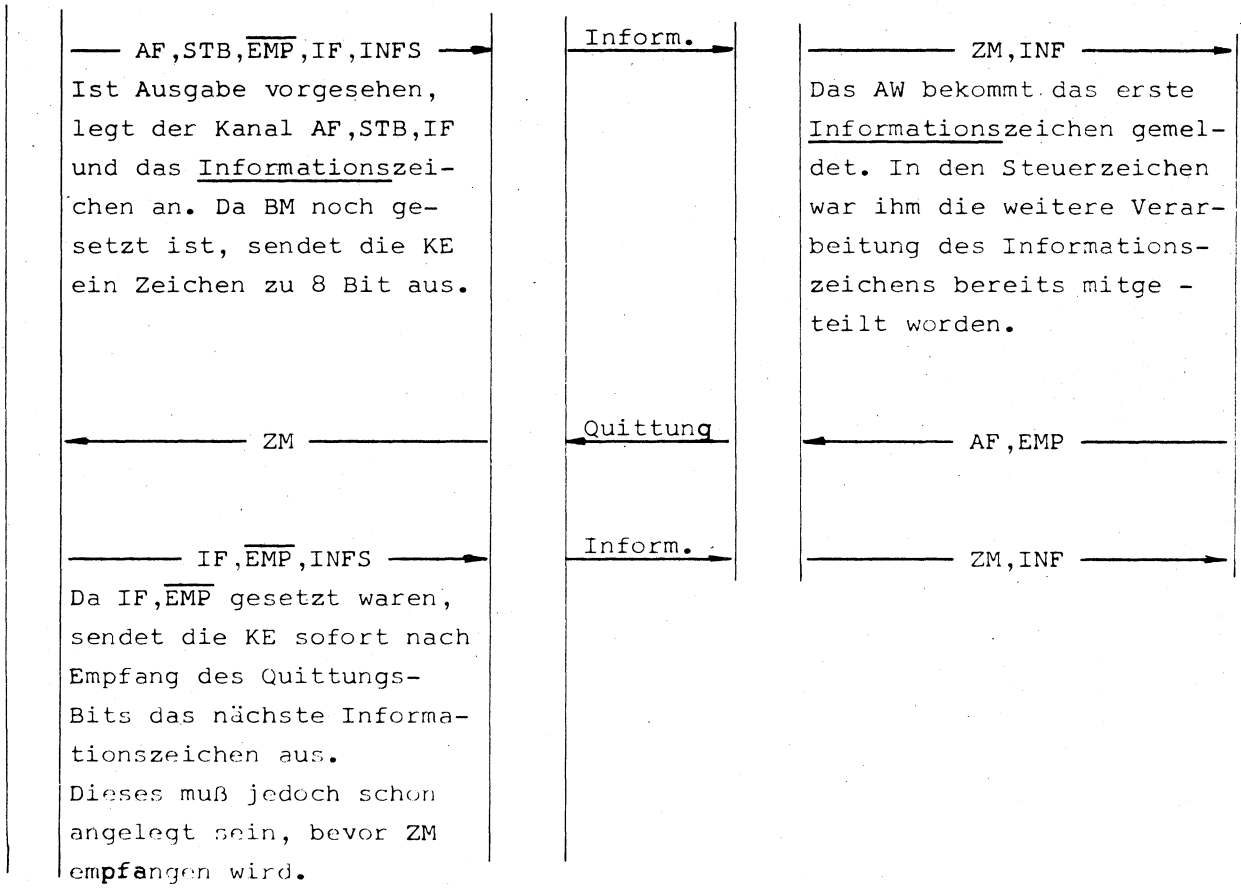

E/A Kanal
IF,EMP,INFS
KE
Inform. (8 Bit)
KE
ZM,INF1...8
AW
Der Kanal hat das 2.Startinformationszeichen bereits angelegt. Da außerdem IF anliegt, beginnt die KE sofort nach Empfang der Quittung mit dem Aussenden der Antwort d.h. des 2.Startinformationszeichens.
Empfang des 2. Startinformationszeichens und Meldung der KE an das AW.
Blockendecode
ZM,BM
AF,IE,GA,RE
Der empfangene Blockendecode führt zu Zeichenmeldung und Blockendemeldung an den Kanal.
Nach Empfang des 2. Steuerzeichens erkennt das AW Blockende, legt AF,IE an und veranlaßt damit die KE zum Aussenden eines Blockendecodes.

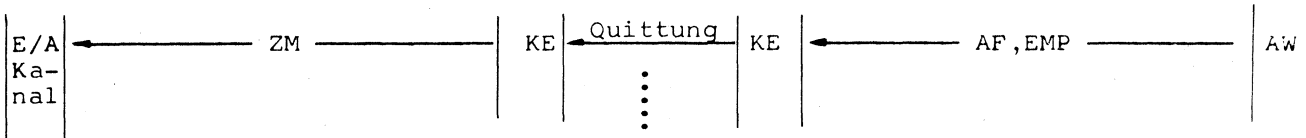
Eingabe:


AF,STB,EMP,IF
Quittung
ZM
Ist Eingabe in den Rechner vorgesehen, legt der Kanal AF STB und EMP an, worauf die KE, da BM noch gesetzt war, eine Quittung aussendet (=Fortstart).
ZM,INF
Inform. (8 Bit)
AF,EMP,INFS
Meldung des 1. Informationszeichens an den Kanal
Nach Empfang der ZM legt das AW mit AF das erste Informationszeichen an. Die dafür erforderlichen Operationen waren bereits durch die Startinformationszeichen eingeleitet worden.


E/A Ka-nal
IF,EMP
Da IF,EMP gesetzt waren, antwortet die KE sofort nach Empfang des vollständigen Informationszeichens mit einer Quittung, ohne daß AF angelegt wird.
KE
Quittung
KE
ZM
AW
ZM,INF
Inform.
AF,EMP,INFS
Der Übertragungsablauf wird fortgesetzt, bis eine Seite mit einem Blockende reagiert.

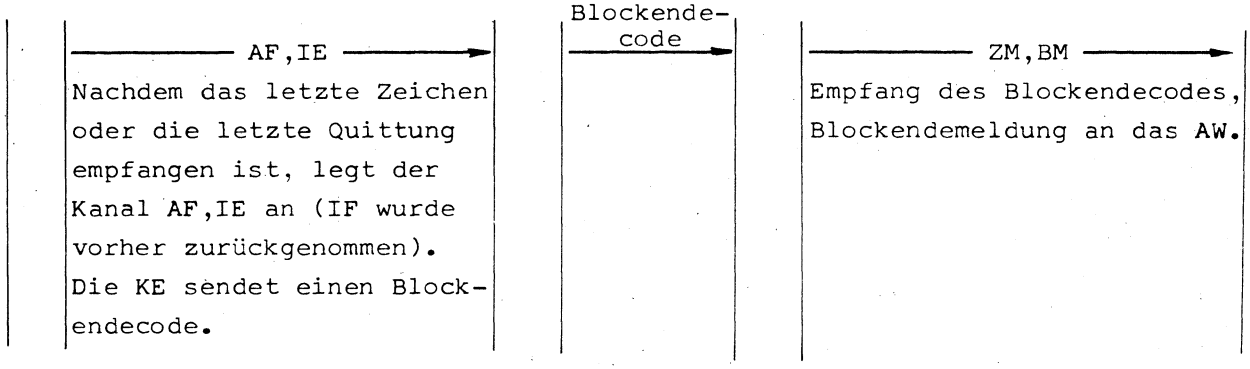
Ausgabe:


AF,STB,EMP,IF,INFS
Ist Ausgabe vorgesehen, legt der Kanal AF,STB,IF und das Informationszeichen an. Da BM noch gesetzt ist, sendet die KE ein Zeichen zu 8 Bit aus.
Inform.
ZM,INF
Das AW bekommt das erste Informationszeichen gemeldet. In den Steuerzeichen war ihm die weitere Verarbeitung des Informationszeichens bereits mitgeteilt worden.
ZM
Quittung
AF,EMP
IF,EMP,INFS
Da IF,EMP gesetzt waren, sendet die KE sofort nach Empfang des Quittungs-Bits das nächste Informationszeichen aus.
Dieses muß jedoch schon angelegt sein, bevor ZM empfangen wird.
Inform.
ZM,INF

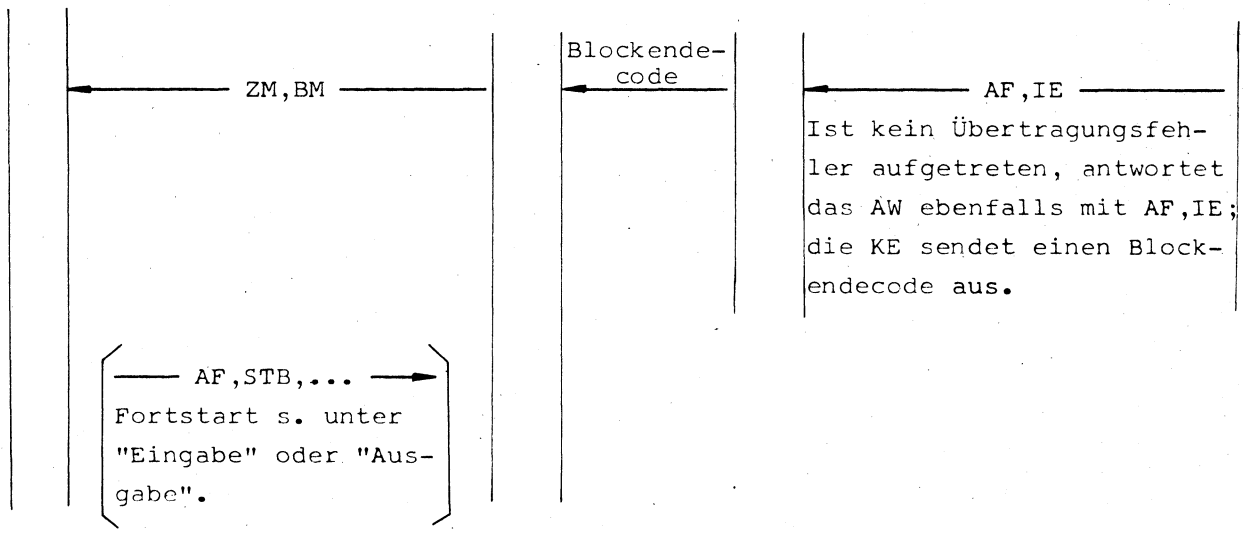


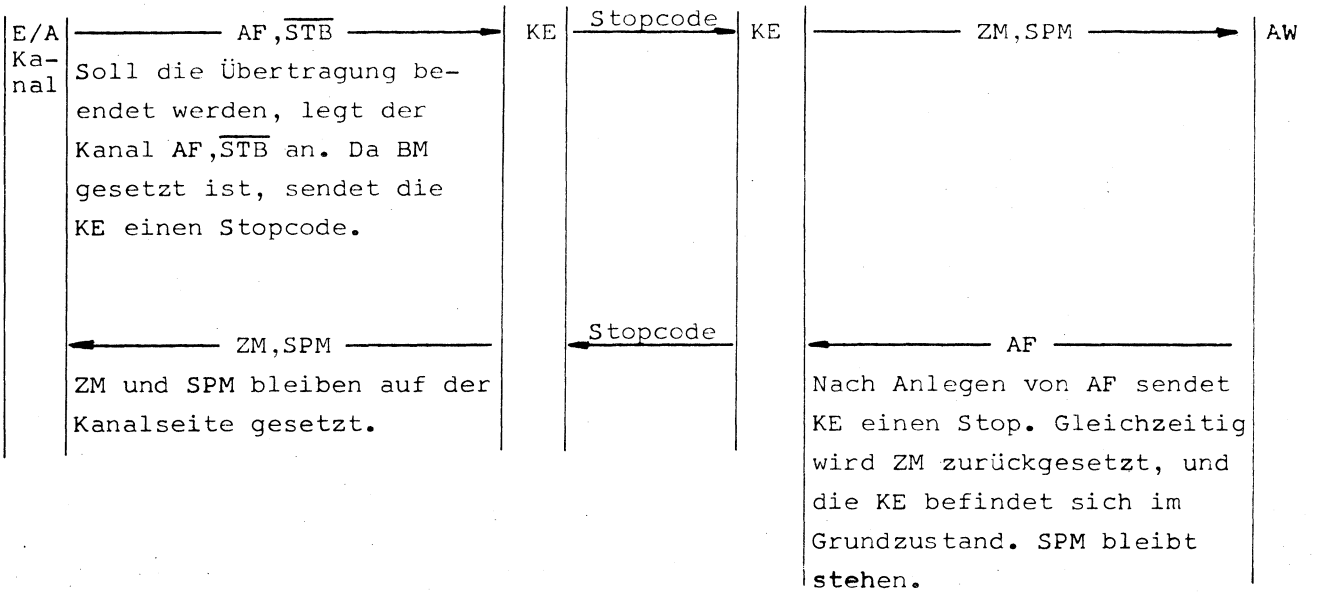
Der Übertragungsablauf wird fortgesetzt, bis eine Seite mit einem Blockende reagiert.

Übertragungsende (vom Rechner bestimmt):

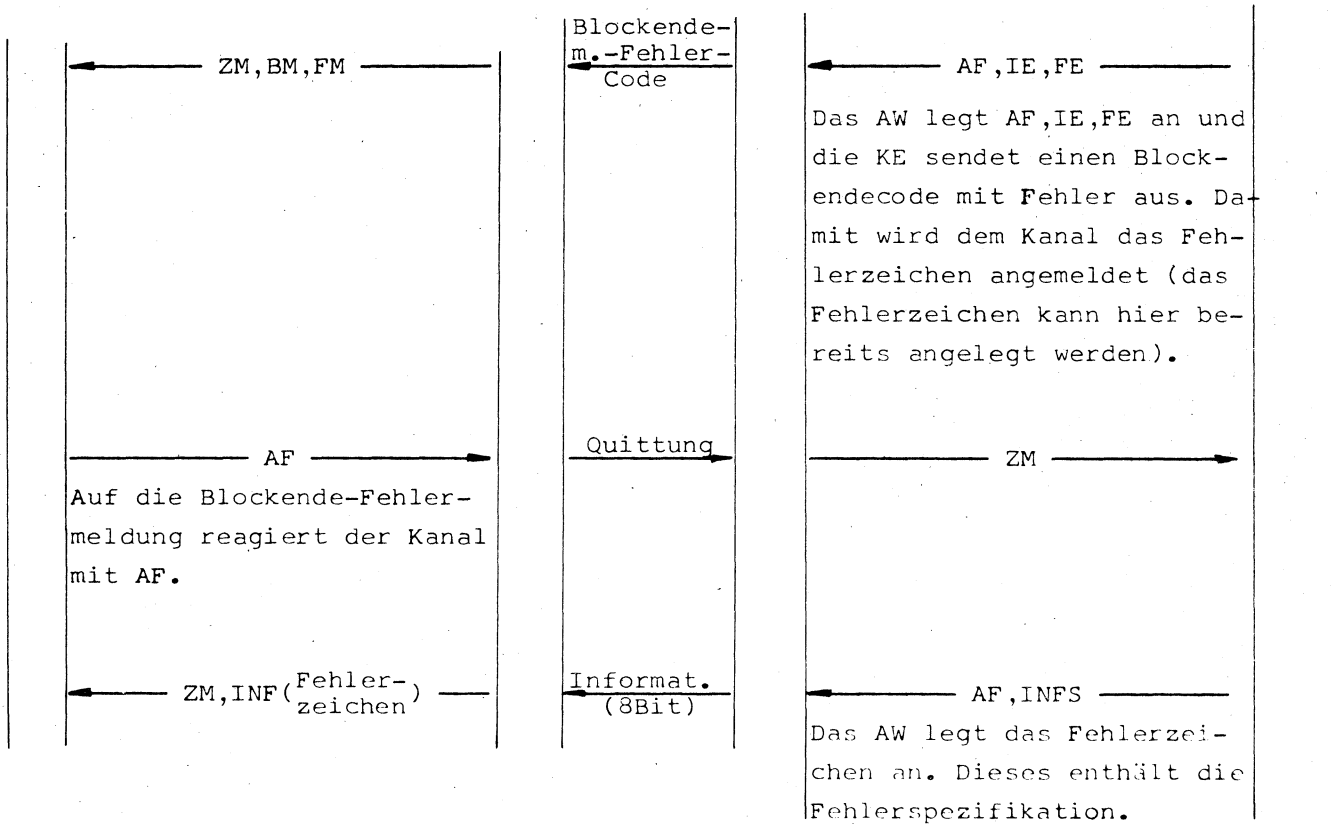


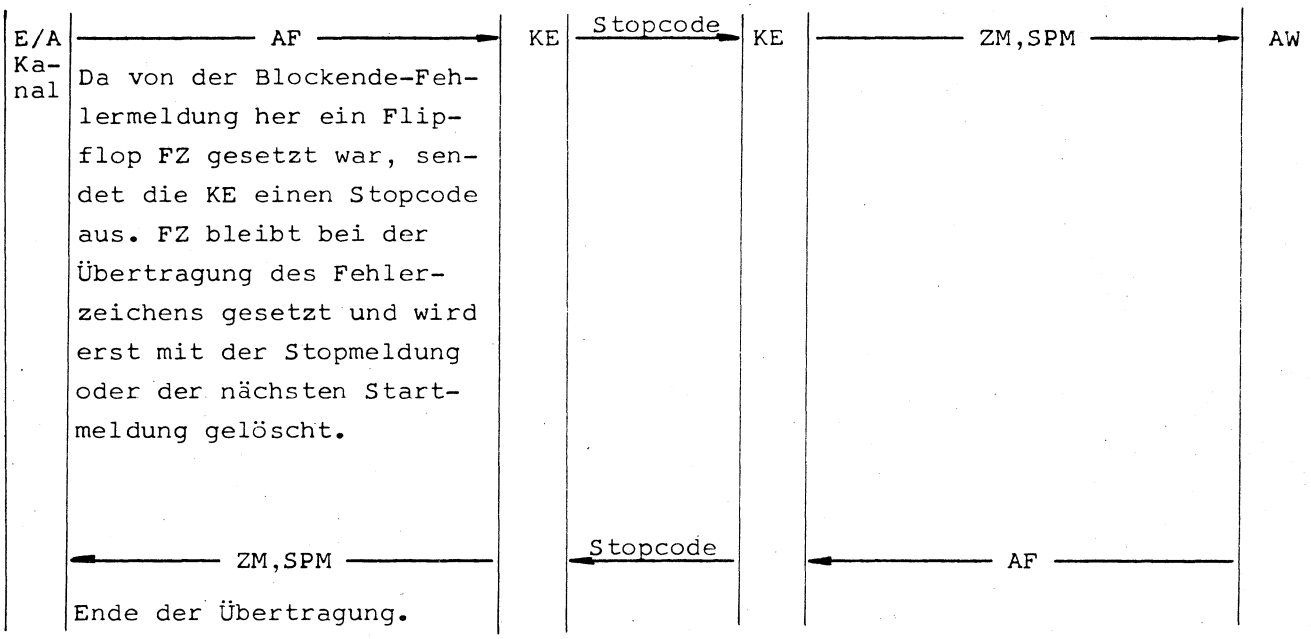
Kein Übertragungsfehler:





Übertragungsfehler:





Alle Ablaufmöglichkeiten gehen auch aus dem Flußdiagramm der KE hervor.

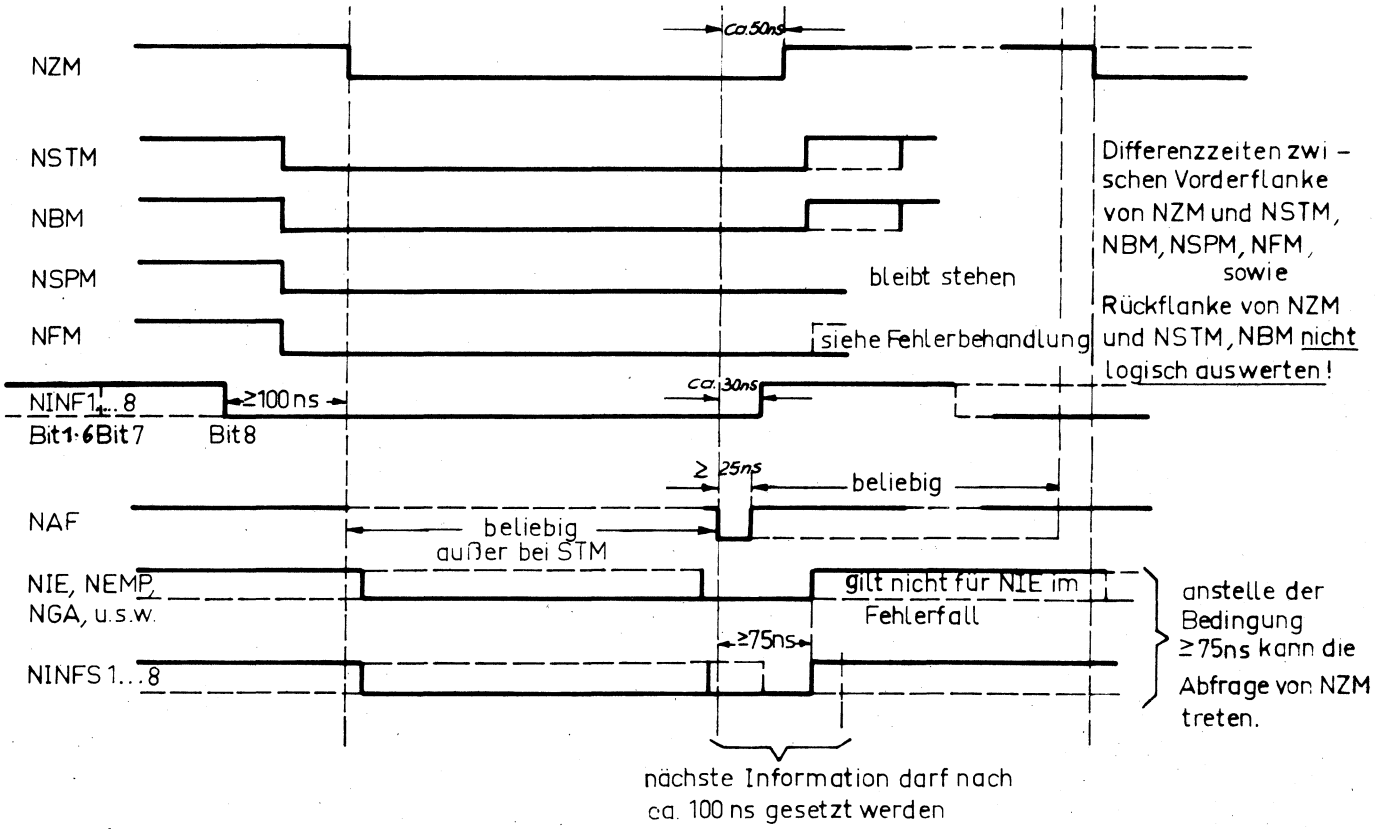
2.5. Anschlußbedingungen, Impulsdiagramm (s. Bild)

2.5.1. Für Standard - KE

2.5.1.1. Geräteseite

a) Meldungen der KE: Die ZM steht solange an, bis sie durch AF beantwortet wird; 50 ns nach der Vorderflanke von AF wird ZM weggenommen.
Bei Startmeldung (ZM,STM) muß AF innerhalb 1 µs nach ZM-Vorderflanke gegeben werden, da die kanalseitige KE sonst einen Fehler ("keine Antwort") meldet.
Die 8 Bit eines Informationszeichens treffen nacheinander ein; nach dem 8. Bit (NKK/8 bzw. NINF8) erfolgt bei AF-Betrieb 100 ns später eine ZM; bei IF-Betrieb wird ZM sofort mit Eintreffen des 8. Bit gegeben.
Die Information steht bis ca. 30 ns nach AF-Vorderflanke an.
ZM wird kurz nach STM bzw. BM gegeben. Nach ZM-Rückflanke werden STM bzw. BM zu unterschiedlicher Zeit weggenommen.
ZM kommt ebenfalls kurz nach der SPM, diese bleibt aber stehen (= Grundzustand), bis eine neue Startmeldung erkannt wird. Dann wird SPM gleichzeitig mit dem Setzen von STM zurückgesetzt.
ANE wird als positiver, ca. 30 ns langer Impuls bei Erkennen eines Anrufsignals gemeldet.

b) Steuersignale für die KE: AF muß als Antwort auf jede ZM gegeben werden und soll eine Mindestdauer von 25 ns haben. Wenn AF ansteht, wird keine neue ZM gegeben, es können aber Änderungen auf den Informations- und Meldungsleitungen erfolgen, die durch einen neuen Empfang verursacht sind. Sinnvoll ist das Löschen von AF nach Weggehen der ZM und eine Steuerung der Zeichenübergaberate durch Variation der Zeit zwischen den Vorderflanken von ZM und AF. Die Information (INFS1...8) muß spätestens gleichzeitig mit AF angelegt werden und mindestens bis ca. 10 ns nach ZM-Rückflanke anstehen.
Neue Information darf ab 25 ns nach ZM-Rückflanke angelegt werden.
Die Abfrage der Signalleitungen erfolgt z.T. bereits durch AF. Die Signale müssen also bei AF-Vorderflanke bereits gestellt sein. Sie müssen mindestens bis 10 ns nach ZM-Rückflanke anstehen (Ausnahmen s. Fehlerbehandlung). NANS darf als Dauersignal anstehen und durch STM gelöscht werden,sollte aber,wenn kein STM kommt,nach einigen Millisekunden weggenommen werden.
Im IF-Betrieb bei Eingabe (EMP)muß IF gelöscht werden,wenn das letzte Zeichen des letzten vom AW erwarteten Wortes angefordert wird.
STB liegt auf der Geräteseite immer auf "0".



NIE im Zusammenhang mit NFE siehe B. Fehlerbehandlung

Bild 6: Zeitbedingungen

2.5.1.2. Kanalseite

Anstelle der ZM wird deren Ansteuerung KZM verwertet. Zur Übertragung von Information wird das Dauersignal IF verwendet. Die Übertragung von 4-Bit-Zeichen erfolgt mit AF. Bei EMP und IF (Eingabe) wird KZM bereits mit Erreichen des Zählerstandes 8 (= Erkennen des 8. und letzten Bits eines Informationszeichens) gegeben. Gleichzeitig ist die Information vollständig.
Die Quittung wird von der KE selbständig, d.h. ohne daß AF angelegt werden muß, nach dem Erkennen des 8. Bits ausgesendet.

Bei $\overline{\text{EMP}}$ und IF (Ausgabe) ist von der geräteseitigen KE normalerweise eine Quittung zu erwarten. Es wird also zunächst Bit 1 abgefragt. Wenn Bit 1 ein L ist, wird sofort KZM gegeben und das nächste Zeichen, das bereits vor KZM angelegt werden muß, selbstätig gesendet. Liegt kein L vor, kann nur ein Blockendecode mit oder ohne Fehler oder eine Stopmeldung kommen. In diesem Fall wird mit KZM gewartet, bis ein Lückenfinder das Empfangsende anzeigt.
Auf die nach Empfangsende erfolgende ZM muß mit AF geantwortet werden.
Der Betrieb mit IF kann auch auf der Geräteseite angewendet werden.

Es ist aber zu beachten, daß bei Eingabe das nächste Zeichen unbedingt vor der aus einer Quittung resultierenden ZM bzw. KZM vollständig angelegt werden muß.

Die Information soll mindestens ca. 130 ns nach KZM-Vorderflanke anstehen (s. Bilder 10 und 11).
Die Fälle Quittung - Quittung und Information - Information führen zu Fehlermeldung.

Im übrigen gelten die gleichen Bedingungen wie auf der Geräteseite.

Zeitbedingungen im Fehlerfall s. 2.6.

2.6. Fehlerbehandlungen der KE (mit Zeitbedingungen)

2.6.1. Standard - KE (s. Bild 7)

2.6.1.1. Fehler im Grundzustand

a) Geräteseite
ZM, FM und SPM stehen an (Störung im Grundzustand bzw. nicht erkannter Aufruf).
Legt man jetzt AF an, sendet die KE, weil SPM gesetzt ist, einen Stopcode aus. Außer einer Startmeldung nach beliebiger Zeit darf keine Antwort von der Rechnerseite erwartet werden.
Um zu verhindern, daß bei der nächsten STM noch FM ansteht, muß das Anpaßwerk AF, IE, FE anlegen. Dann wird FM zurückgesetzt, wenn der Stopcode ausgesendet worden ist. IE, FE darf erst zurückgenommen werden, wenn FM gelöscht ist.

b) Rechnerseite
ZM, FM und SPM stehen an (Fehler "keine Antwort auf Aufruf"). **FM wird durch den Kanalanstoß weggenommen.**

2.6.1.2. Fehler im Betrieb

a) Geräteseite
Es wird aufgrund eines Übertragungsfehlers ZM, FM gegeben. Das AW kann FM beliebig lange anstehen lassen und weitere Informationszeichen übertragen. Es wird jedoch normalerweise mit AF, IE, FE antworten. Das Fehlerzeichen (8 Bit, Fehlerspezifikation) kann sofort mit IE, FE angelegt werden.
Es wird ein Blockendecode mit Fehler ausgesendet. (Die rechnerseitige KE meldet dann ZM, BM, FM.)
Die folgende ZM muß mit AF, INFS1...8 (Fehlerzeichen) beantwortet werden, die dann folgende Stopmeldung (ZM, SPM) mit AF.
Das Löschen von IE, FE darf frühestens mit $\overline{FM}$ erfolgen. IE, FE und das Fehlerzeichen können auch bis zur nächsten STM stehen bleiben, müssen dann aber vor AF gelöscht werden.

Wird ein Fehler vom AW erkannt, legt dieses ebenfalls AF, IE, FE an, auch das Fehlerzeichen kann sofort mit IE, FE angelegt werden.
Der weitere Verlauf ist wie bei einem Übertragungsfehler, jedoch darf IE, FE erst mit der nächsten ZM zurückgenommen werden.

Grundsätzlich kann das Löschen von IE, FE mit SPM.$\overline{FM}$ oder STM erfolgen.

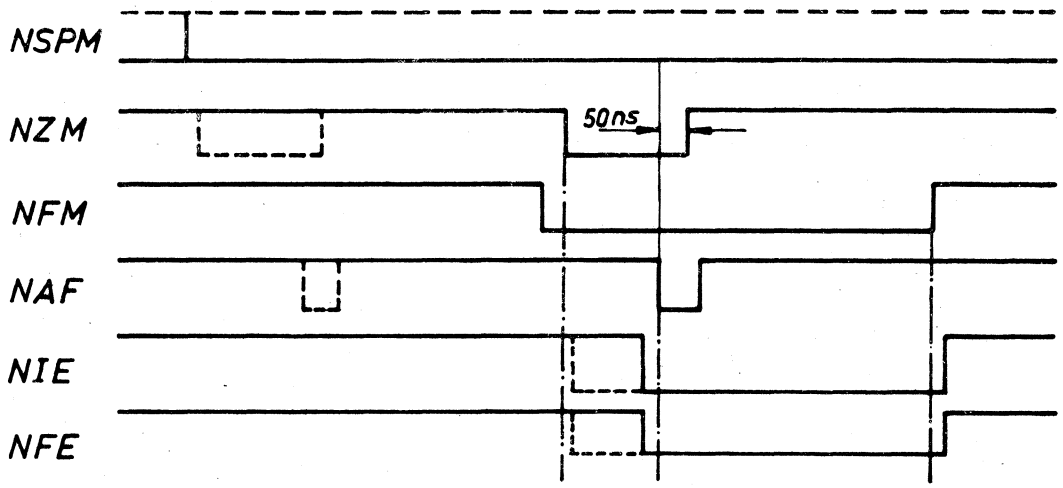


Bild:7 Zeitbedingungen

b) Kanalseite

Aufgrund eines Übertragungsfehlers meldet die KE ZM,FM.Der Kanal legt AF an, die KE sendet,weil ein internes Flipflop FZ gesetzt ist,statt einer Quittung einen Stop aus.

2.6.2. Schnelle KE

2.6.2.1. Fehler im Grundzustand

a) Geräteseite:

ZM, FM und SPM stehen an (Störung im Grundzustand oder nicht erkannter Aufruf). Legt man jetzt AF an, so sendet die KE einen Stop aus. Um zu verhindern, daß bei der nächsten STM noch die FM ansteht, muß das Anpaßwerk AF, IE, FE anlegen. Dann wird FM zurückgesetzt, wenn der Stopcode ausgesendet worden ist.
Das Löschen von IE, FE darf frühestens mit $\overline{ZM}$ erfolgen.

b) Rechnerseite:

ZM, FM, SPM stehen an (Fehler „keine Antwort" auf Aufruf). Beim Aussenden eines neuen Aufrufcodes wird die FM von selbst weggenommen.

2.6.2.2. Fehler im Betrieb

a) Geräteseite:

Es wird ZM, FM gegeben (z.B. bei Empfang eines fehlerhaften Codes). Das Anpaßwerk kann FM beliebig lange anstehen lassen und gegebenenfalls weitere Informationszeichen übertragen. Im Normalfall wird das AW jedoch sofort mit AE, IE, FE antworten, wodurch ein Blockendecode mit Fehler ausgesendet wird. Das Fehlerzeichen kann sofort mit IE, FE angelegt werden und wird auf die nächste ZM mit AF ausgesendet, ebenfalls der dann folgende Stop. Das Löschen von IE, FE darf ebenfalls nach der ZM erfolgen, welche durch Aussenden des Blockende-mit-Fehlercodes beantwortet wurde. IE, FE und das Fehlerzeichen dürfen aber auch bis zur nächsten STM stehen bleiben, müssen aber dann vor AF gelöscht werden.

2.7. Beschreibung der Logik der Steckeinheiten

2.7.1. Standard - KE

2.7.1.1. Mikroprogramm

Im Mikroprogramm sind die für die Geräteseite geltenden Namen der Signal- und Meldungsleitungen verwendet. Die entsprechenden Namen auf der Kanalseite s. Bild 4.

Mikroprogramm d. KE

Sende-Empfangssteuerung

ZM' = $\overline{TSK}$ = IF.EMP.ZST8.$\overline{Z2}$	Zeichen im Betrieb "schnell" erkannt
(ZMS) +IF.$\overline{EMP}$.I1	Quittung i.Betrieb "schnell" erkannt
$\overline{C'}$ = KZM.$\overline{TE}$	Löschen d. Empfangsflipflops bei Zeichenmeld.
$\overline{Z1'}$,$\overline{Z1H'}$..$\overline{Z3'}$,$\overline{Z3H'}$ = $\overline{A}$.$\overline{C}$	Löschen des Zählers, wenn kein Senden oder Empfang
TS' = $\overline{TSK}$.$\overline{C}$.$\overline{A}$	**Sende-Taktgenerator-Ansteuerung bei Betr. "schnell"**
+ AF.$\overline{A}$.$\overline{AH}$	**Sende-Taktgenerator-Ansteuerung bei Betr. "langsam"**
+ A.Rückkopplung	
$\overline{I1S'}$ = $\overline{TS}$.B	Löschen d. Registers vor Senden
$\overline{I1'}$...$\overline{I8'}$ = TS.$\overline{AH}$	
A' = TS.$\overline{AH}$	Sendefreigabe, Sperren eines Empfanges
AH' = A	Hilfs-FF
$\overline{ZM'}$ = AH	Ende der Zeichenmeldung
B' = I1S.$\overline{IZ}$.Z1	Ende d. Sendens bei Quittung
+ ZST8.$\overline{Z2}$	Ende d. Sendens bei Information
+ $\overline{I1S}$.$\overline{IZ}$.ZST4.$\overline{Z2}$.A	Ende d. Sendens bei 4-Bit-Zeichen
$\overline{A'}$ = $\overline{TS}$.B	Sperren d. Sendetaktgenerators - Freigabe für Empfang
$\overline{I1'}$...$\overline{I8'}$ = $\overline{A}$.$\overline{C}$.$\overline{ZM}$.$\overline{TE}$	Löschen d. Registers nach Senden und im Ruhezustand
$\overline{Z1'}$,$\overline{Z1H'}$..$\overline{Z3'}$,$\overline{Z3H'}$ = $\overline{A}$.$\overline{C}$	Löschen des Zählers
$\overline{AH'}$ = $\overline{A}$.$\overline{AF}$	Löschen d.Hilfs-FF, wenn Senden beendet und Antwortfreigabe weggenommen.
C' = TE	Empfangs-FF durch Empfangstakt setzen
$\overline{B'}$ = C.$\overline{A}$	

ZMS = ZM' = C.LF.$\overline{AH}$.$\overline{TE}$ + $\overline{TSK}$ Zeichenmeldung, wenn Lücke gefunden - und Antwortfreigabe weggenommen ($\overline{AH}$)

KZM = ZMS.C

$\overline{C}$' = KZM.$\overline{TE}$ 1-maliges impulsförmiges Löschen von C, um Doppelansteuerung des C-Flipflops zu vermeiden!

FF-Ansteuerung für Senden

I1S' = [(AF + $\overline{TSK}$).$\overline{IE}$.$\overline{BM}$.$\overline{SPM}$.$\overline{GA}$.$\overline{FZ}$.$\overline{AH}$].EMP Quittung bei Eingabe (Empf.)

+ [(AF + $\overline{TSK}$).$\overline{IE}$.$\overline{BM}$.$\overline{SPM}$.$\overline{GA}$.$\overline{FZ}$.$\overline{AH}$].$\overline{EMP}$. INFS1 Bit1-Sendeanst. b.Ausgabe (Senden)

+ [(AF.ZM).STB.BM].EMP Quittung bei Fortstart

+ ["].$\overline{EMP}$. INFS1 Bit 1 bei Fortstart

+ [(AF.ZM).FZ.$\overline{RE}$]. INFS1 Bit 1 eines Fehlerzeichens

+ (AF.ZM).FM.BM Quittung bei Fehler

$\overline{I1S'}$ = $\overline{TS}$.B

I3' = [A.ZM.IE.$\overline{SPM}$.$\overline{GA}$.$\overline{FZ}$] .$\overline{RE}$ Blockende von AW

+ ["] .$\overline{BM}$ Blockende von REchner

I4' = ["] .FE Blockende mit Fehler (I3 und I4)

I2' = A.STB.SPM Aufruf

I2'..I8' = (IZ.ZM). INFS2...INFS8 Bit 2..8

Auf Kanalseite KO/1...KO/8

$\overline{I1}$'...$\overline{I8}$' = TS.$\overline{AH}$ + $\overline{A}$.$\overline{C}$.$\overline{ZM}$.$\overline{TE}$ Löschen vor Sendebeginn, zwischen Senden und Empfang und im Ruhezustand

IZ' = [(AF + $\overline{TSK}$).$\overline{IE}$.$\overline{BM}$.$\overline{SPM}$.$\overline{GA}$.$\overline{FZ}$.$\overline{AH}$].$\overline{EMP}$ Zeichen-Ausgabe

+ [(AF.ZM).STB.BM] .$\overline{EMP}$ bei Fortstart

+ (AF.ZM).FZ.$\overline{RE}$ Fehlerzeichen

$\overline{IZ}$' = B

FZ' = B.IE.FE * Hilfs-FF für Umschaltung Blockende-Fehlercode-Fehlerzeichen Senden auf AW-Seite

+ $\overline{BM}$.FM.RE Hilfs-FF für Umschaltung Quittung-Stop-Senden auf Rechner-Seite

$\overline{FZ}$' = SPM.$\overline{FM}$ + STM Löschen mit Stopmeldung oder Startmeldung

* IE.FE darf nicht zu früh und muß bis zur nächsten Zeichenmeldung erfüllt sein oder bis SPM.$\overline{FM}$

Meldungen (Flip-Flops) I1...I8 = INF1...INF8

STM'	=	$[(C.ZST5.Z3).\overline{I1}.I2.\overline{I3}.\overline{I4}]$ .LF	Startmeldung
$\overline{SPM'}$	=	"	Wegnahme der Stopmeldung
$\overline{STM'}$	=	B	Löschen nach Antwort
$\overline{SPM'}$	=	STB.$\overline{IG}$.$\overline{LF}$	Wegnahme der Stopmeldung sobald Empfang erkannt
SPM'	=	$[(C.ZST5.Z3).\overline{I1}.\overline{I2}.\overline{I3}.\overline{I4}]$ .LF	Stopmeldung erkannt
BM'	=	$[(C.ZST5.Z3).\overline{I1}.\overline{I2}.I3]$ .LF	Blockendemeldung
$\overline{BM'}$	=	B	
FM'	=	$[(C.ZST5.Z3).\overline{I1}.\overline{I2}.I3.I4]$ .LF	Blockendemeldung mit Fehler
	+	C.LF.$\overline{TE}$.$\overline{CK}$	Fehlermeldung bei Übertragungsfehler
$\overline{FM'}$	=	FZ.B	

Code - Kontrolle I1...I8 = INF1...INF8

CK	=	(C.ZST5.Z3).$\overline{I1}$.I2.$\overline{I3}$.$\overline{I4}$	Aufruf
	+	(").$\overline{I1}$.$\overline{I2}$.$\overline{I3}$.$\overline{I4}$	Stop
	+	(").$\overline{I1}$.$\overline{I2}$.I3	Blockende
	+	I1.ZST2	Quittung
	+	ZST5.$\overline{Z3}$	Information
FM'	=	C.LF.$\overline{TE}$.$\overline{CK}$	Fehlermeldung
ZM'	=	C.LF.$\overline{AH}$.$\overline{TE}$	Zeichenmeldung

Sonderfälle

keine Startrückmeldung

IG'	=	B.SPM."Kondensator entladen"	Integrierglied angestoßen
C'	=	IG.STB	Stopmeldung wird zurückgesetzt, da kein Empfang stattgefunden hat.
FM'	=	C.LF.$\overline{TE}$.$\overline{CK}$	+ Fehlermeldung
ZM'	=	C.LF.$\overline{AH}$.$\overline{TE}$	
$\overline{B}$'	=	IG + C.$\overline{A}$	
$\overline{C}$'	=	KZM.$\overline{TE}$	

Übertragungsfehler

C'	=	TE	
$\overline{B}$'	=	C.$\overline{A}$	
FM'	=	C.LF.$\overline{TE}$.$\overline{CK}$	Fehlermeldung
ZM'	=	C.LF.$\overline{AH}$.$\overline{TE}$	

Löschen von B nach Stop-Senden

IG'	=	B.SPM."Kondensator entladen"	
$\overline{B}$'	=	IG	

Zähler

T	=	TE + TS	Takt = Empfangstakt oder Sendetakt
Z1'	=	T.$\overline{Z2H}$	
Z1H'	=	$\overline{T}$.Z1	
Z2'	=	T.Z1H	
Z2H'	=	$\overline{T}$.Z2	
$\overline{Z1}$'	=	T.Z2H	

$\overline{Z1H}' = \overline{T}.\overline{Z1}$

$\overline{Z2}' = T.\overline{Z1H}$

$Z3' = T.ZST4$

$\overline{Z2H}' = \overline{T}.\overline{Z2}$

$Z3H' = \overline{T}.Z3$

$\overline{Z3}' = T.ZST8$

$\overline{Z3H}' =$ nur durch Löschen

Konjunktionen zur Informationsverteilung

$ZST1 = \overline{Z1H}.\overline{Z2H}.\overline{Z3H}$

$ZST2 = Z1H.\overline{Z2H}.\overline{Z3H}$

$ZST3 = Z1H.Z2H.\overline{Z3H}$

$ZST4 = \overline{Z1H}.Z2H.\overline{Z3H}$

$ZST5 = \overline{Z1H}.\overline{Z2H}.Z3H$

$ZST6 = Z1H.\overline{Z2H}.Z3H$

$ZST7 = Z1H.Z2H.Z3H$

$ZST8 = \overline{Z1H}.Z2H.Z3H$

Empfangen: $I1'...I8' = KE.ZST1...ZST8$

Senden : $Inf. = I1SK + I1S.ZST1 + I2.ZST2 + ... + I8.ZST8$

Zustände der Steuerflipflops

A	AH	B	C	ZM	
0	0	0	0	0	Ruhezustand
					AF leitet das Senden ein:
					Sendetaktansteuerung $TS' = AF.\overline{A}.\overline{AH}$
L	0	0	0	0	1. Takt: $A' = TS.\overline{AH}$
L	L	0	0	0	$AH' = A$
					A gibt das Schwingen des Taktgenerators frei
L	L	L	0	0	B' bei 1.,4. od. 8. Sendetakt
0	L	L	0	0	$\overline{A}' = \overline{TS}.B$ Ende des Sendens
					AH = L sperrt die Wiederansteuerung des Sendetaktes, falls AF noch ansteht.

A	AH	B	C	ZM	
0	0(L)	L	0	0	AF = 0: $\overline{AH'} = \overline{A}.\overline{AF}$ ($\overline{AF}$ = L) Warten auf Empfang (bei $\overline{SPM}$)
0	0(L)	L	L	0	C' = TE Empfang
0	0(L)	0	L	0	$\overline{B'} = C.\overline{A}$
0	0	0	L	0	Zeichenmeldung sobald Lücke gefunden falls AF = 0, sonst Warten auf AF = 0
0	0	0	L	L	$ZM' = C.LF.\overline{AH}.\overline{TE}$
0	0	0	0	L	$\overline{C'} = KZM.\overline{TE}$ Wartestellung auf AF
L	0	0	0	L	AF, 1. Takt
L	L	0	0	L	
L	L	0	0	0	$\overline{ZM'} = AH$

2.7.1.2. Mikroprogrammbeschreibung anhand einiger Funktionsabläufe, Stromlaufpläne

Im folgenden sollen unter Bezugnahme auf den in 2.4. beschriebenen Übertragungsablauf die Vorgänge innerhalb der Korrespondenzeinrichtung in zeitlicher Reihenfolge anhand der Mikroprogrammgleichungen erklärt werden.
Es wird vom Grundzustand sowohl auf der rechnerseitigen als auch auf der geräteseitigen KE ausgegangen, d.h. SPM ist gesetzt.

Kanalseite: Senden eines Aufrufes

KW legt KAF,FSTB an *)

TS'	=	$AF.\overline{A}.\overline{AH}$ *)	Anstoßen des Sendetaktgenerators
A'	=	$TS.\overline{AH}$	Sendefreigabe, sperren eines Empfanges (FRE = 1)
AH'	=	A	Setzen des Hilfsflipflops AH
I2'	=	A.STB.SPM	Setzen von Bit 2

Mit dem Sendetakt wird sowohl der Kabelsender als auch der Zähler angesteuert. Mit dem Zählerstand 1...8 werden I1S und die Registerflipflops I2...I8 auf den Kabelsender ausgeblendet. Da weder I1S noch I3 und I4 gesetzt sind, wird 0L00, d.h. ein Aufrufcode, ausgesendet.

B'	=	$\overline{I1S}.\overline{IZ}.ZST4.\overline{Z2}.A$	Ende d. Sendens bei 4-Bit-Zeichen
$\overline{A'}$	=	$\overline{TS}.B$	Sperren des Sendetaktgenerators
$\overline{AH'}$	=	$\overline{A}.\overline{AF}$	Löschen des Hilfsflipflops nach Ende des Sendens und Wegnahme von AF

*) Wegen der Einheitlichkeit werden in den Mikroprogrammgleichungen nur die Signalnamen der Geräteseite und TR 86-Kanalseite (mit Ausnahme der Informationsleitungen) verwendet.
Unterschiede zur Kanalseite TR 440 s. Bild 4.

ZR

$\overline{Z1}', \overline{Z1H}' \ldots \overline{Z3}', \overline{Z3H}'$	=	$\overline{A}.\overline{C}$	Löschen d. Zählers
$\overline{I1}' \ldots \overline{I8}'$	=	$\overline{A}.\overline{C}.\overline{ZM}.\overline{TE}$	Löschen d. Registers

Geräteseite: Empfang des Aufrufes

SPM steht an, Grundzustand

C	=	TE	vom Empfang eines Bipolimpulses wird ein Empfangstakt abgeleitet, der das Empfangsflipflop C setzt.
I2'	=	KE.ZST2	I2 wird gesetzt, wenn der Zählerstand 2 erreicht ist und der 2. Bipolimpuls ein L war.
STM', $\overline{SPM}'$	=	(C.ZST5.Z3).$\overline{I1}$.I2.$\overline{I3}$.$\overline{I4}$ .LF	STM wird gesetzt, wenn der Lückenfinder das Empfangsende angezeigt hat.
ZM'(ZMS)	=	C.LF.$\overline{AH}$.$\overline{TE}$	Zeichenmeldung nach abgeschlossenem Empfang.
KZM	=	ZMS.C	
$\overline{C}'$	=	KZM.$\overline{TE}$	Zurücksetzen d. Empfangsflipflops
$\overline{Z1}', \overline{Z1H}' \ldots$ $\overline{Z3}', \overline{Z3H}'$	=	$\overline{A}.\overline{C}$	Löschen des Zählers

Aufgrund von ZM,STM legt das AW AF,EMP an. Es wird eine Quittung ausgesendet.

TS'	=	AF.$\overline{A}$.$\overline{AH}$	Taktgeneratoransteuerung
I1S'	=	$[(AF + \overline{TSK}).\overline{IE}.\overline{BM}.\overline{SPM}.$ $.\overline{GA}.\overline{FZ}.\overline{AH}]$ .EMP	Setzen des Quittungsbits
A'	=	TS.$\overline{AH}$	
$\overline{I1}' \ldots \overline{I8}'$	=	TS.$\overline{AH}$	
AH'	=	A	
$\overline{ZM}'$	=	AH	
B'	=	I1S.$\overline{IZ}$.Z1	Ende d. Sendens bei Quittung
$\overline{A}', \overline{I1S}'$	=	$\overline{TS}$.B	Sperren d. Sendetaktgenerators und Löschen von I1S
$\overline{AH}'$	=	$\overline{A}.\overline{AF}$	Löschen von AH, wenn Senden beendet und AF weggenommen.
$\overline{Z1}', \overline{Z1H}' \ldots$ $\overline{Z3}', \overline{Z3H}'$	=	$\overline{A}.\overline{C}$	Löschen des Zählers

Kanalseite Empfang der Quittung u. Aussenden des 1. Startinformationszeichens

C'	=	TE	Empfang der Quittung
I1'	=	KE.ZST1	Quittungsbit gesetzt
$\overline{SPM}$'	=	STB.$\overline{IG}$.$\overline{LF}$	Wegnahme der Stopmeldung, wenn Empfang erkannt wurde
ZM' (ZMS)	=	C.LF.$\overline{AH}$.$\overline{TE}$	Zeichenmeldung
KZM	=	ZMS.C	
$\overline{C}$'	=	KZM.$\overline{TE}$	
$\overline{Z1}$',$\overline{Z1H}$'.. $\overline{Z3}$',$\overline{Z3H}$'	=	$\overline{A}$.$\overline{C}$	

Aufgrund von ZM legt das KW KAF, $\overline{KEMP}$, FIF, KO/1...8 an.
KO/1...8 bilden das 1. Startinformationszeichen.

TS'	=	AF.$\overline{A}$.$\overline{AH}$	
I1S'	=	[(AF + $\overline{TSK}$).$\overline{IE}$.$\overline{BM}$.$\overline{SPM}$.$\overline{GA}$. .$\overline{FZ}$.$\overline{AH}$] .$\overline{EMP}$. KO/1	Setzen v.Inf.-FF1, wenn Bit 1 = L bei Zeichenausgabe (Senden)
IZ'	=	[(AF + $\overline{TSK}$).$\overline{IE}$.$\overline{BM}$.$\overline{SPM}$. .$\overline{GA}$.$\overline{FZ}$.$\overline{AH}$] .$\overline{EMP}$	Setzen d. Merkflipflops, das zur Unterscheidung von 8-Bit-Zeichen od. 4-Bit- bzw. 1-Bit-Zeichen (Quittung) dient.
$\overline{I1}$'...$\overline{I8}$'	=	TS.$\overline{AH}$	Löschen des Registers vor dem Senden
A'	=	TS.$\overline{AH}$	Sendefreigabe, Empfangssperre
I2'...I8'	=	(IZ.ZM). KO/2...KO/8	Setzen des Registers
AH'	=	A	
$\overline{ZM}$'	=	AH	Ende der Zeichenmeldung

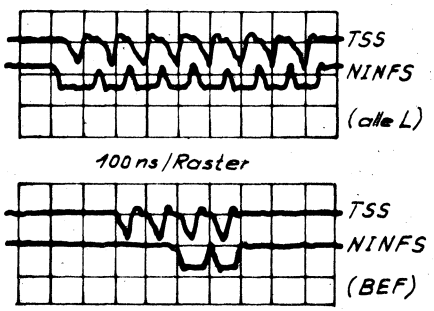


Bild 8:
Impulsbilder.
Oben: Aussenden eines Informationszeichens
Unten: Aussenden eines Blockendecodes mit Fehler

B'	=	$ZST8.\overline{Z2}$	Ende des Sendens(Sperren d. Taktgenerators), wenn das 8. Bit ausgesendet ist. Aussenden s.Bild8!
$\overline{A}',\overline{I1S}'$	=	$\overline{TS}.B$	
$\overline{IZ}'$	=	B	
$\overline{I2}'...\overline{I8}'$	=	$\overline{A}.\overline{C}.\overline{ZM}.\overline{TE}$	Löschen d. Registers nach Senden.
$\overline{Z1}',\overline{Z1H}'..$ $\overline{Z3}',\overline{Z3H}'$	=	$\overline{A}.\overline{C}$	Löschen d. Zählers

Geräteseite: Empfang des 1.Startinformationszeichens und Aussenden der Quittung

C'	=	TE	Empfang d. 1.Bits d.1.Startinformationszeichens
$\overline{B}'$	=	$C.\overline{A}$	
$I1'...I8'$	=	$KE.ZST1...ZST8$	Setzen d. Registers
ZM' (ZMS)	=	$C.LF.\overline{AH}.\overline{TE}$	Zeichenmeldung, wenn der Lückenfinder das Empfangsende angezeigt hat.
$\overline{C}'$	=	$KZM.\overline{TE}$	Ende d. Empfangs b. Zeichenmeldung
$\overline{Z1}',\overline{Z1H}'..$ $\overline{Z3}',\overline{Z3H}'$	=	$\overline{A}.\overline{C}$	

Das AW legt AF,EMP an, wenn das Startinformationszeichen übernommen ist.

TS'	=	$AF.\overline{A}.\overline{AH}$	Anstoßen d. Taktgenerators
$I1S'$	=	$[(AF + \overline{TSK}).\overline{IE}.\overline{SPM}.\overline{BM}$ $. \overline{GA}.\overline{FZ}.\overline{AH}].EMP$	Setzen d. Quittungsbits
A'	=	$TS.\overline{AH}$	
$\overline{I1}'...\overline{I8}'$	=	$TS.\overline{AH}$	Löschen d.Registers vor dem Senden
AH'	=	A	
$\overline{ZM}'$	=	AH	
B'	=	$I1S.\overline{IZ}.Z1$	Beenden d. Sendens
$\overline{A}',\overline{I1S}'$	=	$\overline{TS}.B$	Sperren d. Sendetaktgenerators
$\overline{AH}'$	=	$\overline{A}.\overline{AF}$	
$\overline{Z1}',\overline{Z1H}'..$ $\overline{Z3}',\overline{Z3H}'$	=	$\overline{A}.\overline{C}$	

Kanalseite: Empfang der Quittung und Aussenden d. 2. Startinformationszeichens

Es liegt FIF,$\overline{KEMP}$ an. Das 2. Startinformationszeichen muß bereits vor KZM angelegt sein. (s. Bild 10 und 11).

C'	=	TE	
$I1'$	=	$KE.ZST1$	
$\overline{B}'$	=	$C.\overline{A}$	
ZM' (ZMS)	=	$\overline{TSK} = IF.\overline{EMP}.I1$	Setzen der ZM sofort nach Erkennen des Quittungsbits, ohne daß der Lückenfinder angesprochen haben muß, da Betrieb mit IF ("schneller Betrieb")

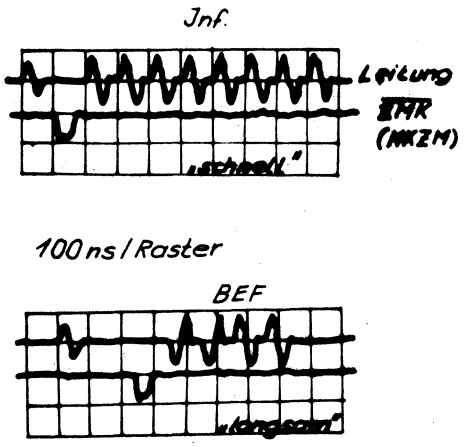


Bild 9:

Zeitunterschied zw. Quittung, KZM und Aussenden der Antwort bei Betrieb mit AF ("langsam") und IF ("schnell").

KZM	=	ZMS.C	s. Bild 10
IZ'	=	[(AF + $\overline{TSK}$).$\overline{IE}$.$\overline{BM}$.$\overline{SPM}$. . $\overline{GA}$.$\overline{FZ}$.$\overline{AH}$]. $\overline{EMP}$	
I1S'	=	[(AF + $\overline{TSK}$).$\overline{IE}$.$\overline{BM}$.$\overline{SPM}$. .$\overline{GA}$.$\overline{FZ}$.$\overline{AH}$].$\overline{EMP}$. KO1	
$\overline{C}$'	=	KZM.$\overline{TE}$	
TS'	=	$\overline{TSK}$.$\overline{C}$.$\overline{A}$	Selbstätiges Ansteuern d. Sendetaktgenerators ohne AF, da Betrieb mit IF. Zeitunterschied zum Betrieb mit AF s. Bild 9.
$\overline{I1}$'...$\overline{I8}$'	=	TS.$\overline{AH}$	
$\overline{Z1}$',$\overline{Z1H}$'.. $\overline{Z3}$',$\overline{Z3H}$'	=	$\overline{A}$.$\overline{C}$	
I2'...I8'	=	(IZ.ZM). KO2 ...8	
A'	=	TS.$\overline{AH}$	
AH'	=	A	
$\overline{ZM}$'	=	AH	
B'	=	ZST8.$\overline{Z2}$	
$\overline{IZ}$'	=	B	
$\overline{A}$'	=	$\overline{TS}$.B	Ende d. Sendens (Sperren des Sendetaktgenerators)nach Aussenden d. 8. Bits.
$\overline{I1S}$'	=	$\overline{TS}$.B	
$\overline{AH}$'	=	$\overline{A}$.$\overline{AF}$	
$\overline{Z1}$',$\overline{Z1H}$'.. $\overline{Z3}$',$\overline{Z3H}$'	=	$\overline{A}$.$\overline{C}$	Löschen d. Zählers
$\overline{I1}$'...$\overline{I8}$'	=	$\overline{A}$.$\overline{C}$.$\overline{ZM}$.$\overline{TE}$	Löschen d. Registers vor Empfang

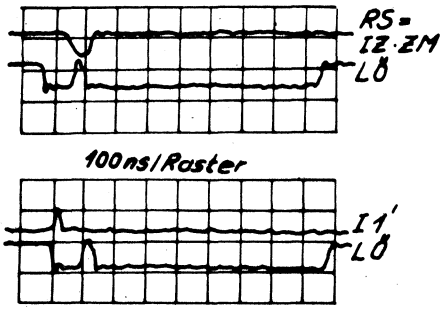


Bild 10:
Impulsbild. Zeitverhältnisse bei IF-Betrieb

I1' resultiert aus Empfang der Quittung Löschen verschwindet rechtzeitig.

RS leitet Setzen d. Registers ein, Löschen geht rechtzeitig zurück. Das eigentliche Setzen erfolgt erst nach 2 Laufzeiten, s. Bild 11, unten.

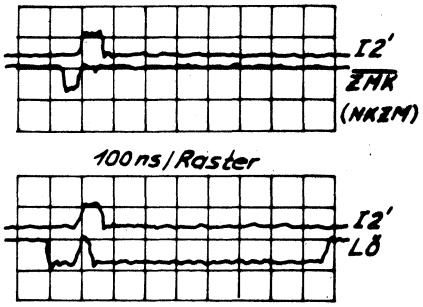


Bild 11:
Impulsbild. Zeitverhältnisse bei IF-Betrieb

Das untere Bild zeigt, daß das Löschen noch rechtzeitig vor dem Setzen des Registers zurückgeht. Das obere Bild soll zeigen, daß die Information mindestens bis ca. 130 ns nach KZM-Vorderflanke anliegen muß.

Geräteseite: Empfang des 2. Startinformationszeichens und Aussenden des Blockendecodes. Das 2. Startinformationszeichen wird wie das 1. empfangen und mit ZM an das AW übergeben. Das AW legt AF, IE an.

$$TS' = AF.\overline{A}.\overline{AH}$$

$$\overline{I1'}...\overline{I8'} = TS.\overline{AH}$$

$$A' = TS.\overline{AH}$$

$$AH' = A$$

$$I3' = \left[A.ZM.IE.\overline{SPM}.\overline{GA}.\overline{FZ}\right].\overline{RE}$$ Setzen d. Bits 3 = Blockende

$$\overline{ZM}' = AH$$

$$B' = \overline{I1S}.\overline{IZ}.ZST4.\overline{Z2}.A$$

$$\overline{A}' = \overline{TS}.B$$ Sperren d. Sendetaktgenerators, nachdem Bit 4 ausgesendet wurde.

$$\overline{Z1}', \overline{Z1H}' \ldots \overline{Z3}', \overline{Z3H}' = \overline{A}.\overline{C}$$

$\overline{I1'}...\overline{I8'} = \overline{A}.\overline{C}.\overline{ZM}.\overline{TE}$

$\overline{AH'} = \overline{A}.\overline{AF}$

Kanalseite:

C'	=	TE	Empfang erkannt
I3'	=	KE.ZST3	Setzen von Bit 3 = Blockende, wenn ZST3 erreicht und I3 = L ist.
BM'	=	$\left[(C.ZST5.Z3).\overline{I1}.\overline{I2}.I3\right]$ .LF	Blockendemeldung erkannt
ZM' (ZMS)	=	C.LF.$\overline{AH}$.$\overline{TE}$	
KZM	=	ZMS.C	
$\overline{C}'$	=	KZM.$\overline{TE}$	
$\overline{Z1}'$,$\overline{Z1H}'$.. $\overline{Z3}'$,$\overline{Z3H}'$	=	$\overline{A}.\overline{C}$	

Wenn Eingabe in den Rechner vorgesehen ist, antwortet das KW mit KAF,FSTB,KEMP, FIF

TS'	=	AF.$\overline{A}$.$\overline{AH}$	
I1S'	=	(AF.ZM).FSTB.BM .EMP	Setzen des Quittungsbits
A'	=	TS.$\overline{AH}$	
$\overline{I1}'...\overline{I8}'$	=	TS.$\overline{AH}$	
AH'	=	A	
$\overline{ZM}'$	=	AH	
B'	=	I1S.$\overline{IZ}$.Z1	Senden Ende bei Quittung
$\overline{A}'$,$\overline{I1S}'$	=	$\overline{TS}$.B	Sperren d. Taktgenerators nach Aussenden einer Quittung
$\overline{BM}'$	=	B	Wegnahme d. Blockendemeldung
$\overline{AH}'$	=	$\overline{A}.\overline{AF}$	
$\overline{Z1}'$,$\overline{Z1H}'$.. $\overline{Z3}'$,$\overline{Z3H}'$	=	$\overline{A}.\overline{C}$	
$\overline{I1}'...\overline{I8}'$	=	$\overline{A}.\overline{C}.\overline{ZM}.\overline{TE}$	

Geräteseite: Empfang einer Quittung und Aussenden eines Informationszeichens

C'	=	TE	
I1'	=	KE.ZST1	

$ZM'\ (ZMS) = C.LF.\overline{AH}.\overline{TE}$

$KZM = ZMS.C$

$\overline{C}' = KZM.\overline{TE}$

$\overline{Z1}', \overline{Z1H}' \ldots = \overline{A}.\overline{C}$
$\overline{Z3}', \overline{Z3H}'$

Das AW legt nun AF,INFS1...8, $\overline{EMP}$ an. Das Aussenden des Informationszeichens geschieht auf gleiche Weise wie das Aussenden des 1.Startinformationszeichens auf der Kanalseite.

Kanalseite: es liegt FIF,KEMP an

$C' = TE$

$\overline{B}' = C.\overline{A}$

$I1' \ldots I8' = KE.ZST1 \ldots 8$

$ZM'\ (ZMS) = \overline{TSK} = IF.EMP.ZST8.\overline{Z2}$ Vollständiges Zeichen erkannt

$I1S' = \left[(AF + \overline{TSK}).\overline{IE}.\overline{BM}.\overline{SPM}.\right.$ Setzen d. Quittungsbits selbständig, d.h. ohne AF
$\left.\overline{GA}.\overline{FZ}.\overline{AH}\right] .EMP$

$KZM = ZMS.C$

$\overline{C}' = KZM.\overline{TE}$

$TS' = \overline{TSK}.\overline{C}.\overline{A}$ Selbstätiges Anstoßen des Sendetaktgenerators im IF-Betrieb, Aussenden d. Quittungsbits.

$A' = TS.\overline{AH}$

$\overline{I1}' \ldots \overline{I8}' = TS.\overline{AH}$ Register löschen vor Sendebeginn

$AH' = A$

$\overline{ZM}' = AH$

$B' = I1S.\overline{IZ}.Z1$

$\overline{A}' = \overline{TS}.B$

$\overline{AH}' = \overline{A}.\overline{AF}$

$\overline{Z1}', \overline{Z1H}' \ldots = \overline{A}.\overline{C}$
$\overline{Z3}', \overline{Z3H}'$

$\overline{I1}' \ldots \overline{I8}' = \overline{A}.\overline{C}.\overline{ZM}.\overline{TE}$

Weiterer Ablauf nach dem Empfang des letzten Zeichens vom EA-Gerät s. unter "Übertragungsende".

War Ausgabe vorgesehen, legt das KW KAF,$\overline{KEMP}$,FIF,NKO/1...8 an.

TS'	=	AF.$\overline{A}$.$\overline{AH}$	
I1S'	=	[(AF.ZM).STB.BM] .$\overline{EMP}$. KO/1	Setzen v. Bit 1 b. Fortstart, wenn $I^{KO/1}$ = L ist.
IZ'	=	[(AF.ZM).STB.BM] .$\overline{EMP}$	
$\overline{I1}$'...$\overline{I8}$'	=	TS.$\overline{AH}$	Löschen d. Registers vor Sendebeginn
A'	=	TS.$\overline{AH}$	Sendefreigabe, Empfangssperre
I2'...I8'	=	(IZ.ZM). KO/2...8	Setzen d. Registers
AH'	=	A	
$\overline{ZM}$'	=	AH	
B'	=	ZST8.Z2	Senden Ende nach Aussenden des Bit 8
$\overline{A}$',$\overline{I1S}$'	=	$\overline{TS}$.B	
$\overline{IZ}$'	=	B	
$\overline{I2}$'...$\overline{I8}$'	=	$\overline{A}$.$\overline{C}$.$\overline{ZM}$.$\overline{TE}$	
$\overline{Z1}$',$\overline{Z1H}$'.. $\overline{Z3}$',$\overline{Z3H}$'	=	$\overline{A}$.$\overline{C}$	

Die weiteren Zeichen werden gesendet wie das 2. Startinformationszeichen, d.h. ohne AF. Weiterer Ablauf nach Empfang der letzten Quittung vom E/A-Gerät s. unter "Übertragungsende".

Übertragungsende

Als nächstes wird ein vom Rechner bestimmtes Übertragungsende betrachtet.
Je nachdem, ob Ein- oder Ausgabe stattgefunden hat, wurde auf der Kanalseite zuletzt ein Informationszeichen oder eine Quittung empfangen.
Das KW legt nun KAF, FIE an:

TS'	=	AF.$\overline{A}$.$\overline{AH}$	
A'	=	TS.$\overline{AH}$	
$\overline{I1}$'...$\overline{I8}$'	=	TS.$\overline{AH}$	
I3'	=	[A.ZM.IE.$\overline{SPM}$.$\overline{GA}$.$\overline{FZ}$] .$\overline{BM}$	Setzen d. Blockende-Bits auf Kanalseite
AH'	=	A	
$\overline{ZM}$'	=	AH	
B'	=	$\overline{I1S}$.$\overline{IZ}$.ZST4.$\overline{Z2}$.A	Senden Ende nachdem das 4. Bit ausgesendet wurde.
A'	=	$\overline{TS}$.B	Sperren d. Sendetaktgenerators

$\overline{Z1}', \overline{Z1H}', \overline{Z3}', \overline{Z3H}'$ .. = $\overline{A}.\overline{C}$

$\overline{I1}' \ldots \overline{I8}'$ = $\overline{A}.\overline{C}.\overline{ZM}.\overline{TE}$

$\overline{AH}'$ = $\overline{A}.\overline{AF}$

Geräteseite: Beim Empfang d. Blockendecodes laufen die gleichen Vorgänge ab wie auf der Kanalseite (s.o.)
War die Übertragung fehlerfrei, legt das AW AF, IE an und sendet seinerseits einen Blockendecode aus:

TS' = $AF.\overline{A}.\overline{AH}$

A' = $TS.\overline{AH}$

$\overline{I1}' \ldots \overline{I8}'$ = $TS.\overline{AH}$

$I3'$ = $[A.ZM.IE.\overline{SPM}.\overline{GA}.\overline{FZ}] .\overline{RE}$ Setzen d. Blockende-Bits auf Geräteseite.

usw. wie auf der Kanalseite.

Nach dem Ende des Sendens wird BM zurückgesetzt.

$\overline{BM}'$ = B

Kanalseite: Aussenden eines Stopcodes. Nach dem Empfang des Blockendecodes (ZM, BM steht an) legt das KW KAF, $\overline{FSTB}$ an

TS' = $AF.\overline{A}.\overline{AH}$

A' = $TS.\overline{AH}$

$\overline{I1}' \ldots \overline{I8}'$ = $TS.\overline{AH}$

AH' = A

$\overline{ZM}'$ = AH

B' = $\overline{I1S}.\overline{IZ}.ZST4.\overline{Z2}.A$ Nach Aussenden d. 4. Bits

$\overline{BM}'$ = B

$\overline{A}'$ = $\overline{TS}.B$

$\overline{Z1}', \overline{Z1H}', \overline{Z3}', \overline{Z3H}'$ .. = $\overline{A}.\overline{C}$

$\overline{I1}' \ldots \overline{I8}'$ = $\overline{A}.\overline{C}.\overline{ZM}.\overline{TE}$

$\overline{AH}'$ = $\overline{A}.\overline{AF}$

Geräteseite: Empfang des Stopcodes und Aussenden des eigenen Stopcodes

$C' = TE$

$SPM' = [(C.ZST5.Z3).\overline{I1}.\overline{I2}.\overline{I3}.\overline{I4}].LF$ Stopmeldung erkannt

$ZM'\ (ZMS) = C.LF.\overline{AH}.\overline{TE}$

$KZM = ZMS.C$

$\overline{C}' = KZM.\overline{TE}$

$\overline{Z1}', \overline{Z1H}' \ldots = \overline{A}.\overline{C}$
$\overline{Z3}', \overline{Z3H}'$

Das AW legt AF an:

$TS' = AF.\overline{A}.\overline{AH}$

$A' = TS.\overline{AH}$

$\overline{I1}' \ldots \overline{I8}' = TS.\overline{AH}$

$AH' = A$

$\overline{ZM}' = AH$

$B' = \overline{I1S}.\overline{IZ}.ZST4.\overline{Z2}.A$ Ende d. Sendens nach dem 4. Bit

$\overline{A}' = \overline{TS}.B$

$IG = B.SPM.$"Kondensator entladen"

$\overline{B}' = IG$ Zurücksetzen d. B-Flipflops nach ansprechen des Zeitgliedes IG

$\overline{Z1}', \overline{Z1H}' \ldots = \overline{A}.\overline{C}$
$\overline{Z3}', \overline{Z3H}'$

$\overline{I1}' \ldots \overline{I8}' = \overline{A}.\overline{C}.\overline{ZM}.\overline{TE}$

Kanalseite: Empfang des Stopcodes wie vorher auf der Geräteseite.
Ende der Übertragung.

Geräteseite: Ist während der Übertragung ein Fehler aufgetreten (FM steht), so legt das AW nach Empfang der Blockendemeldung AF,IE,FE an. Auch das Fehlerzeichen (die Fehlerspezifikation) kann gleichzeitig angelegt werden.

$TS' = AF.\overline{A}.\overline{AH}$

$A' = TS.\overline{AH}$

$\overline{I1}' \ldots \overline{I8}' = TS.\overline{AH}$

$AH' = A$

$I3' = [A.ZM.IE.\overline{SPM}.\overline{GA}.\overline{FZ}] .\overline{RE}$ Setzen von Bit 3 = Blockende

$I4' = [A.ZM.IE.\overline{SPM}.\overline{GA}.\overline{FZ}] .FE$ Setzen von Bit 4 = Blockende m.Fehler

$\overline{ZM}' = AH$

$B' = \overline{I1S}.\overline{IZ}.ZST4.\overline{Z2}.A$ Senden Ende nach dem 4. Bit

$\overline{A}' = \overline{TS}.B$

$FZ' = B.IE.FE$ Hilfsflipflop, das zum Setzen von I1S und IZ bei Fehlerzeichen dient

$\overline{FM}' = FZ.B$ Ende der Fehlermeldung

$\overline{Z1}', \overline{Z1H}'$ .. $\overline{Z3}', \overline{Z3H}' = \overline{A}.\overline{C}$

$\overline{I1}' \ldots \overline{I8}' = \overline{A}.\overline{C}.\overline{ZM}.\overline{TE}$

Kanalseite: Empfang des Blockendecodes mit Fehler und Aussenden der Quittung

$C' = TE$

$\overline{B}' = C.\overline{A}$

$I3' = KE.ZST3$

$I4' = KE.ZST4$

$BM' = [(C.ZST5.Z3).\overline{I1}.\overline{I2}.I3].LF$ } Blockendemeldung mit Fehler erkannt

$FM' = [(C.ZST5.Z3).\overline{I1}.\overline{I2}.I3.I4].LF$ }

$ZM'\ (ZMS) = C.LF.\overline{AH}.\overline{TE}$

$KZM = ZMS.C$

$\overline{C}' = KZM.\overline{TE}$

$\overline{Z1}', \overline{Z1H}'$ .. $\overline{Z3}', \overline{Z3H}' = \overline{A}.\overline{C}$

Das Kanalwerk legt **KAF** an:

$TS' = AF.\overline{A}.\overline{AH}$

$I1S' = (AF.ZM).FM.BM$ Setzen des Quittungsbits b. Fehler

$A' = TS.\overline{AH}$

$\overline{I1}' \ldots \overline{I8}' = TS.\overline{AH}$

$AH' = A$

$\overline{ZM}' = AH$

$B' = I1S.\overline{IZ}.Z1$

$\overline{BM}' = B$

$\overline{A}' = \overline{TS}.B$

$FZ' = \overline{BM}.FM.RE$ — Hilfsflipflop zur Umschaltung von Quittung-auf Stopsenden auf der Rechnerseite

$\overline{Z1}', \overline{Z1H}' \ldots = \overline{A}.\overline{C}$

$\overline{Z3}', \overline{Z3H}'$

$\overline{I1}' \ldots \overline{I8}' = \overline{A}.\overline{C}.\overline{ZM}.\overline{TE}$

$\overline{FM}' = FZ.B$

$\overline{AH}' = \overline{A}.\overline{AF}$

Geräteseite: Das Fehlerzeichen steht noch an

$C' = TE$

$\overline{B}' = C.\overline{A}$

$I1' = KE.ZST1$ — Quittung erkannt

$ZM'\ (ZMS) = C.LF.\overline{AH}.\overline{TE}$

$KZM = ZMS.C$

$\overline{C}' = KZM.\overline{TE}$

$\overline{Z1}', \overline{Z1H}' \ldots = \overline{A}.\overline{C}$

$\overline{Z3}', \overline{Z3H}'$

Das AW legt AF an (das Fehlerzeichen könnte auch jetzt erst angelegt werden).

$TS' = AF.\overline{A}.\overline{AH}$

$I1S' = [(AF.ZM).FZ.\overline{RE}].INFS1$ — Setzen von I1S und IZ im Fehlerfall, wenn FZ gesetzt ist.

$IZ' = (AF.ZM).FZ.\overline{RE}$

$A' = TS.\overline{AH}$

$\overline{I1}' \ldots \overline{I8}' = TS.\overline{AH}$

$I2' \ldots I8' = (IZ.ZM).INFS2 \ldots 8$

$AH' = A$

$\overline{ZM}' = AH$

$B' = ZST8.\overline{Z2}$

$\overline{A}', \overline{I1S}' = \overline{TS}.B$

$\overline{Z1}', \overline{Z1H}' \ldots = \overline{A}.\overline{C}$

$\overline{Z3}', \overline{Z3H}'$

$\overline{I1}' \ldots \overline{I8}' = \overline{A}.\overline{C}.\overline{ZM}.\overline{TE}$

$\overline{AH}' = \overline{A}.\overline{AF}$

Kanalseite:

$C' = TE$

$\overline{B}' = C.\overline{A}$

$I1' \ldots I8' = KE.ZST1 \ldots 8$ Fehlerzeichen wird ins Register eingeschrieben

$ZM'\ (ZMS) = C.LF.\overline{AH}.\overline{TE}$

$KZM = ZMS.C$

$\overline{C}' = KZM.\overline{TE}$

$\overline{Z1}', \overline{Z1H}' \ldots = \overline{A}.\overline{C}$
$\overline{Z3}', \overline{Z3H}'$

Das KW legt AF an; I1S (Quittungsbit) wird nicht gesetzt, da durch FZ verboten. Statt dessen wird ein Stopcode ausgesendet.

$TS' = AF.\overline{A}.\overline{AH}$

$A' = TS.\overline{AH}$

$\overline{I1}' \ldots \overline{I8}' = TS.\overline{AH}$

$AH' = A$

$\overline{ZM}' = AH$

$B' = \overline{I1S}.\overline{IZ}.ZST4.\overline{Z2}.A$

$\overline{A}' = \overline{TS}.B$

$\overline{Z1}', \overline{Z1H}' \ldots = \overline{A}.\overline{C}$
$\overline{Z3}', \overline{Z3H}'$

$\overline{AH}' = \overline{A}.\overline{AF}$

Geräteseite:

$C' = TE$

$\overline{B}' = C.\overline{A}$

$SPM' = \left[(C.ZST5.Z3).\overline{I1}.\overline{I2}.\overline{I3}.\overline{I4}\right].LF$ Stopmeldung erkannt

$\overline{FZ}' = SPM.\overline{FM}$

$ZM'\ (ZMS) = C.LF.\overline{AH}.\overline{TE}$

$KZM = ZMS.C$

$\overline{C}' = KZM.\overline{TE}$

$\overline{Z1}', \overline{Z1H}' \ldots = \overline{A}.\overline{C}$
$\overline{Z3}', \overline{Z3H}'$

Das AW legt AF an. Es wird nicht wie sonst, wenn nur AF angelegt wird, eine Quittung ausgesendet, sondern, weil SPM gesetzt ist, ein Stopcode.

$$TS' = AF.\overline{A}.\overline{AH}$$

$$A' = TS.\overline{AH}$$

$$\overline{I1}'...\overline{I8}' = TS.\overline{AH}$$

$$AH' = A$$

$$\overline{ZM}' = AH$$

$$B' = \overline{I1S}.\overline{IZ}.ZST4.\overline{Z2}.A$$

$$\overline{A}' = \overline{TS}.B$$

$$IG' = B.SPM.\text{"Kondensator entladen"}$$

$$\overline{Z1}',\overline{Z1H}'.. \\ \overline{Z3}',\overline{Z3H}' = \overline{A}.\overline{C}$$

$$\overline{AH}' = \overline{A}.\overline{AF}$$

$$\overline{B}' = IG$$

SPM bleibt stehen = Grundzustand

Kanalseite:

$$C' = TE$$

$$\overline{B}' = C.\overline{A}$$

$$SPM' = [(C.ZST5.Z3).\overline{I1}.\overline{I2}.\overline{I3}.\overline{I4}].LF$$

$$\overline{FZ}' = SPM.\overline{FM}$$

$$ZM' (ZMS) = C.LF.\overline{AH}.\overline{TE}$$

$$KZM = ZMS.C$$

$$\overline{C}' = KZM.\overline{TE}$$

$$\overline{Z1}',\overline{Z1H}'.. \\ \overline{Z3}',\overline{Z3H}' = \overline{A}.\overline{C}$$

SPM bleibt stehen = Grundzustand

3. Technische Realisierung

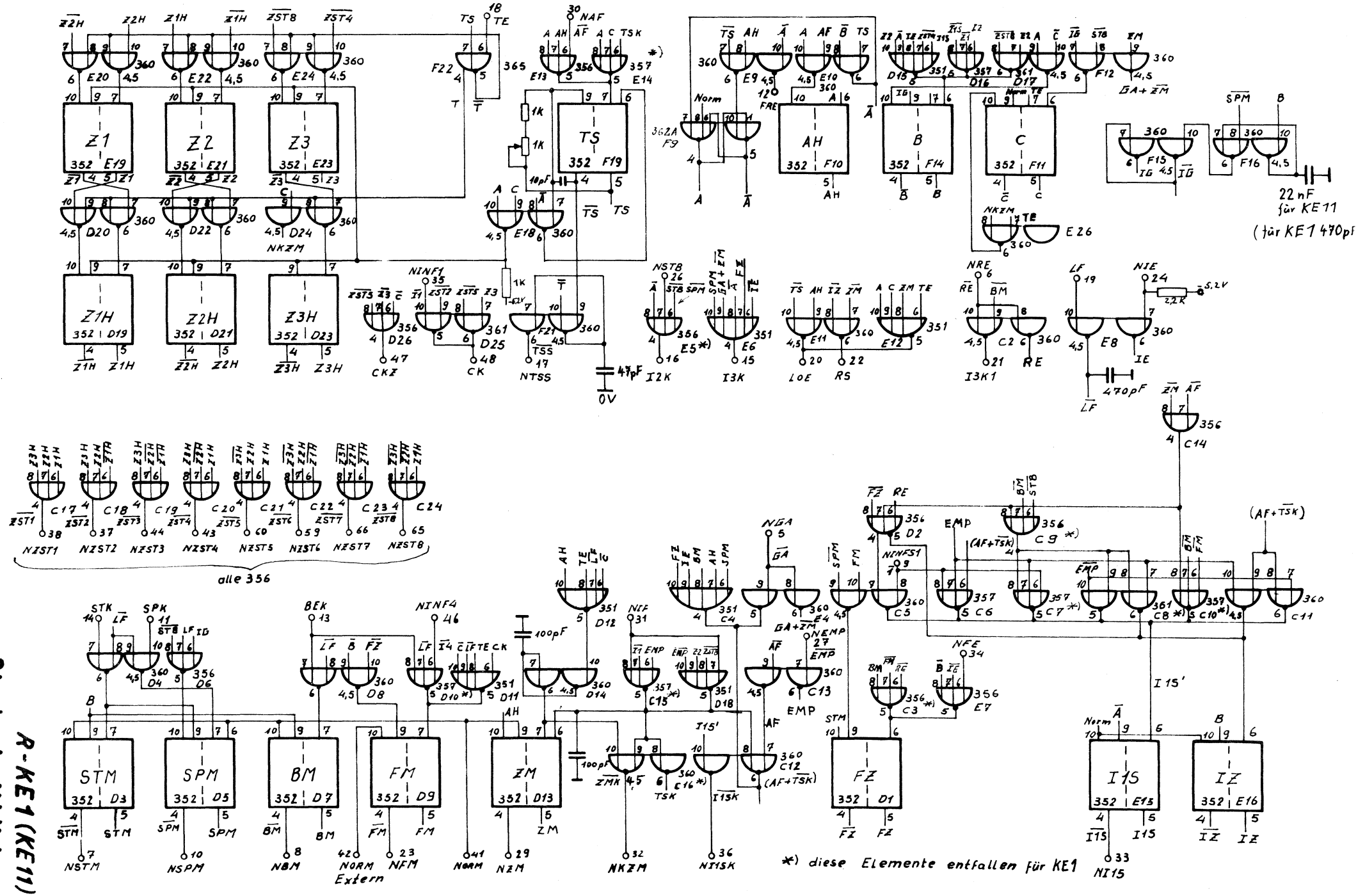
3.1. Standard - KE Ausführungen, Stromlaufpläne, Steckerbelegungen

Die Korrespondenzeinrichtg.fürdie Geräteseite besteht aus 2 Steckkarten 186 x 210 mm mit je 72 Kontakten.
Die Steckeinheit R-KE1 (55.3059.431) enthält den Steuerteil.
Die Steckeinheit R-KE2 (55.3059.432) enthält das 8-stellige Register für die Serien-Parallel- und Parallel-Serienwandlung sowie einen Kabelsender, einen Kabelempfänger, einen Anrufsender und die Anschlußmöglichkeit für 1 Koaxialkabel.

Die vollbestückte Ausführung der R-KE1 wird R-KE11 genannt. Sie bildet zusammen mit der vollbestückten Ausführung der R-KE2, die dann R-KE6 (55.3059.436) heißt, die rechnerseitige Korrespondenzeinrtg. beim TR 86. Die R-KE6 enhält zusätzlich Anschlußmöglichkeit für eine 2. Koaxialleitung, einen 2. Anrufsender spwie 2 Anrufempfänger, außerdem eine Auswahlschaltung für die beiden Koaxialanschlüsse.
Die R-KE6 kann noch durch eine weitere Steckeinheit R-KE12 (55.3059.442) erweitert werden, die weitere 6 Koax-Leitungen anzuschließen erlaubt, ferner 6 Anrufsender und Anrufempfänger sowie eine Adressenauswahl 1 aus 8 enthält, die dann auch die Auswahl für die R-KE6 mit übernimmt.
Die KE auf der Rechnerseite des TR 440 besteht aus der R-KE3 (55.3059.433), die den Steuerteil und das 8-stellige Register enthält, und der R-KE4 (55.3059.434), die Kabelsender und -empfänger zum adressierbaren Anschluß von 4 Koaxialkabeln, einen Anrufsender und 4 Anrufempfänger sowie eine Adressenauswahlschaltung 1 aus 4 enthält.
Die vollbestückte Ausführung der R-KE4 heißt R-KE5 und enthält Anschlußmöglichkeiten für weitere 4 Koaxialleitungen sowie die 4 zugehörigen Anrufempfänger(Auswahlschaltung 1 aus 8).
Die Steckkarten auf der Rechnerseite TR 440 haben je 86 Kontakte und die Abmaße 220 x 210 mm.

Für den Mehrfachzugriff auf 1 Gerät wird die R-KE13 (55.3059.443) eingesetzt. Sie enthält neben dem 8-stelligen Register für die Serien-Parallel- und Parallel-Serienwandlung einem Kabelsender, einem Kabelempfänger, Anschlußmöglichkeit für 2 Koaxialkabel sowie je 2 Anrufsendern und -empfängern, auch eine gegenseitige Sende- und Empfangssperre für die 2 Koaxialleitungen.

geeignet für TR 440	geeignet für TR 86	Druckstock-Nr.	Anwendung an	Format/ Kontakte	enthält
R-KE 1		55.3059.431	Geräteseite TR 440/86	186x210 mm/72	Steuerteil
R-KE 2		55.3059.432	Geräteseite TR 440/86	186x210 mm/72	Register, Kabelsender u. -empfänger, 1 Anrufsender
R-KE 3		55.3059.433	Rechnerseite TR 440	220x210 mm/86	Steuerteil u. Register
R-KE 4		55.3059.434	Rechnerseite TR 440	220x210 mm/86	Kabelsender u. -empfänger, Anschlußmöglichkeit für 4 Koax-Leitungen, 1 Anrufsender, 4 Anrufempfänger, Auswahllogik f. 4 Unterkanäle
R-KE 5		55.3059.434	Rechnerseite TR 440	220x210 mm/86	Kabelsender u. -empfänger, Anschlußmöglichkeiten für 8 Koax-Leitungen, 1 Anrufsender, 8 Anrufempfänger, Auswahllogik für 8 Unterkanäle
	R-KE 6	55.3059.432	Rechnerseite TR 86	186x210 mm/72	Kabelsender u. Empfänger, Anschlußmöglichkeit für 2 Koax-Leitungen, 2 Anrufsender u. -empfänger, Register, Auswahllogik für 2 Unterkanäle
R-KE 7		55.3059.437	Geräteseite TR 440/86	186x210 mm/72	Steuerteil, Kabelsender- und empfänger, Bit 8, Q, A
R-KE 8		55.3059.438	Geräteseite TR 440/86	186x210 mm/72	Kabelsender- und -empfänger Bits 1, 7
R-KE 9		55.3059.439	Rechnerseite TR 440	220x210 mm/86	Steuerteil, Kabelsender und -empfänger, Bit 8, Q, A
R-KE 10		55.3059.440	Rechnerseite TR 440	220x210 mm/86	Kabelsender und -empfänger, Bits 1, 7
	R-KE 11	55.3059.431	Rechnerseite TR 86	286x210 mm/72	Steuerteil
	R-KE 12	55.3059.442	Rechnerseite TR 86	186x210 mm/72	Teil des Kabelsenders, Anschlußmöglichkeit für 6 Koax-Leitungen, 6 Anrufsender und -empfänger, Auswahllogik für 3 Unterkanäle. KE 12 ist Erweiterung für KE6
R-KE 13		55.3059.443	Geräteseite TR 440/86	186x210 mm/72	Mehrfachzugriff (anstelle KE 2)



R-KE1 (KE11)

Blockschaltbild

OV	1	2	-5,5V
	3	4	
NGA	5	6	NRE x)
NSTM	7	8	NBM
NINFS1	9	10	NSPM
SPK	11	12	FRE
BEK	13	14	STK
I3K	15	16	I2K x)
NTSS	17	18	TE
LF	19	20	LOE
I3K1	21	22	RS
NFM	23	24	NIE
	25	26	NSTB x)
NEMP	27	28	
NZM	29	30	NAF
NIF x) 1)	31	32	NKZM
NI1S	33	34	NFE
NINF1	35	36	NI1SK
NZST 2	37	38	NZST 1
	39	40	
NORM	41	42	NORM
NZST 4	43	44	NZST 3
	45	46	NINF 4
CKZ	47	48	CK
	49	50	
	51	52	
	53	54	
	55	56	
	57	58	
NZST 6	59	60	NZST 5
	61	62	
	63	64	
NZST 8	65	66	NZST 7
	67	68	
	69	70	
OV	71	72	-5,2V

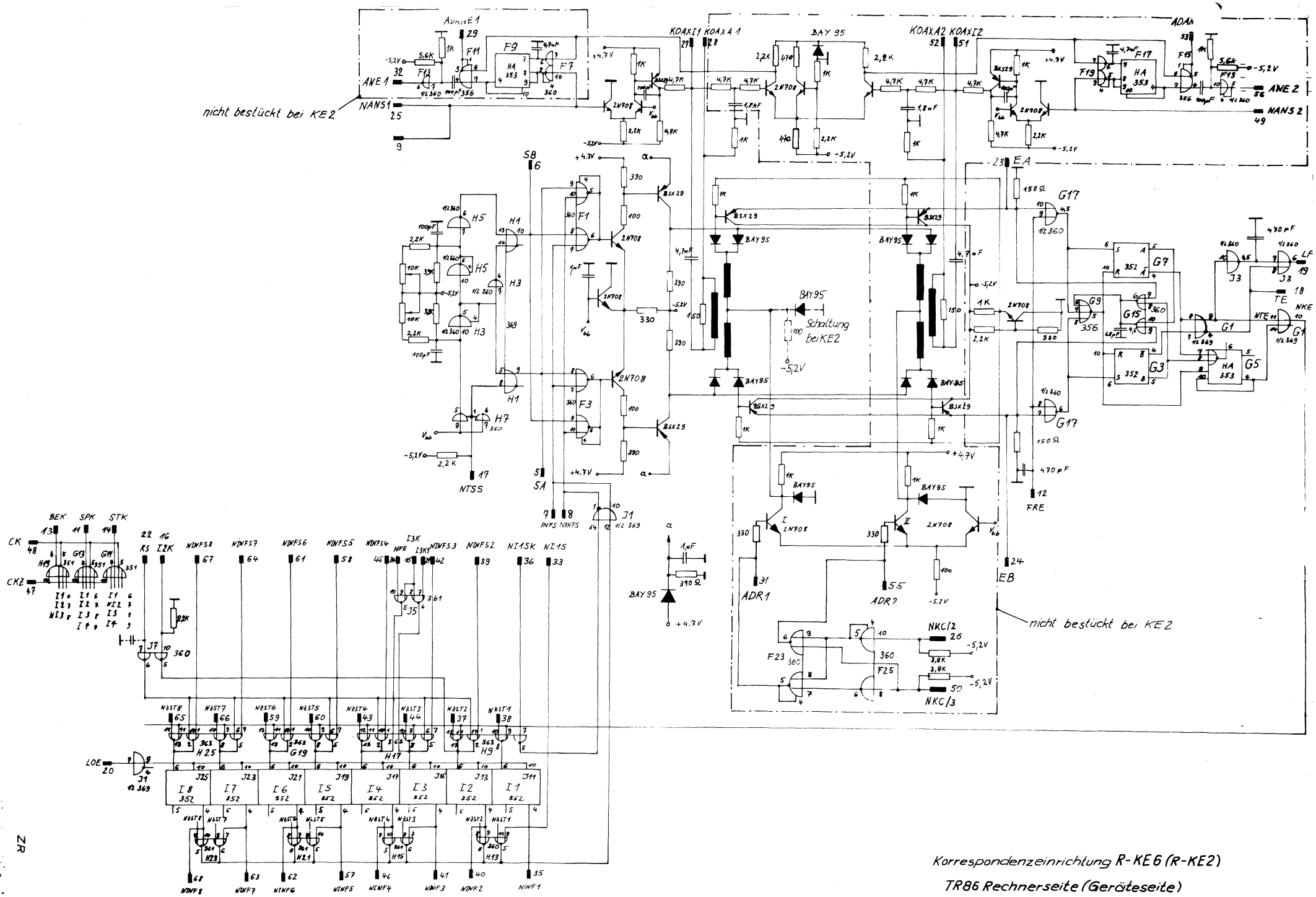
x) mit -0,75V verbinden

1) Verbindung mit 0,75V lösen, wenn Betrieb mit IF vorgesehen ist

R-KE1

55.3059.431

OV	1	2	-5,5V
	3	4	
NGA	5	6	NRE
NSTM	7	8	NBM
NINFS 1	9	10	NSPM
SPK	11	12	FRE
BEK	13	14	STK
I3K	15	16	I2K
NTSS	17	18	TE
LF	19	20	LOE
I3K1	21	22	RS
NFM	23	24	NIE
	25	26	NSTB
NKEMP	27	28	
NZM	29	30	NAF
NIF	31	32	NKZM
NI1S	33	34	NFE
NINF1	35	36	NI1SK
NZST 2	37	38	NZST 1
	39	40	
NORM	41	42	
NZST 4	43	44	NZST 3
	45	46	NINF 4
CKZ	47	48	CK
	49	50	
	51	52	
	53	54	
	55	56	
	57	58	
NZST 6	59	60	NZST 5
	61	62	
	63	64	
NZST 8	65	66	NZST 7
	67	68	
	69	70	
OV	71	72	-5,5V


ANE1
NANS1
nicht bestückt bei KE2
KOAXI1
KOAXA1
KOAXA2
KOAXI2
BAY 95
ADAN
ANE 2
NANS 2
EA
EB
ADR1
ADR2
NKC/2
NKC/3
NTSS
INFS
NINFS
Schaltung bei KE2
nicht bestückt bei KE2
BEK
SPK
STK
CK
CK2
LOE
NWEST8
NWEST7
NWEST6
NWEST5
NWEST4
NWEST3
NWEST2
NWEST1
NINF8
NINF7
NINF6
NINF5
NINF4
NINF3
NINF2
NINF1
Korrespondenzeinrichtung R-KE6 (R-KE2)
TR86 Rechnerseite (Geräteseite)
55.3059.432-01
ZR
6.0 - 820

OV	1	2	-5,5V
	3	4	+4,7V
	5	6	
	7	8	
NANS	9	10	
SPK	11	12	FRE
BEK	13	14	STK
I3K	15	16	I2K
NTSS	17	18	TE
LF	19	20	LOE
I3K1	21	22	RS
	23	24	
	25	26	
KOAXI1	27	28	KOAX A1
	29	30	
	31	32	
NI1S	33	34	NFE
NINF1	35	36	NI1SK
NZST2	37	38	NZST 1
NINFS 2	39	40	NINF 2
NINF 3	41	42	NINFS 3
NZST 4	43	44	NZST 3
NINFS 4	45	46	NINF 4
CKZ	47	48	CK
	49	50	
	51	52	
	53	54	
	55	56	
NINF 5	57	58	NINFS 5
NZST 6	59	60	NZST 5
NINFS 6	61	62	NINF 6
NINF 7	63	64	NINFS 7
NZST 8	65	66	NZST 7
NINFS 8	67	68	NINF 8
	69	70	+4,7V
OV	71	72	-5,5V

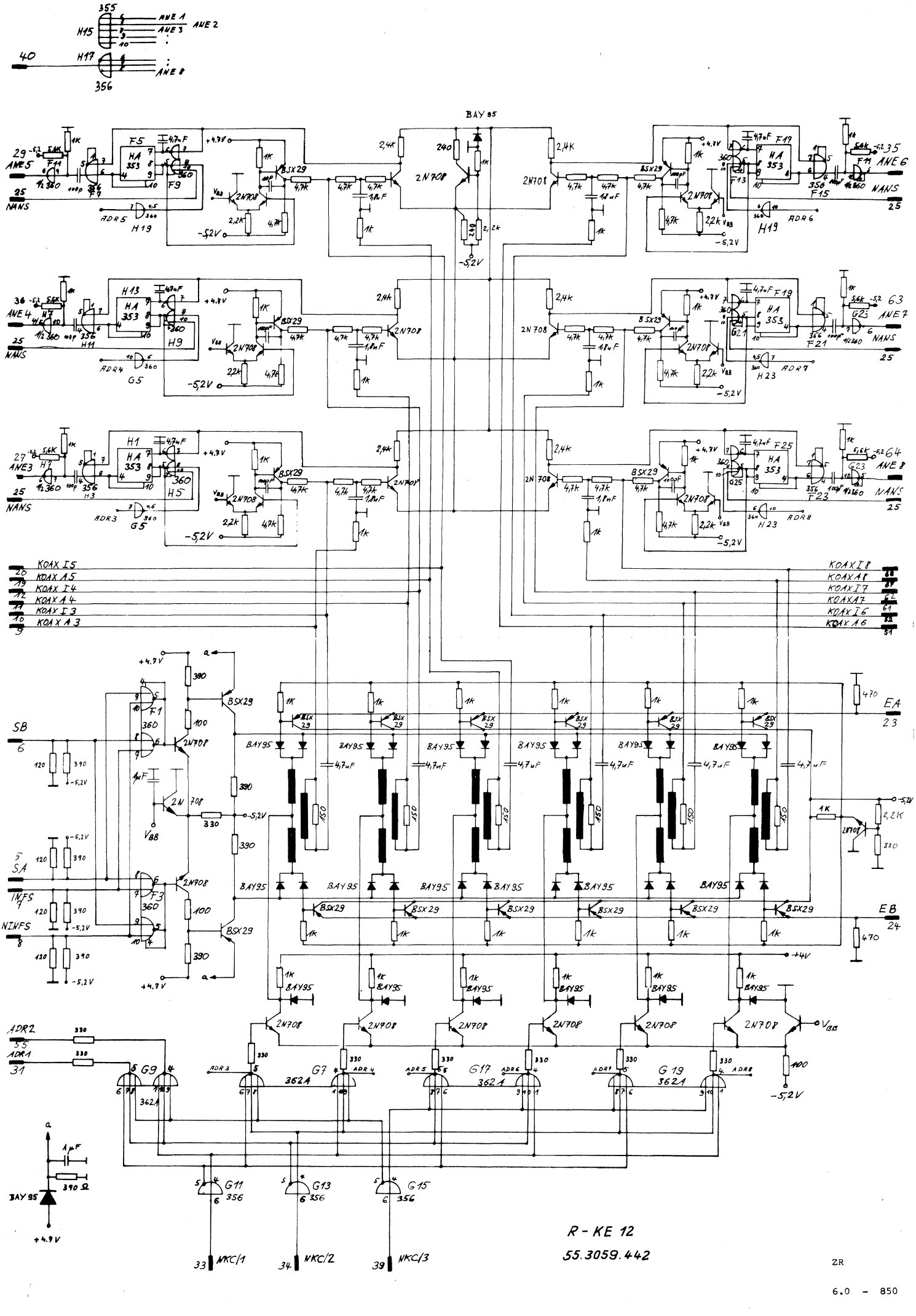
R-KE 2

55.3059.432

OV	1	2	-5,5V
--	3	4	+4,7V
SA	5	6	SB
INFS	7	8	NINFS
NANS 1	9	10	--
SPK	11	12	FRE
BEK	13	14	STK
I3K	15	16	I2K
NTSS	17	18	TE
LF	19	20	LOE
I3K1	21	22	RS
EA	23	24	EB
NANS 1	25	26	NKC/2
KOAXI1	27	28	KOAXA1
ADANE1	29	30	
ADR 1	31	32	ANE 1
NI1S	33	34	NFE
NINF 1	35	36	NI1SK
NZST 2	37	38	NZST 1
NINFS 2	39	40	NINF 2
NINF 3	41	42	NINFS 3
NZST 4	43	44	NZST 3
NINFS 4	45	46	NINF 4
CKZ	47	48	CK
NANS 2	49	50	NKC/3
KOAXI2	51	52	KOAX A2
ADANE 2	53	54	
ADR 2	55	56	ANE 2
NINF 5	57	58	NINFS 5
NZST 6	59	60	NZST 5
NINFS 6	61	62	NINF 6
NINF 7	63	64	NINFS 7
NZST 8	65	66	NZST 7
NINFS 8	67	68	NINF 8
--	69	70	+4,7V
OV	71	72	-5,5V

R-KE 6 (TR 440)

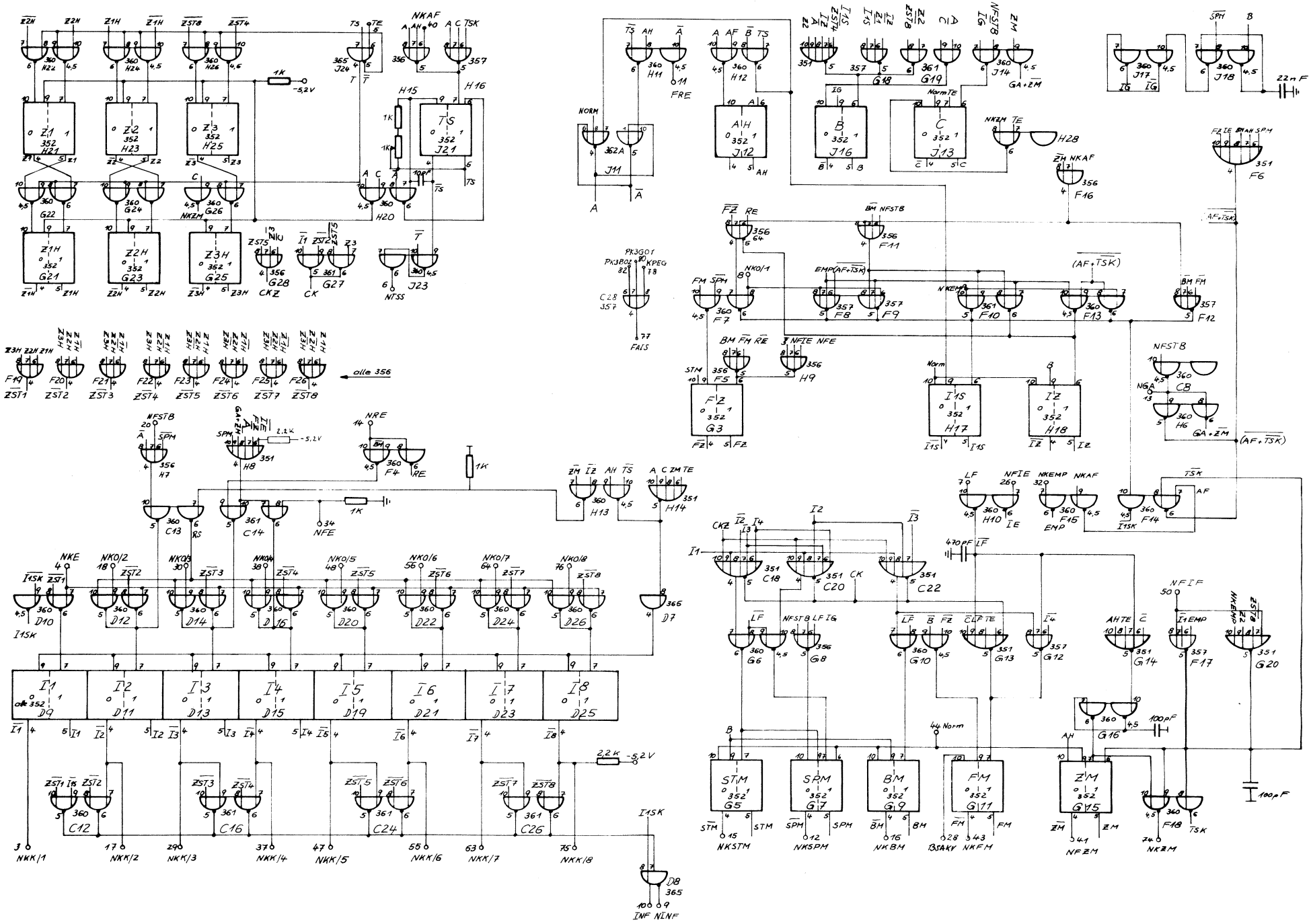
55.3059.436-00


355
H15
ANE 1
ANE 3
ANE 2
40
H17
ANE 8
356
BAY 95
ANE 5
ANE 6
ANE 4
ANE 7
ANE 3
ANE 8
NANS
ADR 5
ADR 6
ADR 4
ADR 7
ADR 3
ADR 8
-5,2V
+4,7V
2N708
BSX29
KOAX I5
KOAX A5
KOAX I4
KOAX A4
KOAX I3
KOAX A3
KOAX I8
KOAX A8
KOAX I7
KOAX A7
KOAX I6
KOAX A6
SB
SA
INFS
NINFS
EA
EB
ADR2
ADR1
G9
G7
G17
G19
G11
G13
G15
NKC/1
NKC/2
NKC/3
R - KE 12
55.3059.442
ZR
6.0 - 850

OV	1	2	-5,5V
	3	4	+4,7V
SA	5	6	SB
INFS	7	8	NINFS
KOAX A3	9	10	KOAX I3
KOAX A4	11	12	KOAX I4
NANS 4	13	14	NANS 3
	15	16	
	17	18	
KOAX A5	19	20	KOAX I5
NANS 5	21	22	
EA	23	24	EB
	25	26	
ANE 3	27	28	
ANE 5	29	30	
ADR 1	31	32	
NKC/1	33	34	NKC/2
ANE 6	35	36	ANE 4
	37	38	
NKC/3	39	40	FAIS
	41	42	
	43	44	
	45	46	
	47	48	
	49	50	
KOAX A6	51	52	KOAX I6
	53	54	
ADR 2	55	56	
NANS 6	57	58	
	59	60	
KOAX A7	61	62	KOAX I7
ANE 7	63	64	ANE 8
NANS 7	65	66	NANS 8
KOAX A 8	67	68	KOAX I8
	69	70	+ 4,7V
OV	71	72	-5,5V

R-KE 12

55.3059.442



R-KE3
Blockschaltbild

ZR

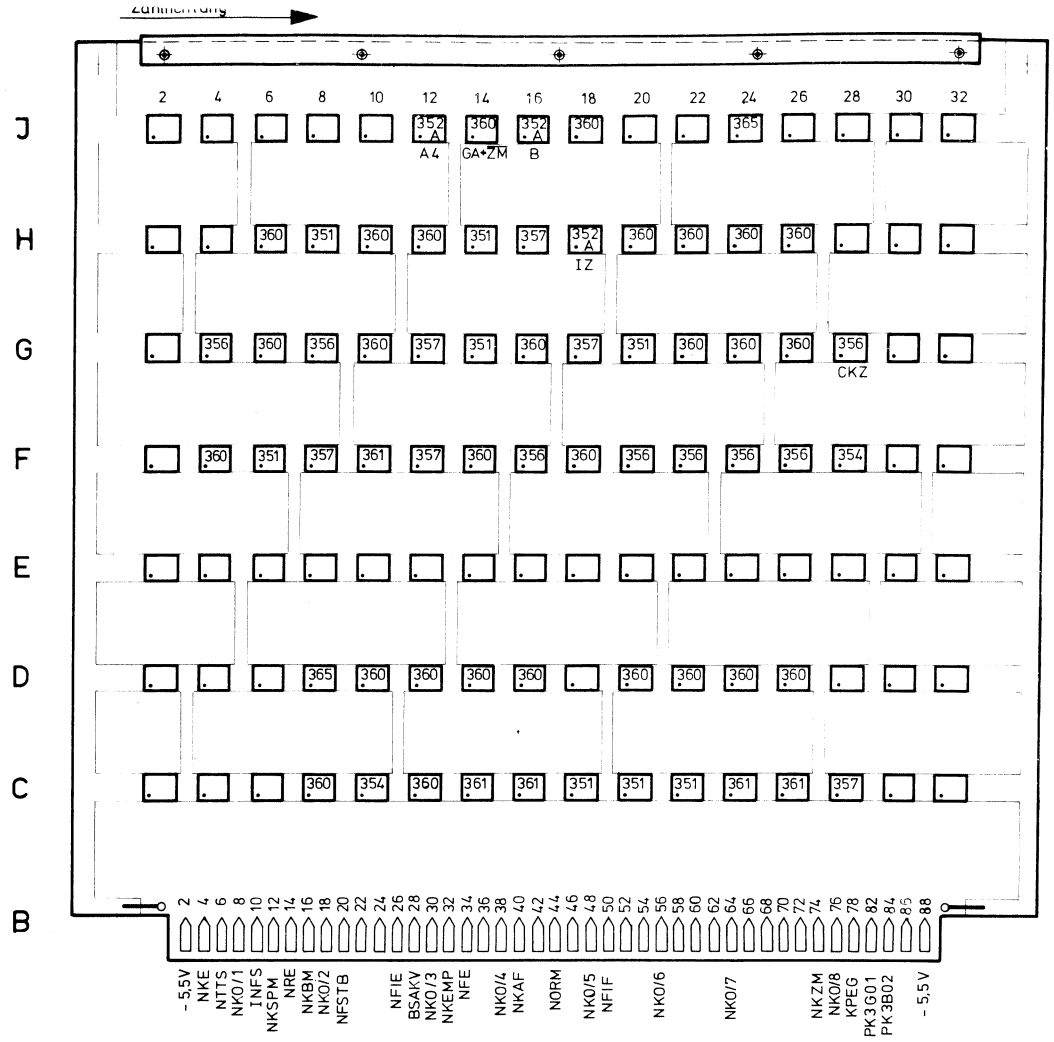
OV	1	2	-5,5V
NKK/1	3	4	NKE
TE	5	6	NTSS
LF	7	8	NKO/1
NINFS	9	10	INFS
FRE	11	12	NKSPM
* NGA	13	14	NRE
NKSTM	15	16	NKBM
NKK/2	17	18	NKO/2
	19	20	NFSTB
	21	22	
	23	24	
	25	26	NFIE
	27	28	BSAKV
NKK/3	29	30	NKO/3
	31	32	NKEMP
	33	34	NFE *
	35	36	
NKK/4	37	38	NKO/4
	39	40	NKAF
NFZM	41	42	
NKFM	43	44	NORM
	45	46	
NKK/5	47	48	NKO/5
	49	50	NFIF
	51	52	
	53	54	
NKK/6	55	56	NKO/6
	57	58	
	59	60	
	61	62	
NKK/7	63	64	NKO/7
	65	66	
	67	68	
	69	70	
	71	72	
	73	74	NKZM
NKK/8	75	76	NKO/8
FAIS	77	78	KPEG
	79	80	PK3G01
	81	82	PK3B02
	83	84	
OV	85	86	-5,5V

* "Wird nicht verdrahtet"

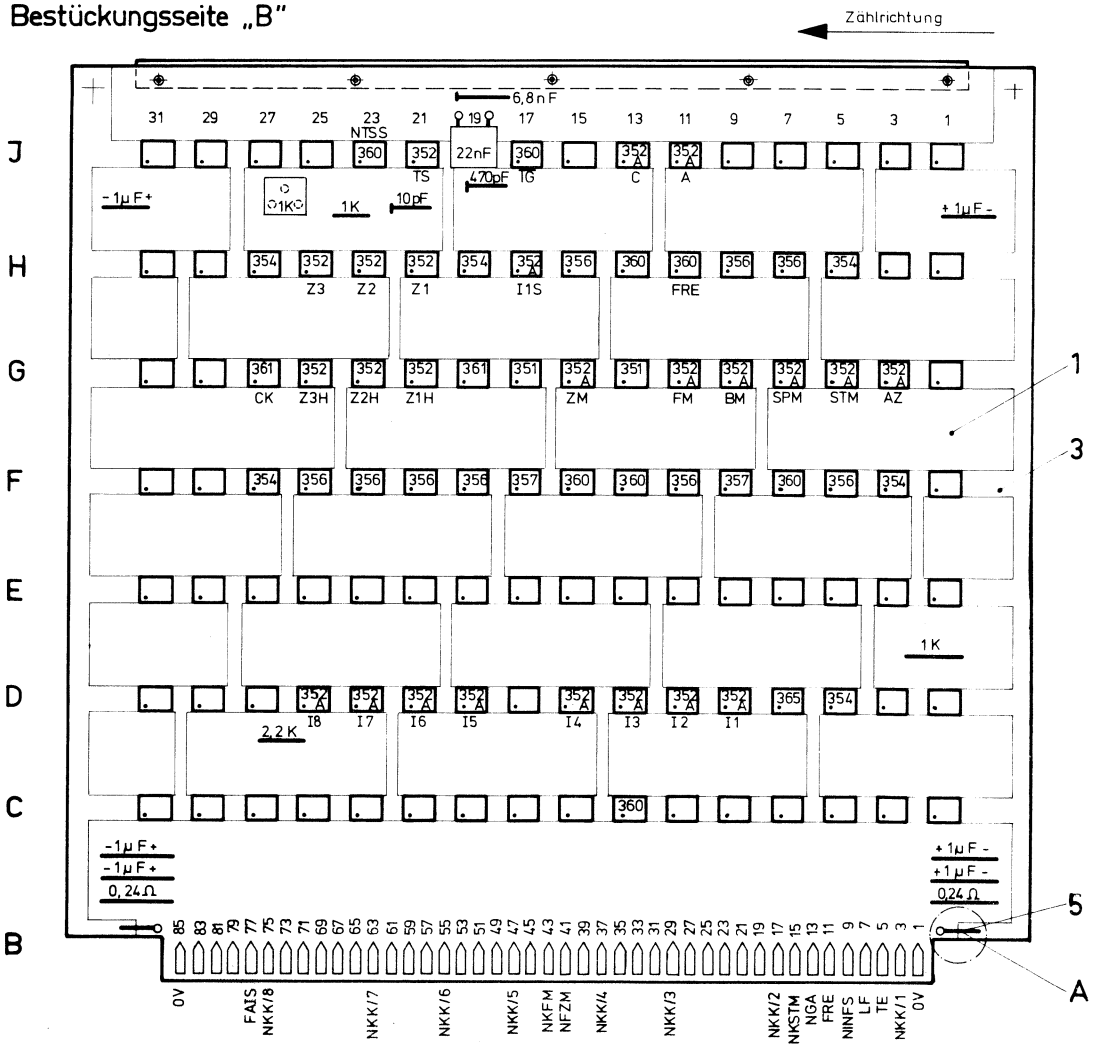
R-KE 3

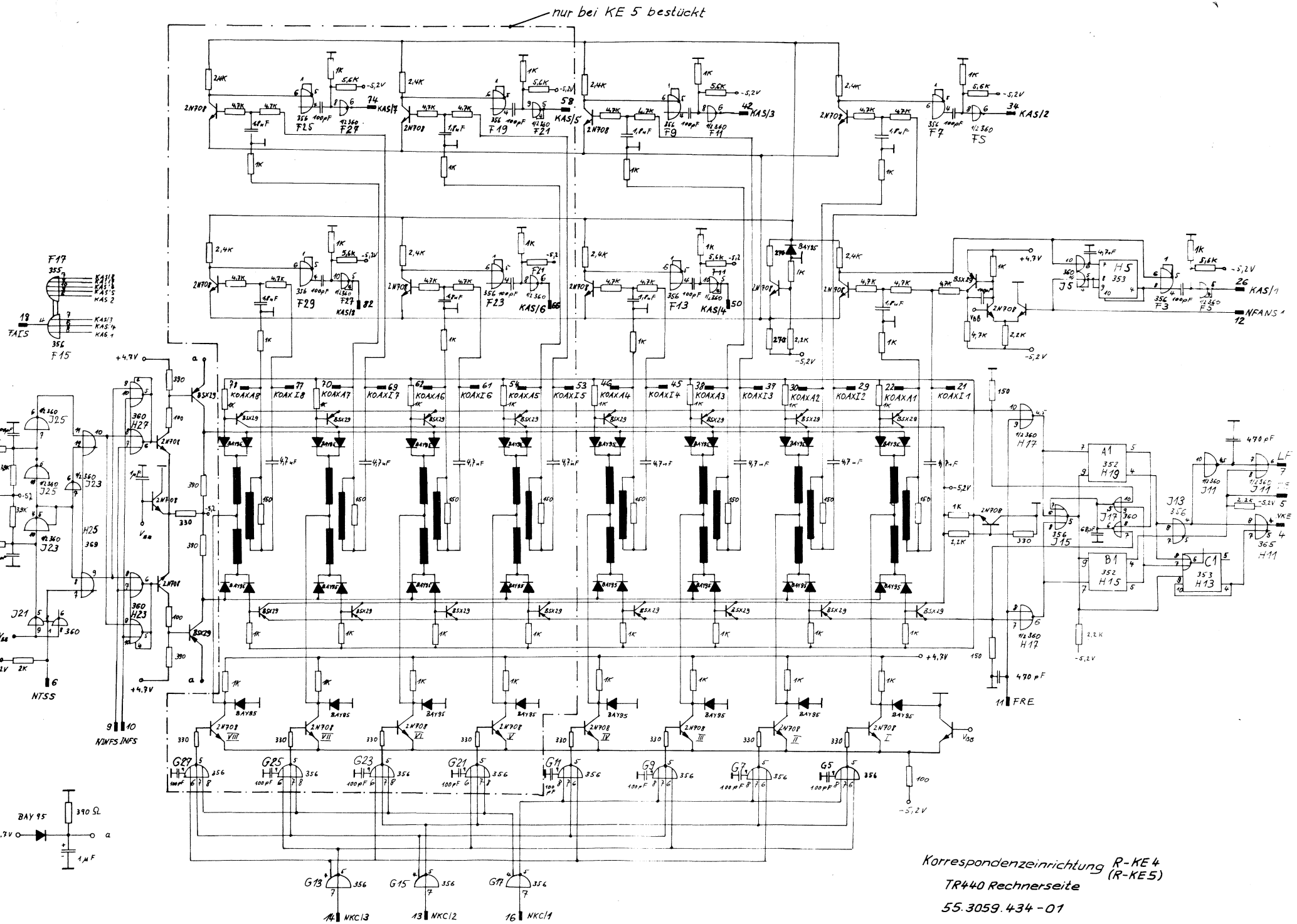
55.3059.433

ZR



Bestückungsseite „B"




nur bei KE 5 bestückt
KAS/7
KAS/5
KAS/3
KAS/2
KAS/8
KAS/6
KAS/4
KAS/1
NFANS 1
NTSS
NWFS INFS
FRE
NKC/3
NKC/2
NKC/1
Korrespondenzeinrichtung R-KE4 (R-KE5)
TR440 Rechnerseite
55.3059.434-01

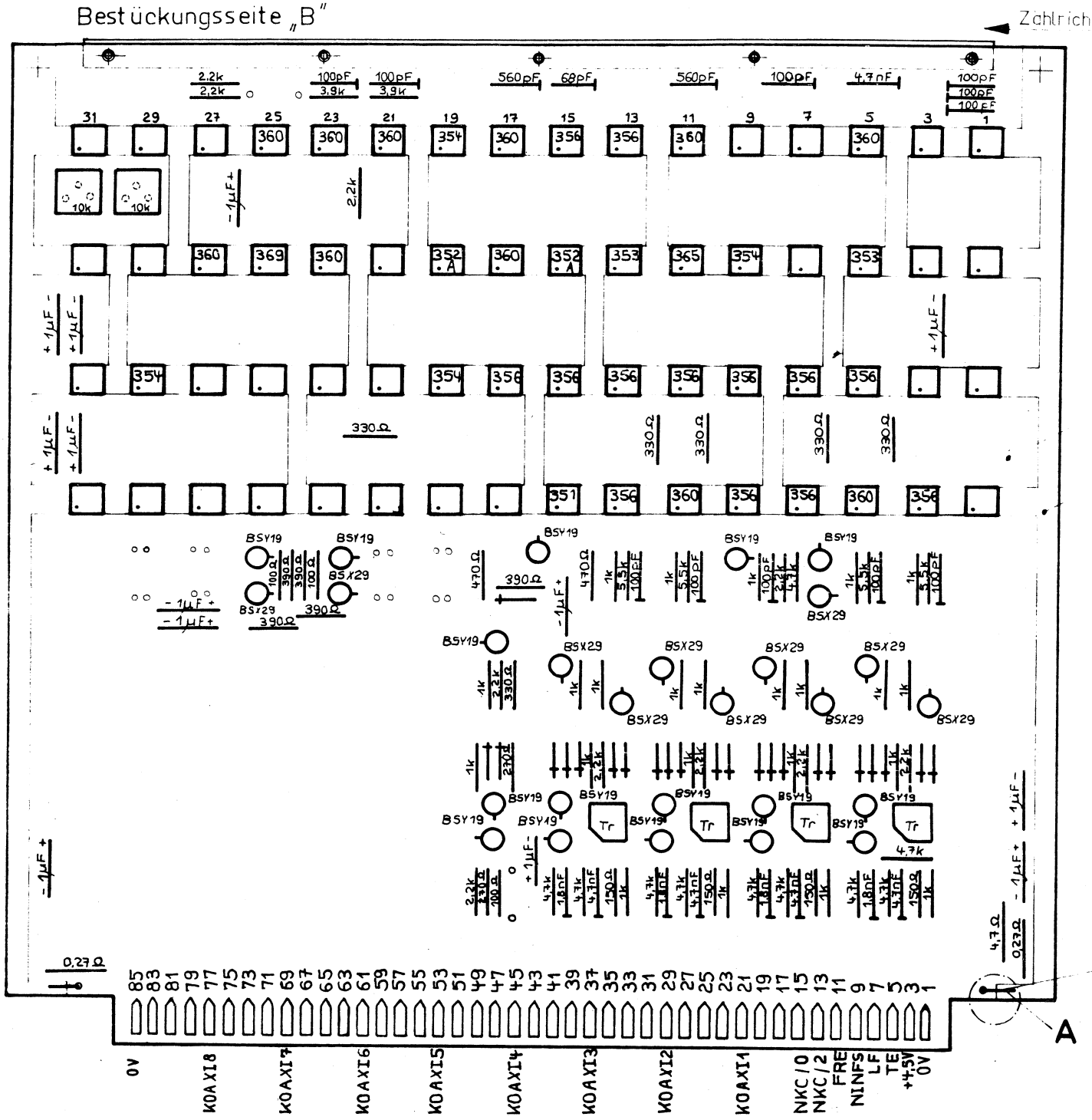
0V	1	2	-5,5V
+4,7V	3	4	NKE
TE	5	6	NTSS
LF	7	8	
NINFS	9	10	INFS
FRE	11	12	NFANS
NKC/2	13	14	NKC/3
	15	16	NKC/1
	17	18	FAIS
	19	20	
KOAX I1	21	22	KOAX A1
	23	24	
	25	26	KAS/1
	27	28	
KOAX I2	29	30	KOAX A2
	31	32	
	33	34	KAS/2
	35	36	
KOAX I3	37	38	KOAX A3
	39	40	
	41	42	KAS/3
	43	44	
KOAX I4	45	46	KOAX A4
	47	48	
	49	50	KAS/4
	51	52	
(KOAX I5)	53	54	(KOAX A5)
	55	56	
	57	58	(KAS/5)
	59	60	
(KOAX I6)	61	62	(KOAX A6)
	63	64	
	65	66	(KAS/6)
	67	68	
(KOAX I7)	69	70	(KOAX A7)
	71	72	
	73	74	(KAS/7)
	75	76	
(KOAX I8)	77	78	(KOAX A8)
	79	80	
	81	82	(KAS/8)
	83	84	
0V	85	86	-5,5V

Eingeklammerte Signale nur bei KE 5 verdrahtet.

R-KE 4(5)

55.3059.434-01

ZR



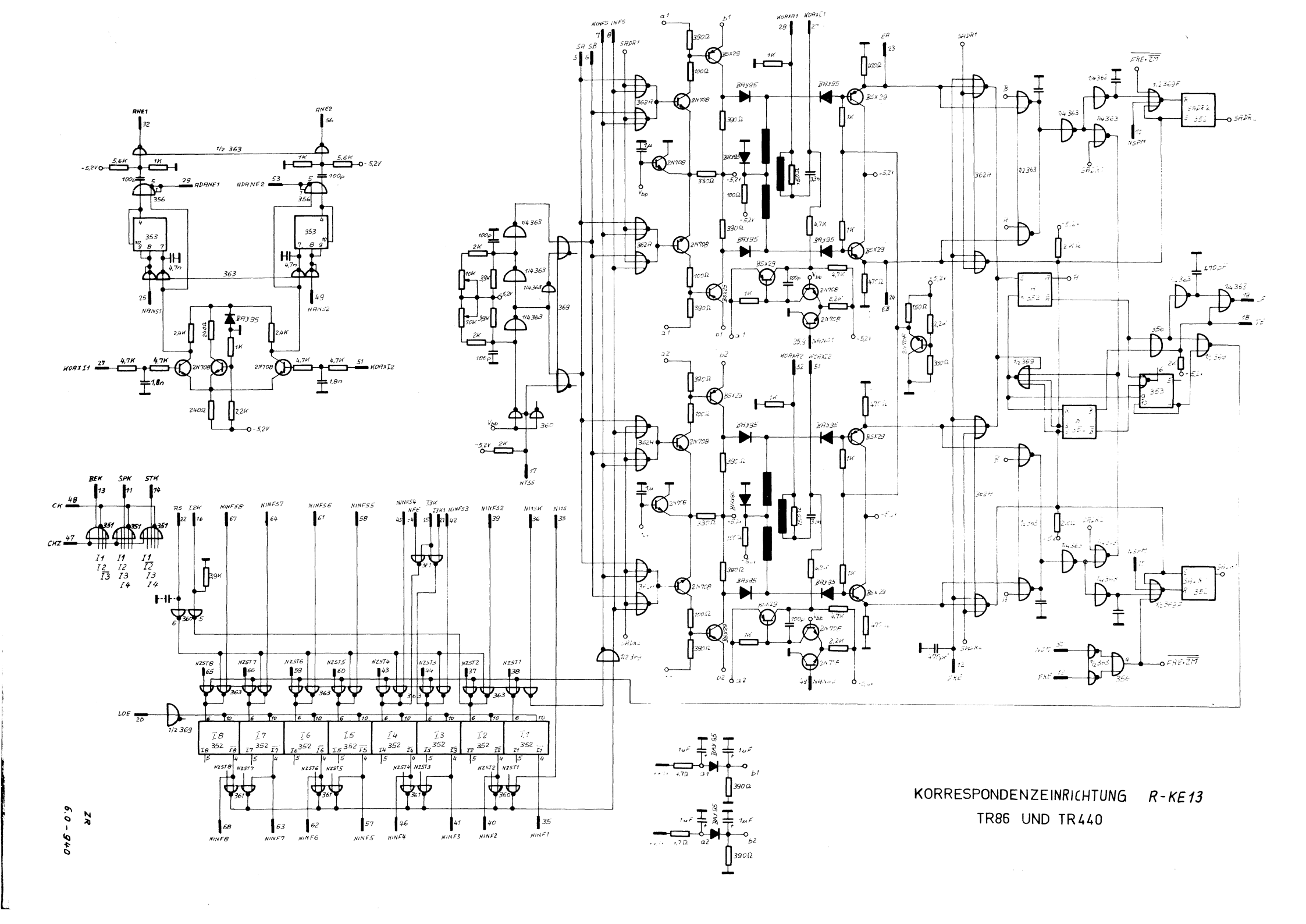
R-KE4 (TR440)

55.3059.434-00

ZR

Aufgabe und Funktion der R-KE 13

Die R-KE 13 gestattet einen Zugriff von 2 Rechnern auf 1 Peripheriegerät. Sie enthält ein 8-Bit-Register für die Serien-Parallel- und Parallel-Serienwandlung, je einen Kabelsender und Kabelempfänger sowie je 2 Anrufsender und -empfänger und gleicht insofern der R-KE 6.
Als Besonderheit hat die R-KE 13 eine Schaltung, die mit dem Empfang der 1. Halbwelle eines Bipolimpulses von einer Koaxialleitung sofort jeden Empfang von der anderen Leitung und auch jedes Senden auf die andere Leitung sperrt, bis die Übertragung ordnungsgemäß mit dem Aussenden eines Stopcodes beendet wurde (s. 2.4. Beispiel eines Übertragungsablaufes).
(1. Bipolimpuls immer Ó. da von Anruf ÓLÓÓ herrührend).



KORRESPONDENZEINRICHTUNG R-KE13

TR86 UND TR440

6.0 - 940

OV	1	2	-5,5V
--	3	4	+4,7V
(SA)	5	6	(SB)
NINFS	7	8	INFS
NANS1	9	10	NSPM
SPK	11	12	FRE
BEK	13	14	STK
I3K	15	16	I2K
NTSS	17	18	TE
LF	19	20	LOE
I3K1	21	22	RS
(EA)	23	24	(EB)
NANS1	25	26	
KOAXI1	27	28	KOAXA1
ADANE1	29	30	NZM
--	31	32	ANE1
NI1S	33	34	NFE
NINF6	35	36	NI1SK
NZST2	37	38	NZST1
NINFS2	39	40	NINF2
NINF3	41	42	NINFS3
NZST4	43	44	NZST3
NINFS4	45	46	NINF4
CKZ	47	48	CK
NANS2	49	50	
KOAXI2	51	52	KOAX A2
ADANE2	53	54	
--	55	56	ANE2
NINF5	57	58	NINFS5
NZST6	59	60	NZST5
NINFS6	61	62	NINF6
NINF7	63	64	NINFS7
NZST8	65	66	NZST7
NINFS8	67	68	NINF8
--	69	70	+4,7V
OV	71	72	-5,5V

Die eingeklammerten Signale werden nicht verdrahtet

R-KE 13

(TR 440)

55.3059.443-00

3.1.7. Kabelsender

Der Kabelsender erzeugt die Bipolimpulse auf der Koaxialleitung aus der Ansteuerung durch den Sendetakt NTSS und den Ausgängen der Parallel-Serienwandlung INFS und NINFS.
Es wird angenommen, daß eine L gesendet werden soll.
Es erscheinen zu gleicher Zeit der negative Sendetakt NTSS und das negative Signal NINFS, sodaß an Punkt 1 und 5 die log. 0 liegt. Das Element H7 wirkt lediglich als Signalverstärker. Der an Kl. 1 angelegte negative Impuls NTSS tritt auch am Ausgang 5 negativ auf. Die negative Flanke wird durch den Kondensator C1 verzögert, sodaß zunächst am Punkt 3 noch die logische 0 anliegt. Dadurch erscheint auch an Punkt 4 die 0, die zusammen mit der 0 auf Punkt 5 eine L an Punkt 6 bewirkt. Die positive Spannung an Punkt 6 steuert den Transistor T1 durch, was eine negative Spannung an Punkt 7 bewirkt, sodaß auch der Transistor T2 durchgesteuert wird. Der positive Impuls auf Punkt 8 bewirkt einen ebenso positiven Impuls an Punkt 9 und in Wicklung 1 des Übertragers, der sich auch positiv auf Punkt 10 und über den Kondensator C3 auf Punkt 20 überträgt und hier die 1. Halbwelle des Bipolimpulses bildet.
Während an Punkt 3 noch die log. 0 liegt, ist an Punkt 11 und damit auch an Punkt 13 die L und verhindert am Eingang des Elements F1/a, daß am Punkt 14 ebenfalls eine L erscheint. Nachdem die verzögerte 0 an Punkt 2 liegt, springt Punkt 3 auf L um, ebenso Punkt 4, wodurch an Punkt 6 die log. 0 erscheint und den Transistor T1 wieder sperrt. Gleichzeitig erscheint an Punkt 11 sowie an Punkt 18 eine 0. Der negative Impuls an Punkt 18 wird verzögert durch den Kondensator C2. Unterdessen erzeugen die negativen Signale an Punkt 11 und 12 eine 0 an Punkt 13 und diese 0 zusammen mit der 0 an Punkt 5 erzeugt eine L an Punkt 14, die den Transistor T3 durchschaltet. Damit wird Punkt 15 negativer und schaltet Transistor T4 durch. An dessen Kollektor (Punkt 16) erscheint ein positiver Impuls, ebenso an Punkt 17 und in Wicklung 2 des Übertragers, was einen negativen Impuls an Punkt 10 und über den Kondensator C3 an Punkt 20 bewirkt, die 2. Halbwelle des Bipolimpulses.

Hat sich die verzögerte 0 an Punkt 18 durchgesetzt, so erscheint an Punkt 12 die L, ebenso an Punkt 13, wodurch sich an Punkt 14 wieder eine 0 einstellt und den Transistor T3 sperrt.
Inzwischen ist auch der Sendetakt NTSS wieder positiv geworden. Die L liegt an Punkt 1 und damit auch Punkt 4, auch wenn Punkt 2 jetzt wieder auf L und Punkt 3 auf 0 geht. An Punkt 11 und damit auch Punkt 13 erscheint die L früher, als über die beiden Elemente H5/a und H5/b die 0 auf Punkt 5 erscheinen kann.
Damit ist der Grundzustand wieder erreicht.
Soll statt einer L eine 0 ausgesendet werden, so erfolgt zuerst die Ansteuerung von Transistor T3 durch das Element F1/b, wodurch die erste Halbwelle negativ wird, danach wird Transistor T1 durch das Element F3/a angesteuert, dadurch wird die 2. Halbwelle positiv.
Die Verzögerungszeiten der Verzögerungskette H7-H3/a-H5/a-H5/b können durch die beiden Potentiometer eingestellt werden, wodurch die Dauer der Bipolimpulse verändert werden kann.

ZR

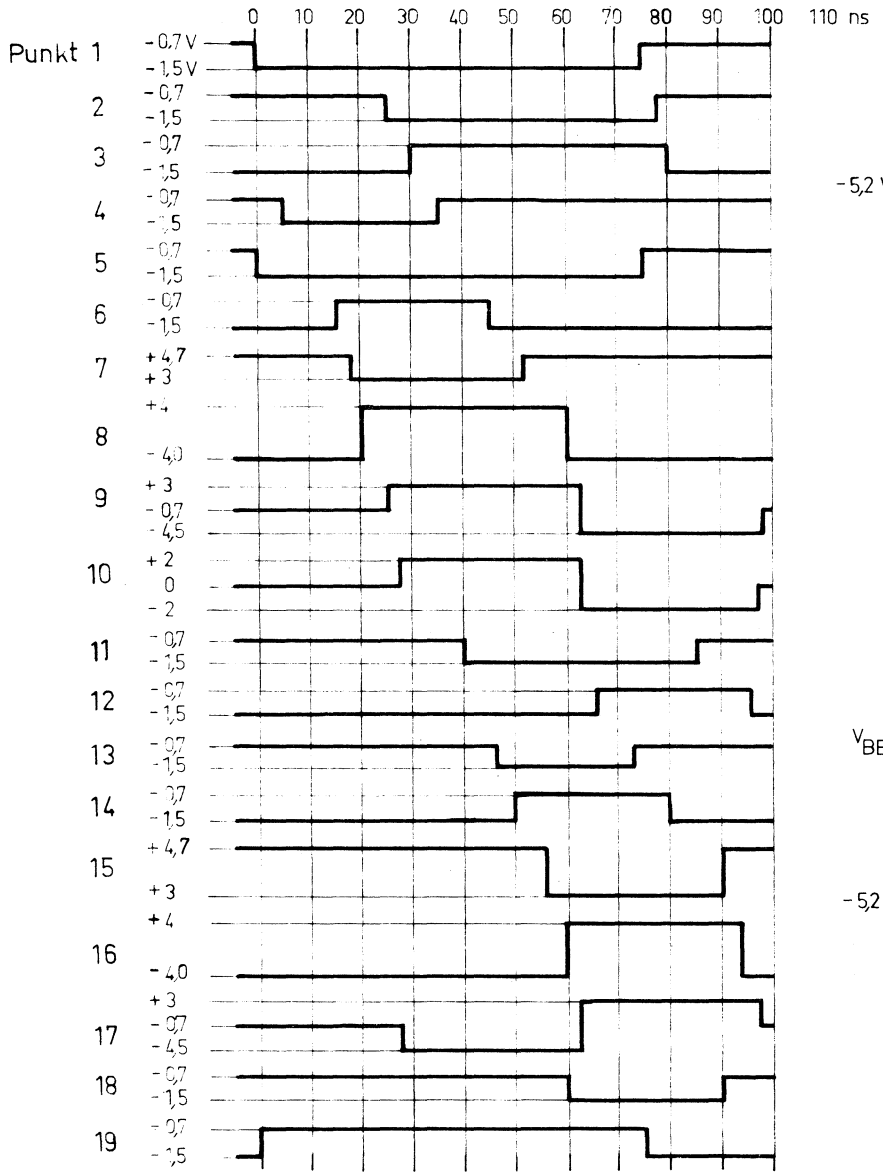


Bild 12 : Impulsdiagramm des Kabelsenders, idealisierte Darst.

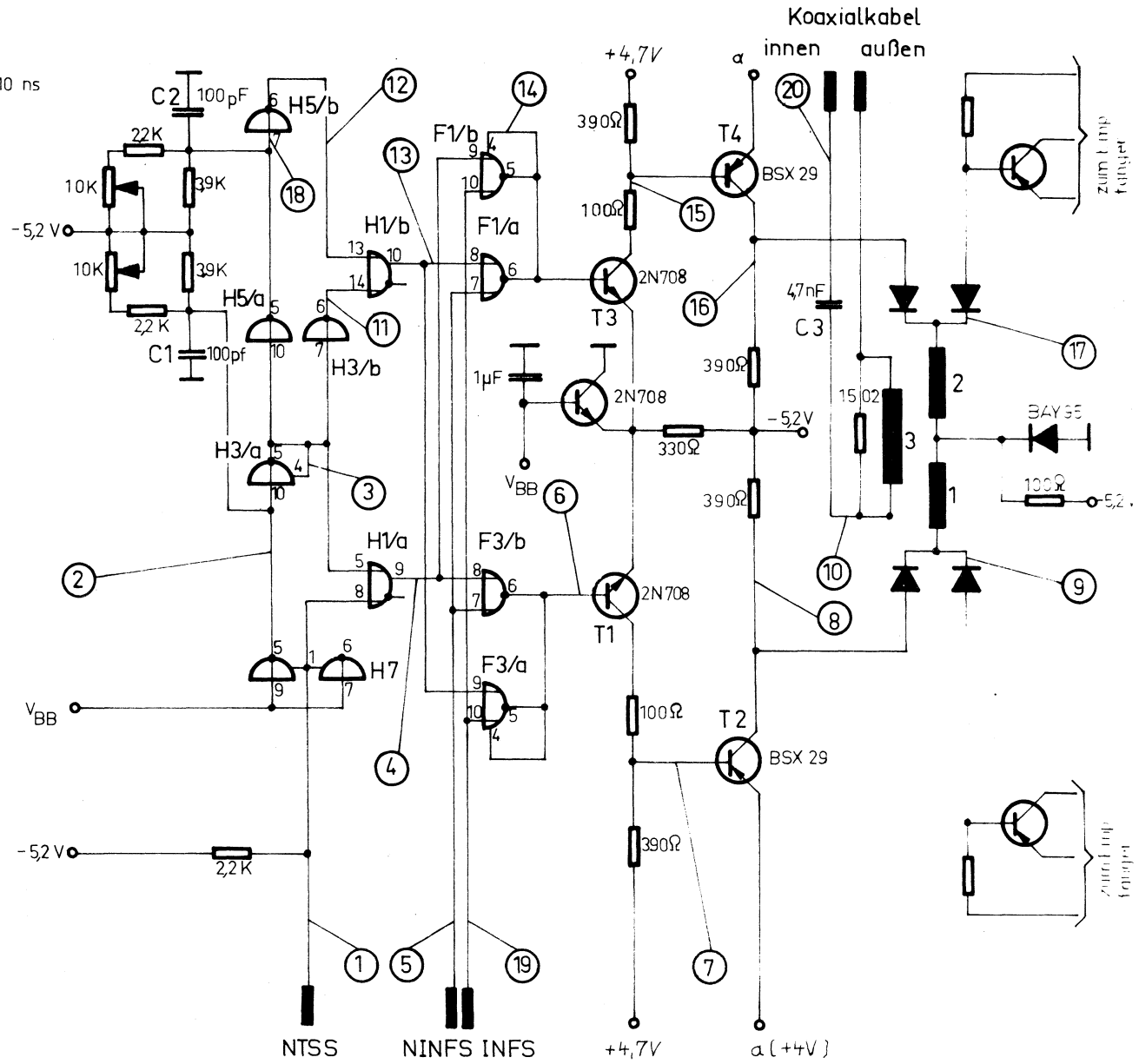


Bild 13: Kabelsender

3.1.8. Kabelempfänger

Der Kabelempfänger hat die Aufgabe, aus den auf der Koaxialleitung ankommenden Bipolimpulsen die Signale KE,TE und LF zu erzeugen.
TE zeigt an, ob ein Empfang überhaupt stattgefunden hat,
KE zeigt an, ob ein L oder eine 0 empfangen worden ist,
LF meldet das Ende eines Empfangs.
Beim Empfang eines Bipolimpulses, z.B. einer L, laufen folgende Vorgänge ab:

Auf der Koaxialleitung (Punkt 1) erscheint zuerst die positive Halbwelle. Sie erzeugt in Wicklung 2 des Übertragers eine negative Halbwelle (Punkt 2), die über die Diode D1 an die Basis des Transistors T5 übertragen wird (Punkt 3), diesen durchsteuert und am Emitter des Transistors T5 einen ebenfalls negativen Impuls (= logisch 0) verursacht (Punkt 4). Das Signal FRE (Freigabe Empfang) steht ebenfalls auf 0, sodaß an Punkt 5 eine L erscheint, das Flipflop A (Punkt 8,6) setzt und das Löschen des Flipflops über das Element G9 verbietet. Da das Flipflop A gesetzt und das Flipflop B nicht gesetzt ist (was nur vorkommt, wenn die 1. Halbwelle positiv ist = L) wird das Flipflop C gesetzt, da an Punkt 6 und Punkt 7 eine 0 liegt.
Eine 0 erscheint deshalb auch an Punkt 17.
Während der Zeit zwischen dem Ende der ersten und dem Erkennen der 2. Halbwelle liegt an G 15 Klemme 7 (Punkt 4) und 1o eine "L",
sodaß an Punkt 10 eine 0 erscheinen müßte. Diese wird aber durch den Kondensator C4 verzögert, da sonst über das Element G9 die 3 Flipflops A,B und C gelöscht würden. Die Verzögerung dauert mindestens solange, bis auf Punkt 13 eine L erscheint und das Löschen erneut verbietet. Diese L kommt, sobald aufgrund der 2. Halbwelle (Punkt 1) in der Wicklung 1 (Punkt 11) ein negativer Impuls induziert wird, der sich über die Diode D2 an die Basis des Transistors T6 (Punkt 12) fortsetzt, diesen durchschaltet und damit an den Eingang 7 des Elementes G17/b eine 0 legt (Punkt 9).
Damit wird Flipflop B gesetzt (Punkt 7, Punkt 14).
Aus der Tatsache, daß die Flipflops A und B gesetzt sind, wird ein Empfangstakt (TE) abgeleitet (Punkt 15). Mit dem Empfangstakt wird deshalb bis zur 2. Halbwelle gewartet, damit nicht etwa ein aus einer Halbwelle bestehender Störimpuls ausgewertet wird.
Am Punkt 16 erscheint eine 0, die zusammen mit der 0 an Punkt 17 das Signal NKE (Punkt 18) bewirkt. (NKE = 0)
Nach dem Ende der 2. Halbwelle, wenn an Punkt 13 wieder eine 0 erscheint (Punkt 5 und 10 sind bereits auf 0), geht Punkt 19 auf L. Damit werden die Flipflops A, B und C gelöscht, und der Grundzustand ist wieder erreicht.
Nach dem 1. Empfangstakt TE einer Impulsfolge (Punkt 15) geht das Signal LF (Punkt 20) auf 0. Wenn nach dem Ende eines Bipolimpulses die Flipflops zurückgesetzt sind und auf Punkt 16 (Signal NTE) eine L erscheint, wird an Punkt 21 eine 0 erzeugt, die jedoch verzögert wird durch Kondensator C5, sodaß bis zum nächsten Empfangstakt NTE der gleichen Impulsfolge das Signal LF auf 0 bleibt. Erst wenn kein neuer Impuls erscheint (ca. 100 ns nach dem letzten), geht LF auf L und zeigt damit das Ende einer Impulsfolge an.
Bild 14 zeigt den eben geschilderten Ablauf im (idealisierten) Impulsdiagramm.

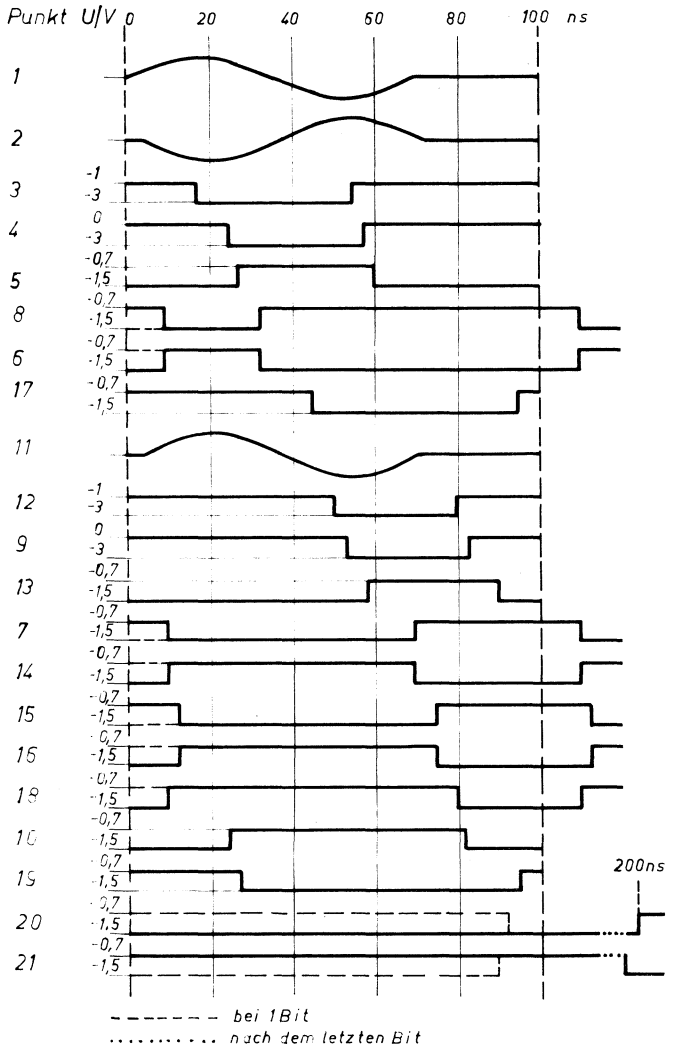


Bild 14: Impulsdiagramm des Kabelempfängers, idealisierte Darstellung

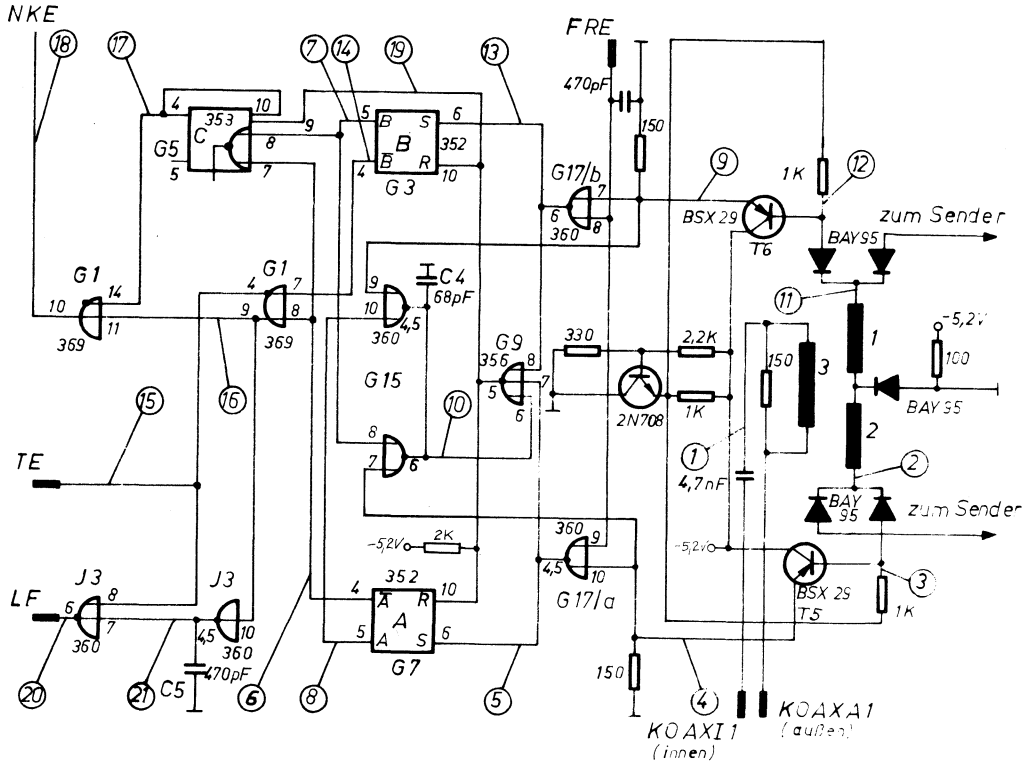


Bild 15: Kabelempfänger

3.1.9. Anrufsender und -empfänger

Ein Peripheriegerät habe einen längeren Block schnell in ein Pufferregister übernommen und brauche längere Zeit, um die Information zu verarbeiten. Damit der Kanal während der Verarbeitungszeit nicht dauernd belegt bleibt, schaltet sich das AW vom Kanal ab (mit Blockende). Ist das Peripheriegerät mit seiner Operation fertig, so kann es nicht von sich aus einen Aufruf senden, sondern muß sich durch einen Anruf dem Rechner anmelden.
Desgleichen meldet sich auch ein untergeordneter Rechner bei Rechnerkopplung durch einen Anruf dem übergeordneten an.
Empfang des eigenen Anrufes wird durch eine besondere Schaltung verhindert.

3.1.9.1. Anrufsender

Beim Anlegen einer 0 an NANS sperrt Transistor T1, damit öffnet T2 und durch die negativer werdende Spannung an Punkt 3 auch T3.
Über die Emitter-Collectorstrecke von T3 und den Widerstand R1 wird der Innenleiter auf +4,7 V gegenüber dem Außenleiter aufgeladen. Die Aufladezeit ist abhängig von der Kabellänge.

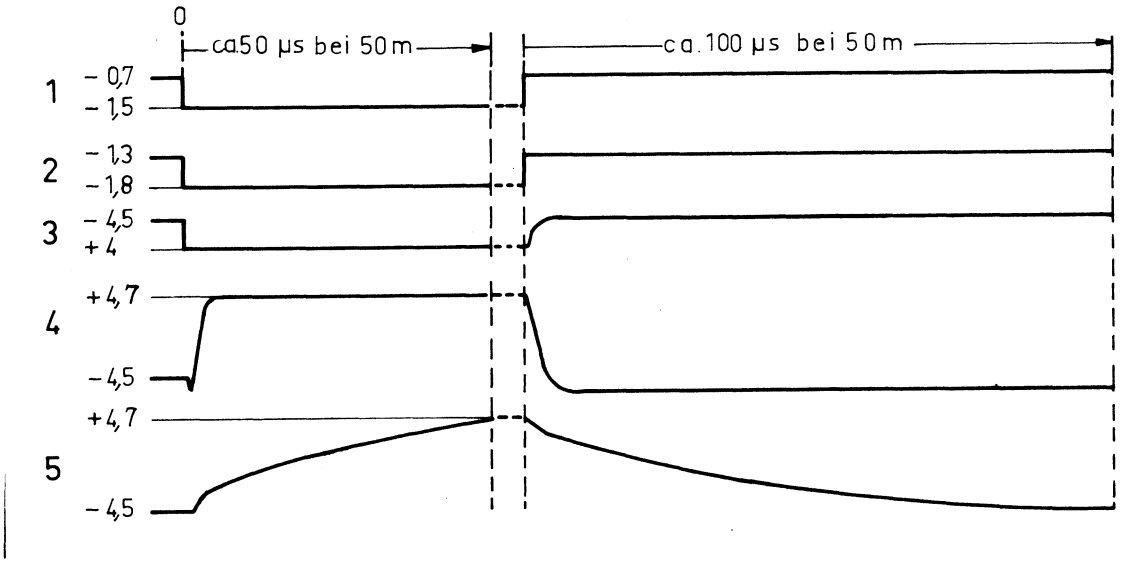


Bild 16:
Impulsdiagramm des Anrufsenders (idealisiert)

3.1.9.2. Anrufempfänger

Die positive Spannung des aufgeladenen Kabels (Punkt 5) gelangt über die Widerstände R2, R3 an die Basis des Transistors T4 und schaltet diesen durch, sodaß negatives Potential an den Kollektor (Punkt 7) gelangt, was der logischen 0 entspricht.
Im Ruhezustand ist das aus einem Halbaddierer aufgebaute Flipflop F1 gesetzt, an Punkt 10 also eine 0. Die beiden Nullen an Punkt 10 und 7 ergeben an Punkt 11 eine 0. Es wird jedoch nur die negative Flanke über den Kondensator C1 auf das Element F13 (Punkt 12) übertragen. Der Ausgang des Elementes F13 (Punkt 13) geht kurze Zeit (ca. 100 ns) auf L und dann wieder auf 0.
Damit bei Rechnerkopplung die KE nicht ihren eigenen Anruf empfängt, wird das Flipflop F1 zurückgesetzt, wenn an NANS (Punkt 1) eine 0 liegt. An Punkt 10 liegt dann eine L, sodaß damit das Element F11 gesperrt ist, auch wenn an Punkt 7 eine 0 erscheint.

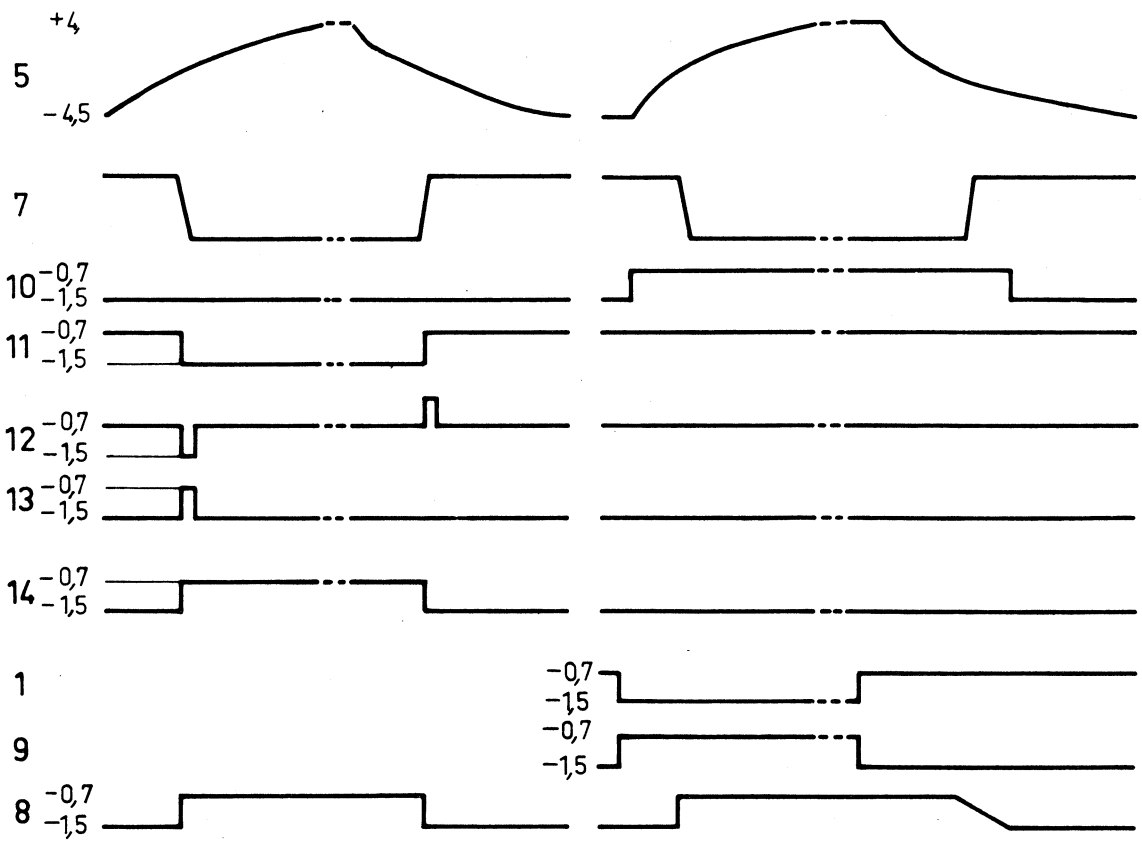


Bild 17:

Impulsdiagramm des Anrufempfängers (idealisiert)

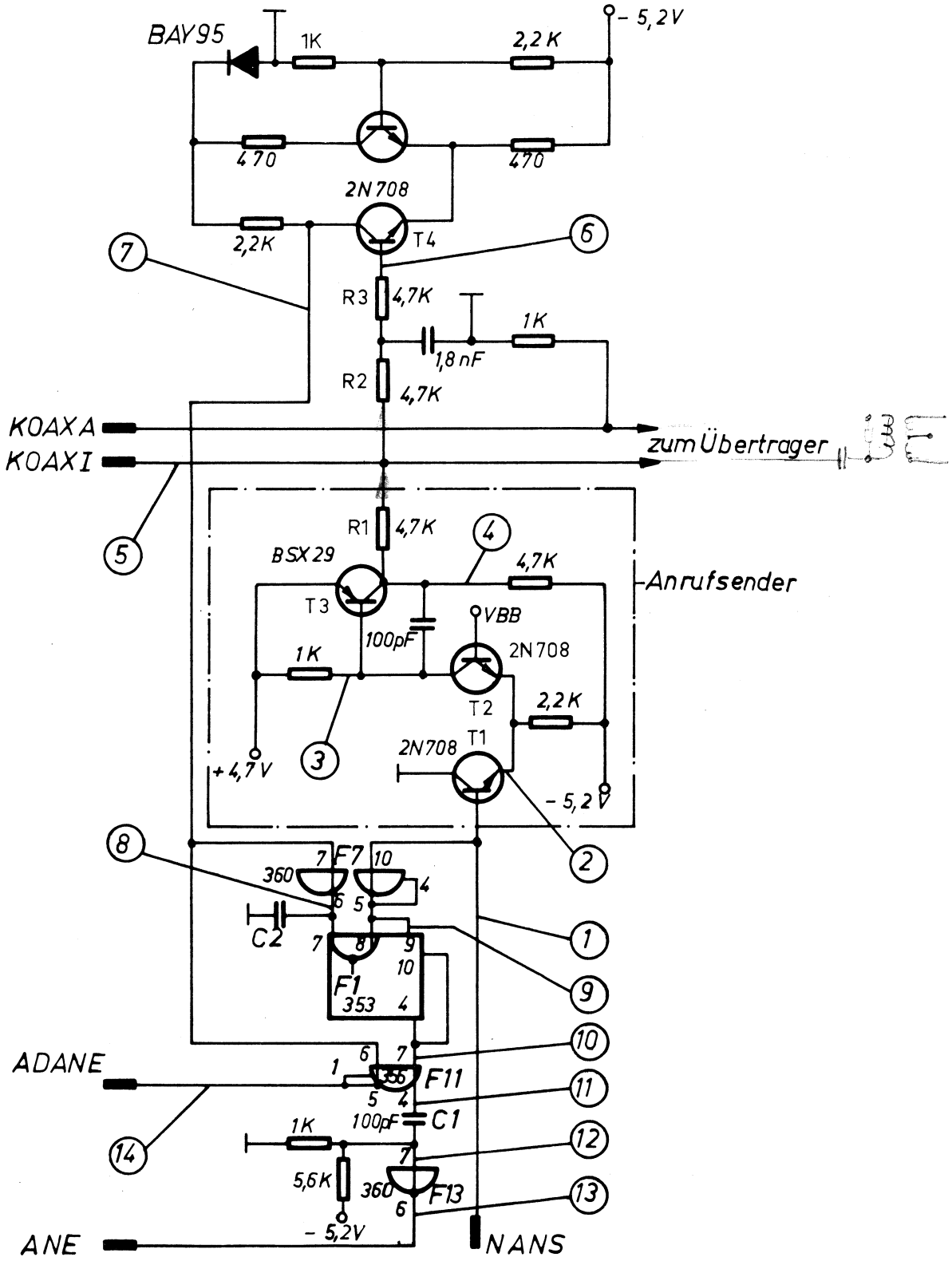


Bild18: Anrufsender und - Empfänger

ZR

3.1.10. Bit - Zähler

Der Zähler dient zur Verteilung von Informationsbits auf Register und Kabelsender, zur Beendigung des Sendens, zur Auswertung von 4 Bit- bzw. 1 Bit-Zeichen und zur Code-Kontrolle (s. Mikroprogramm).
Er ist als Modulo-8-Zähler in Master-slave-Technik ausgeführt. Die Funktion läßt sich am besten aus dem Impulsdiagramm in Bild 19 ersehen. Die Schaltung ist im Stromlaufplan für R-KE1 und R-KE3 links oben.

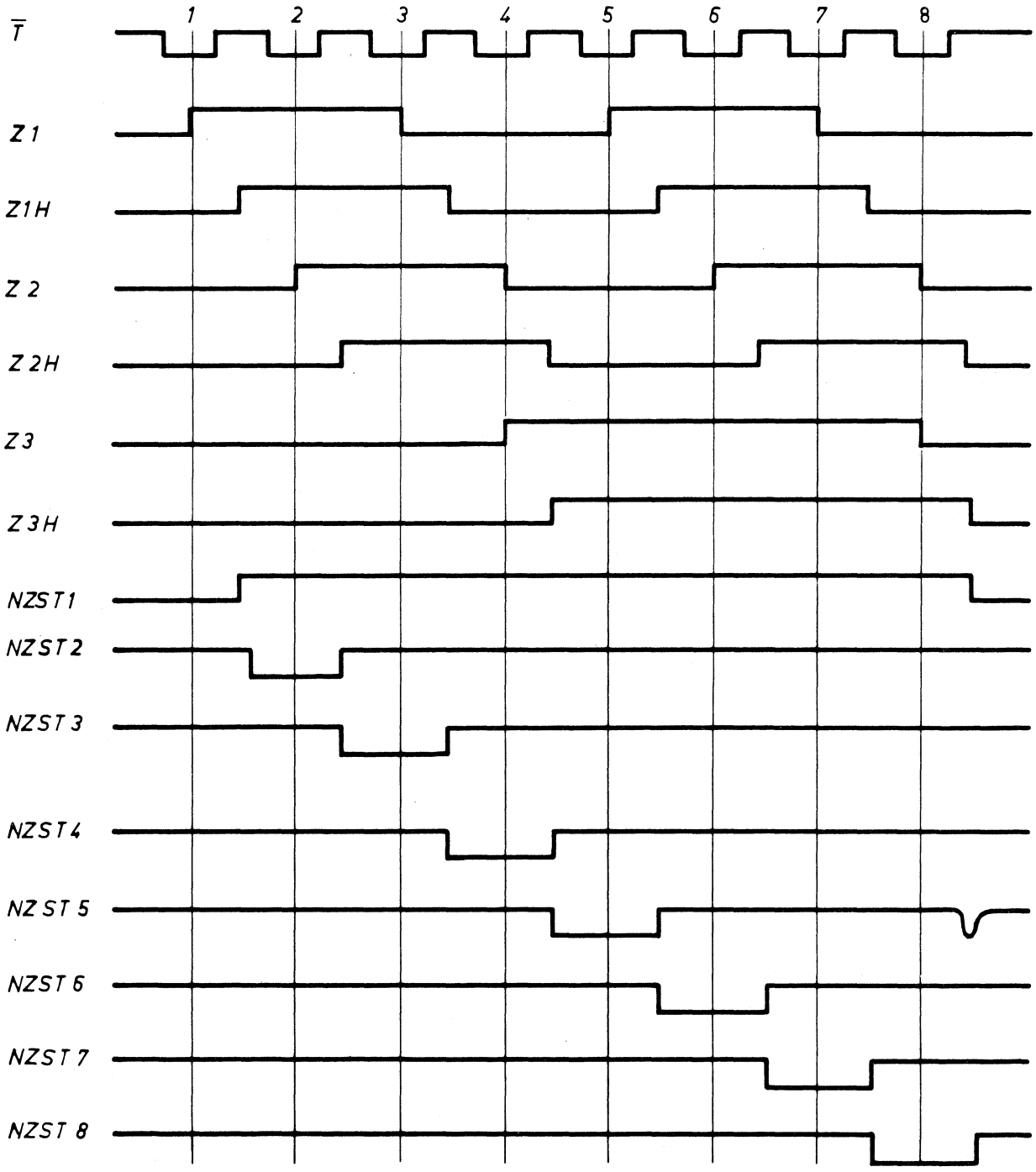


Bild 19: Bit - Zähler der R-KE1, R-KE11 und R - KE3

ZR

3.1.11. Prüfpunkte

Bei der R-KE3 sind folgende Signale auf Prüfpunkte an der Frontseite herausgezogen: BM, SPM, A, FM, NORM, B, NKAF, C, TS, TE, NKEMP, NKZM.

4. Prüfmethode

4.1. Standard - KE

Da eine statische Prüfung der Korrespondenzeinrichtung nicht möglich ist, wurde folgende dynamische Prüfmethode entwickelt:
Ein Taktgenerator gibt laufend AF, die übrigen Signale können mit Handschaltern gegeben werden. An den Koax-Anschlüssen wird ein ca. 100 m langes dämpfungsarmes Koaxialkabel angeschlossen, das nicht abgeschlossen ist. Die auf das Kabel gesendeten Bipolimpulse werden am Ende reflektiert, und zwar gleichsinnig, d.h. eine positive Welle wird positiv, eine negative negativ zurückgeworfen.
Das Kabel ist so lang, daß 8 Bipolimpulse = 1 Zeichen ausgesendet werden können, bevor der 1. reflektierte Impuls zurückkommt. Die zurückkommenden Impulse werden von der gleichen KE empfangen und ausgewertet.
Auf diese Weise kann eine KE einzeln geprüft werden, während für den normalen Betrieb immer 2 (rechnerseitige und geräteseitige) notwendig sind.

Prüfmethode

4.2. Schnelle Korrespondenzeinrichtung

Die Prüfmethode beruht auf dem Prinzip der Reflexion bei einer leerlaufenden Leitung. An jedem Koaxanschluß befindet sich ein Koaxialkabel von 20 m Länge. Mit einem Taktgenerator wird ein periodisches AF an die KE angelegt, wodurch diese je nach den angelegten Signalen Information, 4 Bit-Zeichen oder Quittungen aussendet. Diese werden wieder reflektiert empfangen. Die KE reagiert darauf mit der Abgabe der entsprechenden Meldungen und der empfangenen Information. Mit dem positiven Takt wird jeweils normiert.

Tabelle 6: Erstes Startinformationszeichen für die PE (= dritte Oktade im ersten SI-Wort)

Bitwertigkeit	2^7	2^6	2^5	2^4	2^3	2^2	2^1	2^0
Magnettrommelspeicher	0	0	0	0	L	0	Status-abfrage	Ausgabe
Magnetplattensp. sek.	0	0	0	L	0	0	"	"
Magnetplattensp. tert.	0	0	0	L	L	0	"	"
Magnetkartenspeicher	0	0	L	0	0	0	"	"
Magnetbandschleifen	0	0	L	0	L	0	"	"
Magnetband- (Spulen)	0	L	0	0	0	Skip	"	"
Massenkernspeicher	0	L	L	L	L	0	"	"
Fernschreibverteiler	L	0	0	L	L	0	"	"
Lochkartenleser	L	0	L	0	L	Aus-steuern	"	Nicht-lesen
Lochkartenstanzer	L	0	L	L	0	"	"	Stanzen
Schnelldrucker	L	0	L	L	L	0	"	Ausgabe
Analogrechner	L	L	0	0	0	0	"	"
Lochstreifenleser	L	L	0	0	L	Spezial-Modus	"	0
Lochstreifenstanzer	L	L	0	L	0	0	"	Ausgabe
Zeichner	L	L	0	L	L	0	"	"
Sichtgerät	L	L	L	0	0	0	"	L
Telefon-Modem	L	L	L	0	L			
Klarschriftleser	L	L	L	L	0	0	"	0
Schreibmaschine	L	L	L	L	L	0	"	Ausgabe

Tabelle 8: Fehler- (oder Status-)zeichen von der PE (= zweite Oktade im Eingriffswort) "(bei TR 440 dritte Oktade bei TR 86)"

Bitwertigkeit	2^7	2^6	2^5	2^4	2^3	2^2	2^1	2^0
Magnettrommelspeicher	0	falsches SIZ	Gerätestörung	Übertrag. fehler	Prüfz.-fehler	0	0	Überlauf
Magnetplattensp. sek.	0	"	"	"	"	Durchstartf.	Schreibsperre	"
Magnetplattensp. tert.	Header	"	"	"	"	0	Fehlerspur DST-Fehl.	"
Magnetkartenspeicher	0	"	"	"	"	0	0	"
Magnetbandschleifensp.	0	"	"	"	"	0	0	"
Magnetband (-Spulen)	0	"	"	"	"	0	0	Bandende
Massenkernspeicher	0	"	"	"	"	0	0	Überlauf
Fernschreibverteiler	0	"	0	"	0	0	0	Koinzidenz.
Lochkartenleser	0	"	Gerätestörung	"	0	0	Ablagefehler	0
Lochkartenstanzer	0	"	"	"	Stanzfehler	Durchstart	"	Überlauf
Schnelldrucker	0	"	"	"	Druckfehler	"	0[x)]	"
Lochstreifenleser	0	"	"	"	0	0	0	0
Lochstreifenstanzer	0	"	"	"	0	0	0	0
Zeichner	0	"	"	"	0	0	0	0
Sichtgerät	0	"	"	"				
Telefon-Modem	0	"	"	"				
Klarschriftleser	0	"	"	"				
Schreibmaschine	0	"	"	"	unzul. Code	Primitiv-EA	Zeitfehler	Endezeichen

x) bei Data Products-SDR: Papierendevorwarnung

Tabelle 7: Zweites Startinformationszeichen für die PE (= vierte Oktade im ersten SI-Wort) "(bei TR 86 1 Oktade im 2. SI-Wort)"

Bitwertigkeit	2^7	2^6	2^5	2^4	2^3	2^2	2^1	2^0
Magnettrommelspeicher	0	0	0	0	0	0	Prüf-lesen	0
Magnetplattensp. sek.	0	0	0	0	0	0	Prüf-lesen	0
Magnetplattensp. tert.	Header	0	0	0	Spureinstellen	0	Prüf-lesen	0
Magnetkartenspeicher	0	0	0	0	Spureinstellen	Ablegen	Prüf-lesen	0
Magnetbandschleifensp.	0	0	0	0	Spureinstellen	Ablegen	Prüf-lesen	0
Magnetband (-Spulen)	7-Spur	hohe Bitdichte	IBM-Modus	Rückwärtslauf	Löschen	hohe Geschwind.	Korrekturlesen	Anwahlsperre

Die übrigen PE übernehmen nur ein Startinformationszeichen.

Magnettrommelspeicher, die beiden Magnetplattenspeicher, Magnetkarten- und Magnetbandschleifenspeicher sowie der Massenkernspeicher erhalten in weiteren Startinformationszeichen die Anfangsadresse und die Blocklänge.

Stromversorgung TR 86

1. Auflage

Stand vom 15. 7. 1969

umfaßt 12 Seiten Vorabdrucke

DIE STROMVERSORGUNG DES TR 86

Inhalt

1. Einführung
(Der Schrank, der Halbschrank, die Netzgerätewanne)

2. Die Stromversorgungseinschübe

2.1 Der STV-Einschub, Blockschaltbild

2.2 Grobnetzteil

3. Die Regelkarten

3.1 Blockschaltbild

3.2 Spannungsregelung

3.3 Strombegrenzung

3.4 Abschalt-Flipflop, IS

3.5 Überspannungssignal, UES

3.6 Unterbrechungssignal, US

4. Die Überwachung des Halbschrankes (im STV 4)

4.1 Blockschaltbild

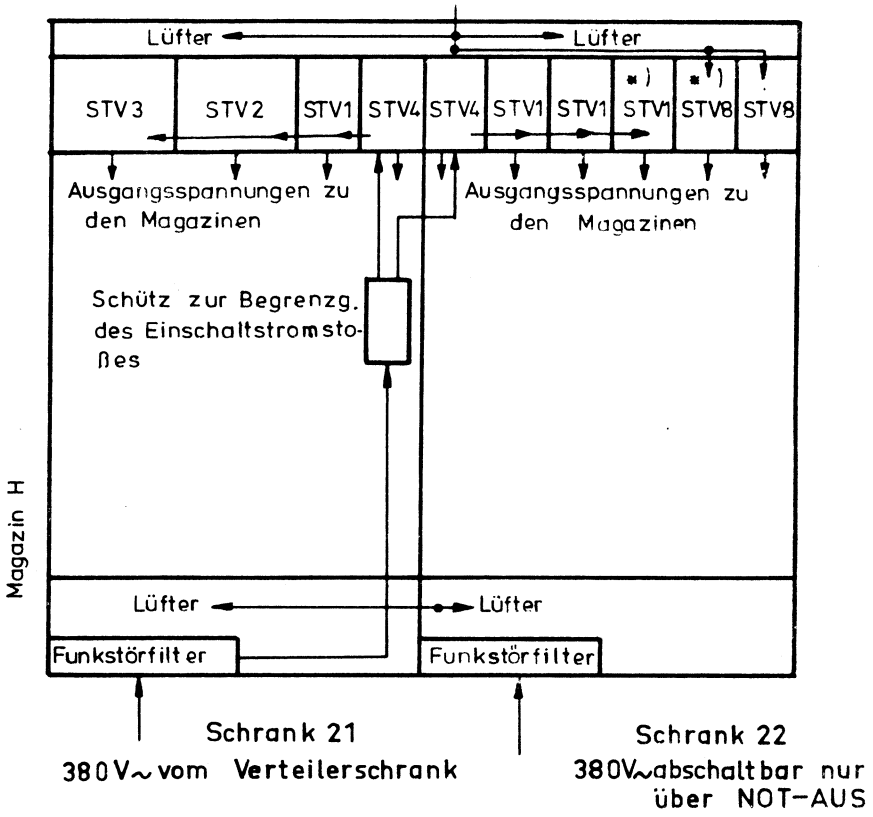
4.2 Die Auswertung der Signale im STV 4

5. STV 8

6. Bedienungsanleitung

1.
Einführung

In jedem Halbschrank 21 und 22 sind mehrere Netzgeräte in der oberen Wanne (Netzgeräte-Wanne) untergebracht. Ein Netzgerät benötigt einen Platz von 1/6 (bzw. 2/6) Wanne.
Die Netzgeräte sind in Einschubtechnik ausgeführt.



*) mögliche Bestückung

Der Drehstrom an Schrank 22 wird über ein Funkstörfilter im Magazin H geleitet und versorgt sämtliche Lüfter der beiden Halbschränke sowie alle STV 8 - Einschübe. Er liegt vom Verteilerschrank aus ständig an und kann nur über NOT-AUS abgeschaltet werden.

Der Drehstrom an Schrank 21 wird ebenfalls über ein Funkstörfilter im Magzin H sowie eine Einschaltstromstoßbegrenzung geleitet und zweigt dann zur Versorgung für jeden Halbschrank an jeden STV 4 - Einschub.

Die Einschübe STV 1,2,3 werden vom STV 4 - Einschub über ein Schütz mit Drehstrom versorgt. Das Zu- bzw. Abschalten erfolgt durch den Schalter "Schrank EIN" auf der Frontplatte des STV 4.

Der STV 4 - Einschub übernimmt Überwachungs- und Einschaltfunktion für die anderen Netzgeräte der Wanne. Die nötigen Hilfsspannungen für die Regelkarten, das Steuerrelais und die Überwachungssignale werden im STV 4 - Ü-Einschub erzeugt, sobald Drehstrom anliegt.

Mit dem Schalter "Schrank EIN" im STV 4 - Einschub werden alle STV-Grobnetzteile einschließlich des Grobnetzteils STV 4 mit Drehstrom versorgt. Das bedeutet, daß zum Betrieb eines STV-Einschubs ein STV 4 - Einschub nötig ist.

Jeder STV 1, STV 2-1-, STV 3-1-, STV 4-, STV 8 - Einschub benötigt einen Raum von 1/6 einer Wanne, die STV 2- und STV 3- Einschübe einen von 2/6. Die STV-Einschübe sind untereinander nicht vertauschbar, jedem STV-Einschub ist ein eigener Platz in der Wanne zugeordnet (mechani- Verriegelung gegeneinander am Zentrierbolzen). (Kodierstift gegen Vertauschung).

Jeder STV-Einschub ist primärseitig in der Wanne abgesichert. Zur Pufferung kurzer Laststöße dienen zusätzliche Elektrolytkondensatoren in der Wanne an den einzelnen Ausgangsspannungen. Jede Ausgangsspannung wird gegen eine anders gepolte Spannung durch eine Diode über dem Elektrolytkondensator geschützt.

Die Ausgangsspannungen gehen über Stromschienen zu den Magazinen des Halbschrankes.

Die einzelnen STV-Einschübe liefern folgende Spannungen und Ströme:

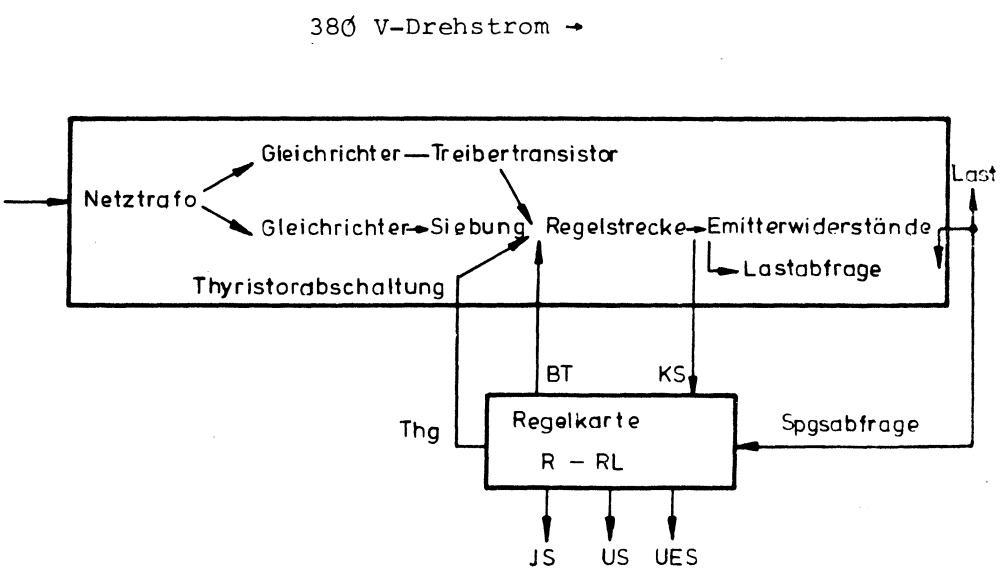
	Nenn-spg. V	Nenn-strom A	Tei-lung	Trafo-Gleichr. Schaltg.	Sie-bung	Treiber-spg.
STV 1	-5,5	5Ø	1/6	DSS	LC	ja
STV 2	+ 15	35	2/6	DSS	LC	ja
STV2-1	+ 15	2Ø	1/6	DB	LC	--
STV 3	+ 3Ø	12	2/6	DB	LC	ja
	- 8	12	---	DB	LC	ja
STV3-1	+ 3Ø	7	1/6	DB	LC	--
	- 8	7	---	DB	LC	--
STV 4	+ 4,7	5	1/6	DB	LC	--
	+ 12	2,5	---	DB	LC	--
	+11Ø	Ø,5	---	DB	--	--
STV 8	6Ø	5	1/6	DB	LC	--
	± 12	Ø,6	---	DB	C	

2. Stromversorgungs-einschübe

Die Netzgeräte bestehen aus Grobnetzteil und Regelkarte. (Die Regelkarte befindet sich hinter der Front- und Bedienplatte des StV-Einschubs).

2.1 StV-Einschub

Blockschaltbild:



2.2 Grobnetzteil

Die Grobnetzteile sind für eine Nennspannung von 380 V- Drehstrom +10 , -15 Spannungsabweichung ausgelegt.

Ein Transformator mit Gleichrichtern liefert über eine LC-Schiebung die ungeregelte Spannung.

Zur Regelung wird ein Längs- oder Serienregler benutzt. Die ungeregelte Spannung gibt nach der Regelstrecke, aufgebaut mit Leistungstransistoren, die gereglete Ausgangsspannung.

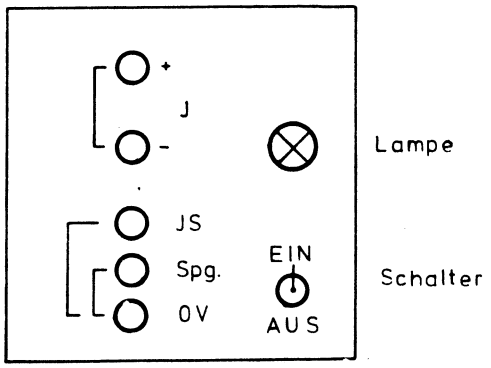
Zur Verminderung der Verlustleistung in der Regelstrekke wird in einzelnen StV-Einschüben eine besondere Treiberspannung erzeugt. Diese ist auf der ungeregelten Spannung aufgesteckt und liefert die Kollektorspannung für den Treibertransistor.

Zum Ausgleich der unterschiedlichen Verstärkungsfaktoren der Leistungstransistoren werden Emitterwiderstände verwendet, die eine Spannungsgegenkopplung bilden.

Die an den Emitterwiderständen abfallende Spannung ist außerdem ein Maß für den Strom durch die Regelstrecke und somit ein Maß für die Belastung des StV-Einschubes. Diese Spannung kann an den Strommeßbuchsen gemessen werden. Zur Sicherung der geregelten Spannung (Ausgangsspannung) gegen Überspannung gibt ein Signal auf der Regelkarte den Befehl: 1. zum sofortigen Abschalten der Ausgangsspannung durch Sperren der Regelstrecke und 2. zum Zünden eines Thyristors, der die ungeregelte Spannung kurzschließt sowie 3. zum Abschalten des StV 4 - Einschubes und somit des Halbschrankes über das UES-Signal. Das KS sichert die Ausgangsspannung gegen Überspannung aus dem eigenen Grobnetzteil.

Die Steckerleiste St 1 versorgt das StV mit Drehstrom. Die Steckerleiste St 2 (im StV 4 Steckerleiste St 3) gibt die Ausgangsspannung und die Überwachungs-Signale ab. Die Emitterwiderstände einer Ausgangsspannung werden erst in der Wanne zusammengeschaltet.

Die Front- und Bedienplatte:



Eine grüne Lampe zeigt an, daß der StV-Einschub geregelte Spannung abgibt.

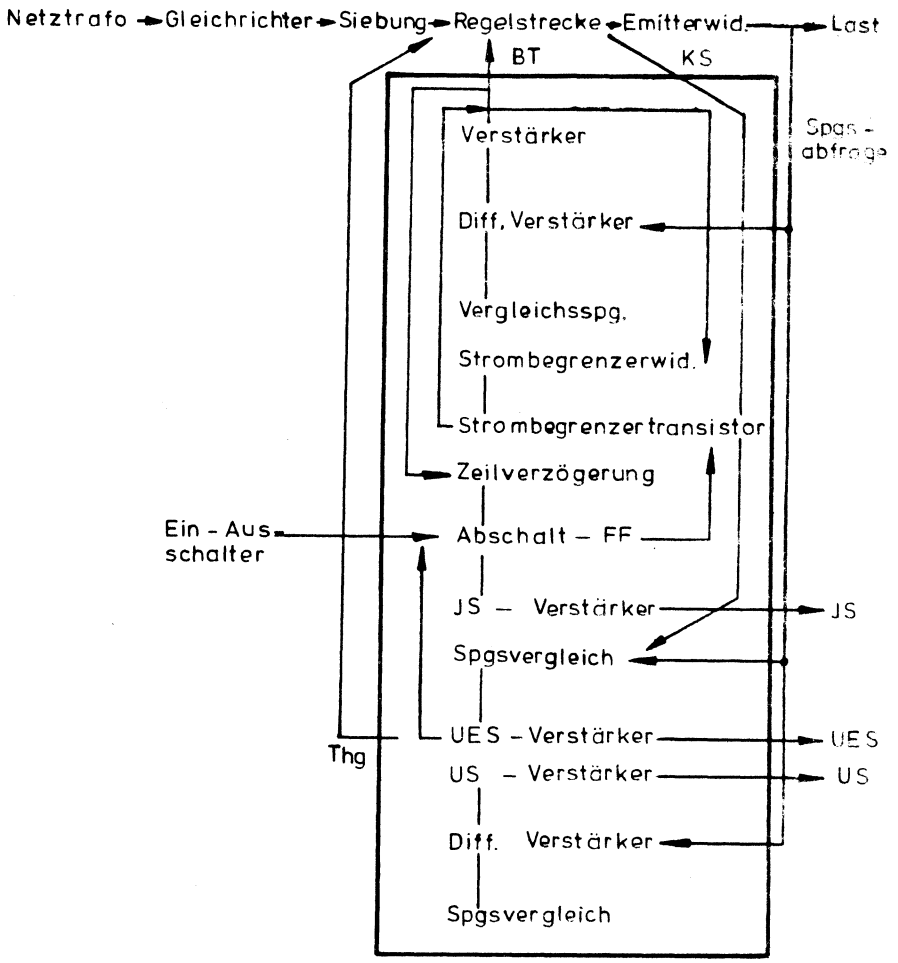
Mit dem Schalter kann die Ausgangsspannung ein- oder ausgeschaltet werden.

An den Telefonbuchsen ± I kann über ein Gleichspannungsmeßgerät abgelesen werden, welcher Strom vom StV-Einschub abgegeben wird. Dabei entspricht eine Spannung von Ø,5 V = jeweils dem Nennstrom des StV-Einschubes (siehe Tabelle). Die Anzeige ist proportional mit dem Strom.

Am IS läßt sich die Stellung des Abschalt-Flipflops messen. Ø V besagt, daß der Einschub eingeschaltet ist und die geregelte Spannung am Ausgang liegt. Ein 12 V-Signal besagt, daß der StV-Einschub abgeschaltet hat, weil eine Überspannung oder ein Überstrom am Ausgang aufgetreten ist oder der Schalter ausgeschaltet wurde. An den Spannungsbuchsen kann die Ausgangsspannung gemessen werden, auf der Frontplatte ist die Nenn-Ausgangsspannung angegeben. Von diesen Buchsen dürfen maximal Ø,2 A entnommen werden!

3.
Die Regelkarten

3.1
Blockschaltbild:



3.2
Spannungs-regelung

Die am Ausgang liegende Last soll mit konstanter Spannung versorgt werden. Am Differenzverstärker wird der Istwert (Spannungsabfrage) mit dem Sollwert (Vergleichsspannung) (Referenzspannung einer Zenerdiode) verglichen. Über zwei weitere Verstärker Ts 4 und Ts 1 werden die Emitterfolger der Regelstrecke gesteuert (Treiber und Leistungstransistor). Der Ansteuerstrom für die Emitterfolger wird in einer Konstantstromquelle erzeugt. Der Konstantstrom teilt sich auf:

$$I_{Konst.} = I_{B\ Treiber} + I_{C\ Ts\ 1}$$

Das heißt, wenn die Emitterfolger weniger leitend werden sollen, zieht Ts 1 mehr Strom.

Die Regelung funktioniert wie folgt:

Steigt der Istwert an, werden Ts 4 und Ts 1 mehr leitend. Dadurch wird mehr $I_{C\ Ts\ 1}$ gezogen, während $I_{B\ Treiber}$ der Emitterfolgerstufe kleiner wird. Somit fällt mehr Spannung an der Regelkarte ab, bis der Istwert mit dem Sollwert übereinstimmt.

Die RC-Glieder C 4 R 10 und C 2 R 1 unterdrücken die Schwingneigung der Regelschaltung.

Für die Erzeugung des Konstantstromes und als Versorgungsspannung für den ersten Treiber Ts 3 wird eine Hilfsspannung (HE) von 12 V verwendet, die im StV 4 - Einschub für jede Ausgangsspannung erzeugt wird.

3.3 Strombegrenzung

Bei Anwachsen des Stromes fällt an den Emitterwiderständen eine höhere Spannung ab. Dieser Spannungsanstieg öffnet über die Strombegrenzerwiderstände R 13, R 16, R 17 den Strombegrenzertransistor Ts 11. Dieser zieht der Spannungsregelung Strom weg und begrenzt den Ausgangsstrom.

3.4 Abschalt-Flipflop, IS

Steht eine Überlast länger als 50 ms an, wird durch ein Flipflop (über den Strombegrenzertransistor) die Spannungsregelung gesperrt. Das Flipflop kippt und es wird das IS gesetzt.

Zum Wiedereinschalten kann das Flipflop von Hand mit einem Ein- Aus-Kippschalter rückgesetzt werden. Mit diesem Kippschalter kann auch die Spannung des StV-Einschubes aus- oder eingeschaltet werden.

Automatisch geschieht das Rücksetzen des Flipflops dann, wenn der betreffende Halbschrank oder die gesamte Anlage aus- und wieder eingeschaltet wird.

Auch eine Überspannung am Ausgang (über UES) setzt das Flipflop, d.h. schaltet die Ausgangsspannung ab.

3.5 Überspannungssignal UES

Mittels einer Zenerdiode wird die Basis 2 eines Unijunction-Transistors auf einer konstanter Spannung gehalten. Steigt die Ausgangsspannung an, und somit über einen Spannungsteiler die Emitterspannung des Unijunc-

tion-Transistors, so zündet der Unijunction-Transistor durch.

Dadurch wird 1. über die Thyristorabschaltung die ungeregelte Spannung kurzgeschlossen, 2. über den UES-Verstärker UES-Signal gegeben, das den Halbschrank abschaltet, 3. über das Abschalt-Flipflop IS gegeben und die Regelstrecke gesperrt.

Auch eine Überspannung, verursacht durch Defekte der Regelstrecke, löst über den KS-Eingang das UES aus.

3.6 Unterspannungssignal US

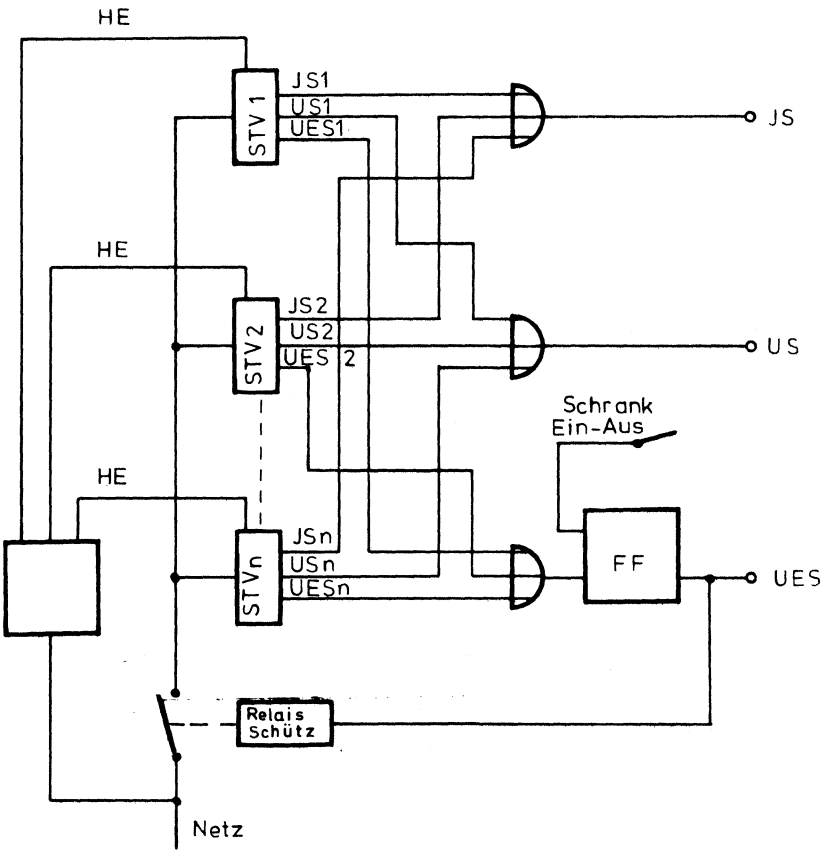
An einem Differenzverstärker wird die Ausgangsspannung mit einer Vergleichsspannung verglichen. Sinkt die Ausgangsspannung ab, so öffnet die Vergleichsspannung den anderen Transistor des Differenzverstärkers. Dadurch werden +12 V an den US-Ausgang gelegt.

4.

Überwachung des
Halbschrankes
(im TSV 4)

4.1

Blockschaltbild



4.2
Die Auswertung der Signale im StV 4

Die Signale Überspannung, Unterspannung, Überstrom werden von allen StV-Einschüben im StV 4 - Einschub zusammengefaßt. Schaltet ein StV-Einschub wegen Überspannung ab, so geht das Signal an den STV 4 - Einschub und dieser schaltet den Halbschrank ab. Das UES-Signal setzt ein Flipflop, das über ein Relais alle STV-Einschübe des Halbschrankes abschaltet. Dabei bleiben die Hilfsspannungen an allen STV-Einschüben stehen. Über den Schalter "Schrank Ein-Aus" kann man das Flipflop von Hand stellen und somit den Halbschrank ein- oder ausschalten.

An der Stellung der IS der einzelnen STV-Einschübe kann im Abschaltfeld gemessen werden, welcher STV-Einschub die Ursache der Überspannungsstörung war. An diesem STV-Einschub stehen dann +12 V an IS. Die Signale US, IS werden im Rechner ausgewertet, um den Speicher zu schützen. Alle US-, IS-, UES-Signale sind Dauersignale von +12 V.

5.
STV 8

Der STV 8 - Einschub liefert 60 V zum Betrieb der Fernschreiber sowie 12 V zum Betrieb von Relais. Der Stromlauf ist im wesentlichen dem der anderen STV-Einschübe, dergl. auch die Regelkarte.

Der STV 8 - Einschub kann selbständig betrieben werden, er erzeugt seine eigene Hilfsspannung.

Besonderheiten und Unterschiede:

60 V: Keine Thyristorabschaltung
12 V: Gleichrichtung mit C-Siebung ungeregelt.

Mehrere 60 V - Spannungen können parallel geschaltet werden.
Die 60 V - Spannung wird an jedem STV 8 durch eine Diode entkoppelt.

6.
Bedienanleitung

1. STV in Wanne einschieben
2. STV 4 "Schrank Ein" einschalten
3. Übrige STV's einschalten

Punkt 3. kann vor Punkt 2. erfolgen, d.h. mit STV 4 "Schrank Ein" kann der Halbschrank insgesamt eingeschaltet werden.

Alle STV's und Regelkarten sind vom Werk aus eingestellt; sie sollten nicht ohne Prüf- und Einstellanweisung nachgestellt werden.